

Entwicklung eines Hochtemperatur-Trench-Kondensators mit Hilfe von Methoden der Atomlagenabscheidung

Von der Fakultät für Ingenieurwissenschaften
Abteilung Elektrotechnik und Informationstechnik
der Universität Duisburg-Essen

zur Erlangung des akademischen Grades

Doktor der Ingenieurwissenschaften

genehmigte Dissertation

von

Dorothee Dietz, M. Sc.

aus

Bochum

1. Gutachter: Prof. Dr.-Ing. Holger Vogt
 2. Gutachter: Prof. Dr.-Ing. Horst Fiedler
- Tag der mündlichen Prüfung: 22.06.2017

Danksagung

Ich möchte mich an dieser Stelle herzlich bei allen bedanken, die zum Gelingen dieser Arbeit beigetragen haben. Ich danke Herrn Prof. Dr. Holger Vogt, der mich als Doktorvater die drei Jahre begleitet hat und mich mit Ideen und Anregungen in den verschiedenen Phasen der Entwicklung unterstützt hat. Genauso gilt mein Dank Herrn Prof. Dr. Horst Fiedler für die Übernahme des Zweitgutachtens.

Besonderer Dank gilt Dr. Andreas Goehlich, der mir als Betreuer stets zur Seite gestanden hat. Durch viele konstruktive Vorschläge hat er mir geholfen, die Prozesssierung und Charakterisierung durchzuführen. Ein besonderer Dank geht ebenfalls an Dr. Yusuf Celik, der mir, besonders zu Beginn, in allen Belangen als Ansprechpartner zur Verfügung stand. Die vielen Diskussionen haben geholfen, die Entwicklung aus einem anderen Blickwinkel zu betrachten und Probleme zu lösen.

Ich bedanke mich auch bei allen Kollegen, die mich in den Jahren der Promotion, nicht nur fachlich, unterstützt haben. Besonders bedanken möchte ich mich bei Dr. Andreas Jupe und Martin Stühlmeyer für die vielen prozesstechnischen Hilfestellungen und bei Dr. Andreas Kelberer für die Unterstützung bei den Messungen. Ebenso gilt ein großer Dank Dr. Pierre Gembaczka, der immer ein offenes Ohr für mich hatte und bereit war, die Arbeit Korrektur zu lesen. Mein Dank gilt zudem der Runde des Promovenden-Coachings unter der Leitung von Dr. Hartwig Junge.

Vielen Dank auch an das komplette Reinraum-Team, besonders für die oft schnelle Hilfe bei kleineren oder auch mal größeren Problemen mit der ALD-Anlage.

Bei Marina Wirtz bedanke ich mich für die Aufnahme der vielen REM-Bilder, das Brechen der richtigen Strukturen hat sicher viel Geduld in Anspruch genommen.

An dieser Stelle möchte ich mich herzlich bei meinen Eltern und meiner Schwester bedanken, die mir während jeder Station meiner beruflichen Ausbildung zur Seite standen und mich zu meiner Entscheidung am Fraunhofer IMS zu promovieren ermutigt haben.

Zuletzt gilt mein Dank meinem Freund Daniel Deschmann, der mich in allem unterstützt hat. Er hat viel Verständnis aufgebracht und hat mir stets den Rücken freigehalten.

Abstract

Subject of this thesis is the development and characterization of a high temperature trench capacitor. In the application of deep drilling, aerospace or in the automobile industry, more and more passives are needed, which have to withstand temperatures up to 300 °C.

In the frame of this work, the development of a capacitor is investigated, which shows a low leakage current at elevated temperatures and a breakdown voltage sufficiently above the operating voltage at the same time. Furthermore, the capacitor shall show a large capacitance per unit area.

According to the well known formula for the parallel plate capacitor, the capacitance value shows a linear increase with the relative permittivity and the area of the dielectric, respectively, and a linear decrease with the thickness of the dielectric layer. A further decrease of the thickness of the dielectric layer to enhance the capacitance per unit area is limited by the fact, that in the high temperature case the leakage current, induced by defects in the dielectric layer, increases dramatically with thinner layer. Thus, the remaining two parameters, area and permittivity, are used to get good capacitor performance at elevated temperatures.

To get a preferably large capacitor surface area, the capacitor is 3D-integrated. Deep reactive ion etching (DRIE) is used to etch different structures into the substrate, to increase the capacitor area. In addition, high-k materials are used as dielectrics, instead of the common used SiO₂. The combination of different dielectric materials deposited via atomic layer deposition (ALD) and the 3D-integration technique gives an excellent opportunity to enhance the capacitor performance at high temperatures. ALD is chosen, because it is a very homogenous and conformal deposition technique, which is needed due to the high aspect ratios of the etched structures.

In scope of this work, the process flow is developed and every step is optimized. Subsequently, the processed structures are electrically characterized. Current-voltage measurements at different temperatures, with different material combinations and 3D-configurations give some indication of each leakage current and each breakdown voltage. Capacitance-voltage measurements give the capacitance per unit area and the voltage and temperature dependency of the capacitors.

Zusammenfassung

Gegenstand dieser Arbeit ist die Entwicklung und Charakterisierung eines Hochtemperatur-Trench-Kondensators. Im Bereich der Tiefenbohrung, der Raumfahrt oder auch der Automobilindustrie werden immer mehr passive Komponenten benötigt, die einer Betriebstemperatur von bis zu 300 °C standhalten.

Ziel dieser Arbeit ist es, einen Kondensator zu entwickeln, welcher bei höheren Temperaturen einen geringen Leckstrom zeigt und gleichzeitig eine Durchbruchspannung deutlich oberhalb der Betriebsspannung aufweist. Darüber hinaus soll der Kondensator aber auch einen großen Kapazitätsbelag zeigen.

Gemäß der Gleichung für einen Plattenkondensator, nimmt die Kapazität mit der relativen Dielektrizitätskonstante sowie mit der Fläche des Dielektrikums linear zu und mit der Dicke der dielektrischen Schicht linear ab. Eine Reduzierung der Dicke des Dielektrikums zur Verbesserung der Kapazität ist limitiert, da im Hochtemperatur-Bereich der Leckstrom, induziert durch Defekte im Dielektrikum, mit dünner werdendem Dielektrikum dramatisch zunimmt. Somit werden die verbleibenden Parameter relative Dielektrizitätskonstante und Fläche genutzt, um bei erhöhten Temperaturen gute Eigenschaften des Kondensators zu erzielen.

Um eine vergrößerte Fläche zu erhalten, wird der Kondensator 3D-integriert. Es werden mit reaktivem Iontiefenätzen (DRIE) verschiedene Strukturen in das Substrat geätzt, um die Kondensatorfläche zu vergrößern. Zudem werden, statt des häufig eingesetzten SiO₂ als Dielektrikum, high-k-Materialien verwendet. Die Kombination von verschiedenen Dielektrika, abgeschieden mit der Atomlagenabscheidung (ALD) und die 3D-Integration, geben exzellente Möglichkeiten, die Kondensator Eigenschaften bei erhöhten Temperaturen zu verbessern. Es wird das ALD-Verfahren gewählt, da es ein sehr homogenes und konformes Abscheideverfahren ist, welches aufgrund der hohen Aspekt-Verhältnisse der geätzten Strukturen benötigt wird.

Im Rahmen dieser Arbeit werden der Prozessablauf entwickelt und die einzelnen Teilschritte optimiert. Die gefertigten Strukturen werden im Anschluss elektrisch charakterisiert. Hierbei geben Strom-Spannungs-Messungen bei unterschiedlichen Temperaturen, mit unterschiedlichen Materialkombinationen und 3D-Konfigurationen Aufschluss über den jeweils fließenden Leckstrom und die Durchbruchspannungen. Kapazitäts-Spannungs-Messungen liefern den Kapazitätsbelag und die Spannungs- und Temperaturabhängigkeiten der Kondensatoren.

Inhaltsverzeichnis

1	Einleitung	1
2	Theorie	3
2.1	Der Kondensator	3
2.1.1	Allgemeingültiges Verhalten	3
2.1.2	Der Kondensator auf einem Silizium-Substrat	5
2.2	High-k-Materialien als Dielektrikum	9
2.2.1	Dielektrizitätskonstante	9
2.2.2	Defekte in high-k-Materialien	11
2.2.3	Interface zum Silizium und zur Metall-Elektrode	11
2.2.4	Isolationseigenschaften	12
2.3	Leckstrommechanismen	13
2.3.1	Oxidladungen	13
2.3.2	Quantenmechanisches Tunneln	15
2.3.3	Schottky-Emission	17
2.3.4	Poole-Frenkel-Emission	18
2.4	Durchbruchmechanismen	19
2.4.1	Allgemeingültiges Durchbruch-Verhalten	19
2.4.2	Der weiche Durchbruch	20
2.4.3	Der harte Durchbruch	20
2.5	Atomlagenabscheidung	21
2.5.1	Anwendungsbereiche	21
2.5.2	Prozessverfahren	21
2.5.3	Anforderungen an die Precursor	25
2.5.4	Reaktortypen	26
2.5.5	Abscheidung von Oxiden	27

2.5.6	Abscheidung von Edelmetallen	28
2.5.7	Abscheidung von Nitriden	30
2.6	Das reaktive Ionentiefenätzen	31
2.7	Einfluss von Temperungen	34
3	Stand der Technik	37
3.1	Modifikationen und Anwendungen des DRIE-Prozesses	37
3.2	Kondensatoren	39
3.2.1	Planare Kondensatoren	40
3.2.2	Trench-Kondensatoren	44
3.2.3	Prozessoptimierungen	46
3.3	Fazit und Motivation	47
4	Technologie	49
4.1	Planare Strukturen	49
4.2	Der vollständige Prozessablauf im Überblick	50
4.3	Das Substrat	51
4.4	Das Isolationsoxid	52
4.5	Verschiedene Layoutvarianten	53
4.6	Ätzen der Gräben und Löcher	55
4.6.1	Öffnen der Hartmaske	55
4.6.2	Optimierung des DRIE-Prozesses	56
4.6.3	Optimierung der Hartmasken-Dicke und der Ätzzeit	59
4.6.4	Kantenverrundung	61
4.6.5	HF-Dip	62
4.7	Dielektrika	62
4.7.1	Wahl der Dielektrika	62
4.7.2	Abscheidung der Dielektrika	63
4.8	Gegenelektrode	64
4.8.1	Wahl der Gegenelektrode	64
4.8.2	Entwicklung der Ruthenium-Abscheidung	65
4.8.3	Abscheidung der Gegenelektrode	68
4.9	Strukturieren der ALD-Schichten	70
4.10	Kurzläufer	71
4.11	Füllen der Gräben und Löcher	72

4.12	Ätzen der Kontaktlöcher	73
4.13	Metallisierung	74
5	Elektrische Charakterisierung	77
5.1	Messaufbau	77
5.2	CV-Messungen bei unterschiedlichen Frequenzen	81
5.3	Charakterisierung verschiedener Geometrien	82
5.4	Charakterisierung des Leckstroms	84
5.5	Einfluss der Dotierstoffkonzentration auf Kapazitätsmessungen . .	87
5.6	Temperatureinfluss auf die CV-Kennlinien	89
5.7	Einfluss einer Kantenverrundung	90
5.8	Einfluss eines HF-Dips vor der Abscheidung des Dielektrikums . .	91
5.9	Variation verschiedener Dielektrika	92
5.10	Variation verschiedener Gegenelektroden	95
5.11	Einfluss von Temperungen	96
6	Zusammenfassung	99
7	Diskussion und Ausblick	103
A	Anhang	105
A.1	Kondensatorvarianten	105

Abbildungsverzeichnis

2.1	ESB eines realen Kondensators	4
2.2	Bändermodell eines MOS-Kondensators mit p-dotiertem Substrat	6
2.3	Spannungsabhängiger Kapazitätsverlauf einer MOS-Struktur . . .	8
2.4	Zusammenhang zwischen der relativen Dielektrizitätskonstante und der Durchbruch-Feldstärke	10
2.5	Dotierungen eines Dielektrikums	13
2.6	Darstellung verschiedener Oxidladungen	14
2.7	Quantenmechanisches Tunneln	16
2.8	Schematische Darstellung eines ALD-Zyklus	22
2.9	ALD-Fenster	24
2.10	ALD-Reaktortypen	26
2.11	Schematische Darstellung vom DRIE-Prozess	33
3.1	Werte aus der Literatur für den Leckstrom und für die Durchbruch- spannung, aufgetragen gegen den Kapazitätsbelag	47
4.1	Schematische Darstellung eines planaren Kondensators	49
4.2	Schematische Darstellung des Herstellungsprozesses	50
4.3	Kurzschluss-Verhalten, wenn Gegenelektrode und Substrat nicht durch ein zusätzliches Isolationsoxid voneinander getrennt sind . .	53
4.4	Layout des Belichtungsfeldes	54
4.5	Layout verschiedener Kondensator-Varianten	54
4.6	Mikroskop-Aufnahmen nach dem Ätzen der Gräben und Löcher .	56
4.7	REM-Aufnahmen geätzter Gräben und Löcher mit dem DRIE- Prozess mit verschiedenen Rezepten	57
4.8	REM-Aufnahmen geätzter Gräben und Löcher mit Rezept D2 mit verschieden dicken Hartmasken und unterschiedlichen Ätzzeiten .	60

4.9	REM-Aufnahmen von Kanten ohne und mit Kantenverrundung	61
4.10	REM-Aufnahme einer vergleichsweise rauen Ru-Schicht (R0), ab- geschieden in einem Graben	65
4.11	REM-Aufnahmen von verschiedenen abgeschiedenen Ru-Schichten	67
4.12	REM-Aufnahmen nachdem die verschiedenen ALD-Schichten ab- geschieden wurden	68
4.13	Aufnahme des Massenspektrometers während Ru und Al ₂ O ₃ mit Stopp im Isolationsoxid geätzt wurden	70
4.14	REM-Aufnahme von geätzten ALD-Schichten mit der ICP-Anlage	71
4.15	Mikroskop-Aufnahmen nachdem die ALD-Schichten strukturiert wurden	71
4.16	Mikroskop- und REM-Aufnahmen fertiger Kurzläufer-Strukturen	72
4.17	REM-Aufnahmen von Gräben die mit TEOS-Oxid gefüllt sind	73
4.18	Mikroskop- und REM-Aufnahmen von Ru- und Si-Kontakten	74
4.19	EPD-Aufnahme während AlSi, TiN und Ti geätzt wurden	75
4.20	Mikroskop- und REM-Aufnahmen fertiger Kondensatoren	76
5.1	Aufnahmen der beiden verwendeten Messplätze für die elektrische Charakterisierung	78
5.2	Vergleich der Messplätze bei offenen Klemmen bei 25 °C	80
5.3	Optische Detektion eines harten Durchbruchs	81
5.4	CV-Kennlinie einer planaren Struktur bei Frequenzen zwischen 10 und 100 kHz	82
5.5	Vergleich verschiedener Geometrien	83
5.6	IV-Kennlinie von L4 bei unterschiedlichen Temperaturen	84
5.7	Test auf Fowler-Nordheim-Tunneln	85
5.8	Test auf Schottky- und Poole-Frenkel-Emission über den optischen Anteil der relativen Dielektrizitätskonstante	85
5.9	Test auf Poole-Frenkel-Emission mittels Temperatur-Plot	87
5.10	Vergleich zwischen CV-Kennlinien mit Dotierstoffkonzentrationen von $1,7 \times 10^{19} \text{ cm}^{-3}$ und $7,5 \times 10^{19} \text{ cm}^{-3}$	88
5.11	CV-Kennlinie bei unterschiedlichen Temperaturen	89
5.12	Bestimmung der Spannungskoeffizienten bei unterschiedlichen Tem- peraturen	90
5.13	Vergleich zwischen Strukturen ohne und mit Kantenverrundung	91

5.14	IV-Kennlinie einer planaren Struktur ohne und mit HF-Dip	92
5.15	Vergleich zwischen 30 nm Al_2O_3 und 30 nm Ta_2O_5 als Dielektrikum bei einer planaren Struktur	93
5.16	Vergleich zwischen Kondensatoren mit unterschiedlichen Dielektrika	94
5.17	IV-Kennlinie verschiedener Elektrodenmaterialien bei unterschied- lichen Temperaturen	95
5.18	IV-Kennlinie einer planaren Struktur ohne und mit O_3 -Temperung	96
5.19	Vergleich einer planaren Struktur ohne und mit N_2 -Temperung . .	97
5.20	Vergleich zwischen Kondensatoren ohne und mit Formiergas-Tempe- rung	98

Tabellenverzeichnis

2.1	Relative Dielektrizitätskonstante und Bandlücke einiger high-k-Dielektrika	10
2.2	Band-Offset zu Si einiger high-k-Dielektrika	12
2.3	Nomenklatur der unterschiedlichen Oxidladungen	14
3.1	Chronologische Übersicht verschiedener planarer MIM-Kondensatoren	41
3.2	Chronologische Übersicht verschiedener Trench-Kondensatoren	44
4.1	Prozessparameter für das Ätzen des Isolationsoxids	55
4.2	Prozessparameter der verschiedenen Rezepte für den DRIE-Prozess	58
4.3	Prozessparameter der Al ₂ O ₃ - und Ta ₂ O ₅ -Abscheidung	63
4.4	Schichtwiderstand und Interface verschiedener Materialien	64
4.5	Prozessparameter der angepassten Ru-Rezepte	66
4.6	Prozessparameter der Ru-, TiN- und TiAlCN-Abscheidung	69
5.1	Berechneter optischer Anteil der relativen Dielektrizitätskonstante aus den gemessenen Leckstrom-Messwerten	86
5.2	Theoretisch berechnete Werte bei einer Dotierstoffkonzentration von $1,7 \times 10^{19} \text{ cm}^{-3}$ und von $7,5 \times 10^{19} \text{ cm}^{-3}$	88
5.3	Parameter von Kondensatoren mit verschiedenen Dielektrika	94
A.1	Gräben, verbundene Gräben und konzentrische Ringe	105
A.2	Löcher im 90° Winkel, im 60° Winkel und in asymmetrischer Anordnung	106
A.3	Kleeblattstrukturen, zusammengesetzt aus 4 Kreisen	106

Abkürzungsverzeichnis, Symbole und Glossar

Abkürzungsverzeichnis

ALD	Atomic Layer Deposition
CMP	Chemisch Mechanisches Polieren
CV-Messung	Kapazitäts-Spannungs-Messung
CVD	Chemical Vapor Deposition
DRAM	Dynamic Random Access Memory
DRIE	Deep Reactive Ion Etching
EDX	Energy Dispersive X-ray Spectroscopy
EOT	Effective Oxide Thickness
EPD	End-Punkt-Detektor
ESB	Ersatz-Schalt-Bild
ICP	Inductive Coupled Plasma
IV-Messung	Strom-Spannungs-Messung
LOCOS	Local Oxidation of Silicon
MEMS	Mikro-Elektro-Mechanisches-System
MIM	Metall-Isolator-Metall
MOS	Metal-Oxide-Semiconductor
PVD	Physical Vapor Deposition
REM	Raster-Elektronen-Mikroskop
TEOS	Tetraethylorthosilicat
TMA	Trimethylaluminium

TSV Through Silicon Via
USG Undoped Silicate Glass
VCC Voltage Coefficient of Capacitance

Symbolverzeichnis

A	Prozessabhängige Konstante (Berechnung des Aspekt-Verhältnisses)
AV	Aspekt-Verhältnis
A_{PI}	Fläche einer Kondensator-Platte
A_R	Richardson-Konstante
B	Prozessabhängige Konstante (Berechnung des Aspekt-Verhältnisses)
C	Kapazität
C_{0V}	Kapazität bei 0 V angelegter Spannung (MOS-Kondensator)
C_0	Ideale Kapazität
C_{Ox}	Kapazität vom Oxid (MOS-Kondensator)
C_{RLZ}	Minimale Kapazität der Raumladungszone (MOS-Kondensator)
C_{min}	Minimale Gesamtkapazität (MOS-Kondensator)
D	Intensität
D_{it}	Intensität der Ladungen (Interface-Haftstellen)
E	Elektrische Energie
E_{DB}	Elektrische Durchbruch-Feldstärke
E_{Ox}	Elektrische Feldstärke des Oxids
J_{FN}	Stromdichte (Fowler-Nordheim-Tunneln)
J_{PF}	Stromdichte (Poole-Frenkel-Emission)
J_{SE}	Stromdichte (Schottky-Emission)
L_{IV}	Induktive Verluste beim realen Kondensator
N	Anzahl an Ladungen pro Volumen- / Flächeneinheit
N_D	Donator-Dotierstoffkonzentration
N_G	Anzahl an Gräben auf einer Kondensatorfläche von 1 x 1 mm
N_L	Anzahl an Löchern auf einer Kondensatorfläche von 1 x 1 mm
N_S	Dichte der Oberflächenatome
N_f	Anzahl an Ladungen (Fixe Ladungen)
N_{it}	Anzahl an Ladungen (Interface-Haftstellen)
N_m	Anzahl an Ladungen (Mobile Ionen)
N_{ot}	Anzahl an Ladungen (Oxid-Haftstellen)
P_A	Prozentuale Oberfläche, die mit Precursor A bedeckt ist

Q	Ladung pro Fläche
Q_f	Effektive Ladung (Fixe Ladungen)
Q_{it}	Effektive Ladung (Interface-Haftstellen)
Q_m	Effektive Ladung (Mobile Ionen)
Q_{ot}	Effektive Ladung (Oxid-Haftstellen)
R_{DV}	Dielektrische Verluste beim realen Kondensator
R_P	Endlicher Widerstand des Dielektrikums beim realen Kondensator
R_S	Widerstand der Zuleitungen beim realen Kondensator
T	Temperatur
U	Elektrische Spannung
U_{FB}	Flachband-Spannung
U_{th}	Schwellenspannung
Z_G	Impedanz einer Graben-Struktur
Z_L	Impedanz einer Löcher-Struktur
Z_T^*	Transversale effektive Ladung
Φ_0	Vakuumpolarkante
Φ_F	Ferminiveau
Φ_L	Leitungsbandkante
Φ_M	Austrittsarbeit Metall
Φ_{Si}	Austrittsarbeit Si
Φ_V	Valenzbandkante
Φ_b	Potentialbarriere
Φ_i	Intrinsisches Ferminiveau
α	Quadratischer Spannungskoeffizient
α_{AO}	Wahrscheinlichkeit der Reaktion zwischen Precursor A mit der Oberfläche
β	Linearer Spannungskoeffizient
χ_{Ox}	Elektronenaffinität vom Oxid
χ_{Si}	Elektronenaffinität vom Si
δ	Konstante (Berechnung der Stromdichte beim Fowler-Nordheim-Tunneln)

ϵ_0	Elektrische Feldkonstante
ϵ_{Si}	Relative Dielektrizitätskonstante von Si
ϵ_{el}	Elektrischer Anteil der Dielektrizitätskonstanten
ϵ_{op}	Optische Dielektrizitätskonstante
ϵ_{r}	Relative Dielektrizitätskonstante
γ	Konstante (Berechnung der Stromdichte beim Fowler-Nordheim-Tunneln)
\hbar	Reduziertes Plancksches Wirkungsquantum
μ	Mobilität der Ladungsträger
μ_{A}	Kollisionsdichte des Precursors A mit der Oberfläche
ω_{TO}	Frequenz des transversalen optischen Phonons
θ	Konstante (Berechnung der temperaturabhängigen Stromdichte beim Fowler-Nordheim-Tunneln)
b	Breite eines Grabens
d_{Ox}	Abstand der Kondensator-Platten bzw. Oxid-Dicke
d_{RLZ}	Maximale Weite der Raumladungszone
e	Elementarladung
f	Frequenz
h	Tiefe einer geätzten Struktur
k_{B}	Boltzmann-Konstante
m	Reduzierte Ionenmasse
m_{Ox}	Effektive Elektronenmasse im Oxid
m_{Si}	Effektive Elektronenmasse im Si
n	Brechungsindex
n_{i}	Eigenleitungsichte
q	Elektrische Ladung
r	Radius eines Lochs
t_{AO}	Reaktionszeit zwischen der Oberfläche mit dem Precursor A

Glossar

Interface	Grenzschicht zwischen zwei Materialien
Ligand	Ein Atom oder Molekül, welches über eine koordinative Bindung an ein Metall-Ion binden kann
Pitch	Mitte zu Mitte Abstand zweier Strukturen
Precursor	Ausgangsmaterial bei der chemischen Synthese
Scallops	Wellenartiges Profil beim DRIE-Prozess

Kapitel 1

Einleitung

Beim herkömmlichen Gebrauch des Begriffs „Hochtemperatur“ in der Mikroelektronik sind dauerhafte Betriebstemperaturen von bis zu 125°C gemeint. In einigen Bereichen, wie z. B. im Bereich der Tiefenbohrung, Automobilindustrie oder Raumfahrt, müssen die elektronischen Komponenten jedoch weitaus höheren Temperaturen standhalten. Nicht selten kommt es hierbei zu einer dauerhaften Temperaturbelastung von bis zu 300°C . Bei 80 % der elektronischen Komponenten handelt es sich dabei um passive Bauelemente, wie z. B. um Kondensatoren [1]. Im Rahmen dieser Arbeit sollte ein Hochtemperatur tauglicher Kondensator für den genannten Temperaturbereich entwickelt werden.

Die Herausforderung bei der Entwicklung von Kondensatoren für Temperaturbereiche von bis zu 300°C lag darin, dass sie ebenso zuverlässig funktionieren mussten wie Kondensatoren bei geringeren Temperaturen. Das heißt zum einen, dass die Leckströme nicht wesentlich größer sein durften. Leckströme werden durch Defekte im Dielektrikum generiert, welche Tunnelmechanismen begünstigen. Zum anderen durften die Durchbruchspannungen, ab welcher der Leckstrom stark zunimmt sodass kein Betrieb mehr möglich ist, nicht wesentlich kleiner sein. Gleichzeitig sollten sie einen hohen Kapazitätsbelag aufweisen, um eine große Speicherkapazität zu realisieren.

Zusätzlich zu einem geringen Leckstrom von maximal $3\text{ nA}/\text{mm}^2$ bei 300°C , einer großen Durchbruchspannung von über 7 V und einem großen Kapazitätsbelag von mehr als $20\text{ nF}/\text{mm}^2$, sollte die Herstellung der Kondensatoren CMOS-kompatibel sein, damit sie ggf. in einem Post-CMOS-Prozess integriert werden können. Hierfür musste die Technologie auf Si gefertigt werden, es durften nur

Materialien verwendet werden, die CMOS-kompatibel sind, und alle Prozesstemperaturen durften 400 °C nicht überschreiten. Die Fertigung auf Si hatte neben der CMOS-Kompatibilität zudem den Vorteil, dass sie vergleichsweise kostengünstig ist [2].

In dieser Arbeit sollte ein großer Kapazitätsbelag mit Hilfe einer 3D-Integration des Kondensators realisiert werden. Mit dem reaktiven Ionentiefenätzen (Deep Reactive Ion Etching (DRIE)) wurden verschiedenen Strukturen geätzt, um eine möglichst große Fläche zu erzeugen. Zudem wurden als Dielektrika high-k-Materialien mit einer großen relativen Dielektrizitätskonstante verwendet, die, aufgrund des hohen Aspekt-Verhältnisses, mittels Atomlagenabscheidung (Atomic Layer Deposition (ALD)) abgeschieden wurden. Durch eine neuartige, genau aufeinander abgestimmte Kombination der verschiedenen dielektrischen und leitenden Schichten, durch eine geeigneten 3D-Konfiguration und durch zusätzliche Anpassungen des Technologieprozesses, konnten die zuvor genannten Parameter optimiert werden.

In Kapitel 2 wird einführend auf einige theoretische Grundlagen eingegangen, die für die Entwicklung des Hochtemperatur-Kondensators von Bedeutung sind. Ein Überblick über den aktuellen Stand der Entwicklung hinsichtlich des DRIE-Prozesses und der verschiedenen Kondensator-Typen wird in Kapitel 3 gegeben. In Kapitel 4 wird der gesamte Technologie-Ablauf mit allen Entwicklungsschritten dargestellt, die anschließend durchgeführten Messungen zur elektrischen Charakterisierung der Kondensatoren sind in Kapitel 5 zu finden. Abschließend wird in Kapitel 6 eine Zusammenfassung der Arbeit und in Kapitel 7 eine kritische Diskussion der Ergebnisse sowie ein Ausblick auf noch ausstehende Untersuchungspunkte und mögliche weitere Entwicklungen gegeben.

Kapitel 2

Theorie

2.1 Der Kondensator

2.1.1 Allgemeingültiges Verhalten

Ein Kondensator ist ein Speicherelement für Ladungsträger, wobei die Kapazität C angibt, wie viel Ladung in einem Kondensator gespeichert werden kann. Nach DIN 1301 besitzt ein Kondensator eine Kapazität von 1 F, wenn bei einem Strom von 1 A innerhalb von einer Sekunde die Spannung auf 1 V ansteigt. Die Kapazität eines Kondensators mit zwei parallelen Platten berechnet sich wie folgt [3]:

$$C = \epsilon_0 \epsilon_r \frac{A_{P1}}{d_{Ox}}. \quad (2.1)$$

Hierbei ist ϵ_0 die elektrische Feldkonstante, ϵ_r (wird manchmal auch mit k angegeben) die relative Dielektrizitätskonstante, A_{P1} die Fläche einer der Kondensator-Platten und d_{Ox} der Abstand der Kondensator-Platten bzw. die Dicke des Oxids zwischen den Kondensator-Platten. Ziel ist es, eine möglichst große Kapazität zu erreichen, um möglichst viel Ladung auf dem Kondensator speichern zu können. Dies kann realisiert werden, indem Materialien mit einer großen relativen Dielektrizitätskonstante verwendet werden, der Abstand der Kondensator-Platten verringert wird, oder die Fläche der Kondensator-Platten vergrößert wird. Die Fläche A_{P1} ist oft vorgegeben, sodass sie nicht vergrößert werden kann. Häufig wird SiO_2 als Dielektrikum verwendet, jedoch müssten die Schichten, um eine große Kapazität zu erzielen, so dünn sein, dass diese nicht mehr ausreichend isolieren würden und der Leckstrom zu groß wäre. Es müssen also andere Materialien

mit einem größeren ϵ_r verwendet werden. Die Dicke d_{Ox} anderer Oxide mit einem entsprechenden ϵ_r wird häufig in Relation zu SiO_2 mit einem ϵ_r von 3,9 als effektive Oxiddicke (Effective Oxide Thickness (EOT)) angegeben [4]. Die EOT berechnet sich dabei wie folgt:

$$EOT = \frac{3,9}{\epsilon_r} d_{\text{Ox}}. \quad (2.2)$$

Die Ladung q , die bei einer angelegten Spannung U auf einem Kondensator mit der Kapazität C gespeichert ist, wird wie in Gl. (2.3) berechnet. Die im elektrischen Feld des Kondensators gespeicherte Energie E ist in Gl. (2.4) angegeben [3]:

$$q = CU \quad (2.3)$$

$$E = \frac{1}{2} CU^2. \quad (2.4)$$

Bei realen Kondensatoren treten Verluste auf, die im Ersatz-Schalt-Bild (ESB) in Abb. 2.1 dargestellt sind. Zunächst hat das Dielektrikum einen endlichen Widerstand, sodass bei einer Gleichspannung ein Leckstrom fließen kann. Dieser Widerstand wird im ESB als zur idealen Kapazität C_0 parallel geschalteter Widerstand R_P dargestellt. Bei einer angelegten Wechselspannung kann es bei einigen Dielektrika zu einer Dipoldrehung kommen, die als dielektrische Verluste wirken. Diese sind im Widerstand R_{DV} berücksichtigt, der ebenfalls parallel zu C_0 geschaltet ist. Die Widerstände und die induktiven Verluste der Zuleitungen zum Kondensator sind im Widerstand R_S und der Induktivität L_{IV} zusammengefasst und sind jeweils in Serie zu C_0 geschaltet [5].

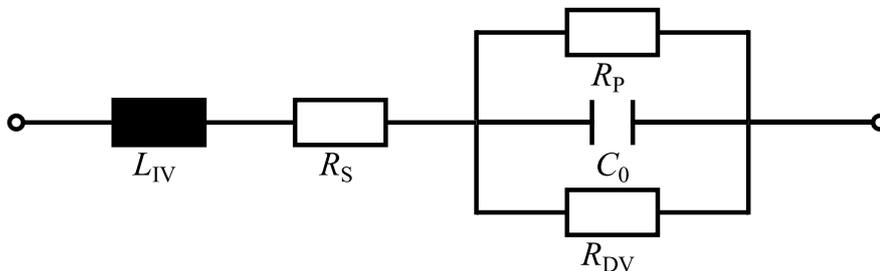


Abb. 2.1: ESB eines realen Kondensators mit idealer Kapazität C_0 , induktiven Verlusten L_{IV} , seriellen Widerstand R_S , parallelem Widerstand R_P und dielektrischen Verlusten R_{DV} (nach [3])

2.1.2 Der Kondensator auf einem Silizium-Substrat

Kondensatoren, bei denen eine Elektrode aus Si besteht, werden Metall-Oxid-Halbleiter (Metal-Oxide-Semiconductor (MOS))-Kondensatoren genannt. Sind hingegen beide Elektroden aus Metall, handelt es sich um einen Metall-Isolator-Metall (MIM)-Kondensator. Bei den MOS-Kondensatoren bildet nicht das Si an sich die eine Elektrode, sondern die Majoritätsladungsträger am Interface zwischen Si und dem Dielektrikum. Zur Messung der Kapazität muss an den Kondensator eine DC-Bias-Spannung angelegt werden, damit sich die Majoritätsladungsträger zum Interface bewegen. Die Messung erfolgt mit einem AC-Signal. [6]

Die Kapazität eines MOS-Kondensators ist spannungsabhängig. Es wird zwischen drei Bereichen unterschieden: Akkumulation, Verarmung und Inversion. In welchem Bereich der Kondensator betrieben wird, ist abhängig von der angelegten DC-Spannung in Bezug auf die Flachband-Spannung U_{FB} . Sind keine Oxidladungen in der MOS-Struktur vorhanden, entspricht U_{FB} der Differenz zwischen der Austrittsarbeit des Metalls Φ_{M} und der Austrittsarbeit des Si Φ_{Si} [7]:

$$U_{\text{FB}} = \Phi_{\text{M}} - \Phi_{\text{Si}}. \quad (2.5)$$

Die Flachbandspannung ist die Spannung, bei der sich das Bändermodell des MOS-Kondensators im Flachbandfall befindet: die Bänder sind alle flach und weder nach oben noch nach unten verbogen (Abb. 2.2(a)). In der Abbildung entspricht Φ_{V} der Valenzbandkante, Φ_{L} der Leitungsbandkante, Φ_{0} der Vakuumkante, Φ_{i} dem intrinsischen Fermi-niveau, Φ_{F} dem Fermi-niveau, χ_{Ox} der Elektronenaffinität des Oxids und χ_{Si} der Elektronenaffinität des Siliziums.

Wird eine kleinere Spannung als U_{FB} angelegt, werden die Bänder nach oben gezogen und die Löcher zum Si-Oxid-Interface bewegt (Abb. 2.2(b)). Bei einem p-dotierten Si Substrat kommt es unter diesen Umständen zu einer Anreicherung der Majoritätsladungsträger, und der MOS-Kondensator befindet sich in der Akkumulation [6]. In diesem Bereich wird die maximale Kapazität C_{Ox} des MOS-Kondensators erreicht, welche der Kapazität des Dielektrikums entspricht (Gl. (2.1)).

Wird nun die Spannung erhöht bis sie größer ist als U_{FB} , werden die Bänder nach unten gezogen und die Löcher entfernen sich vom Interface (Abb. 2.2(c)). Es entsteht eine neutral geladene Raumladungszone, die als in Serie geschaltete

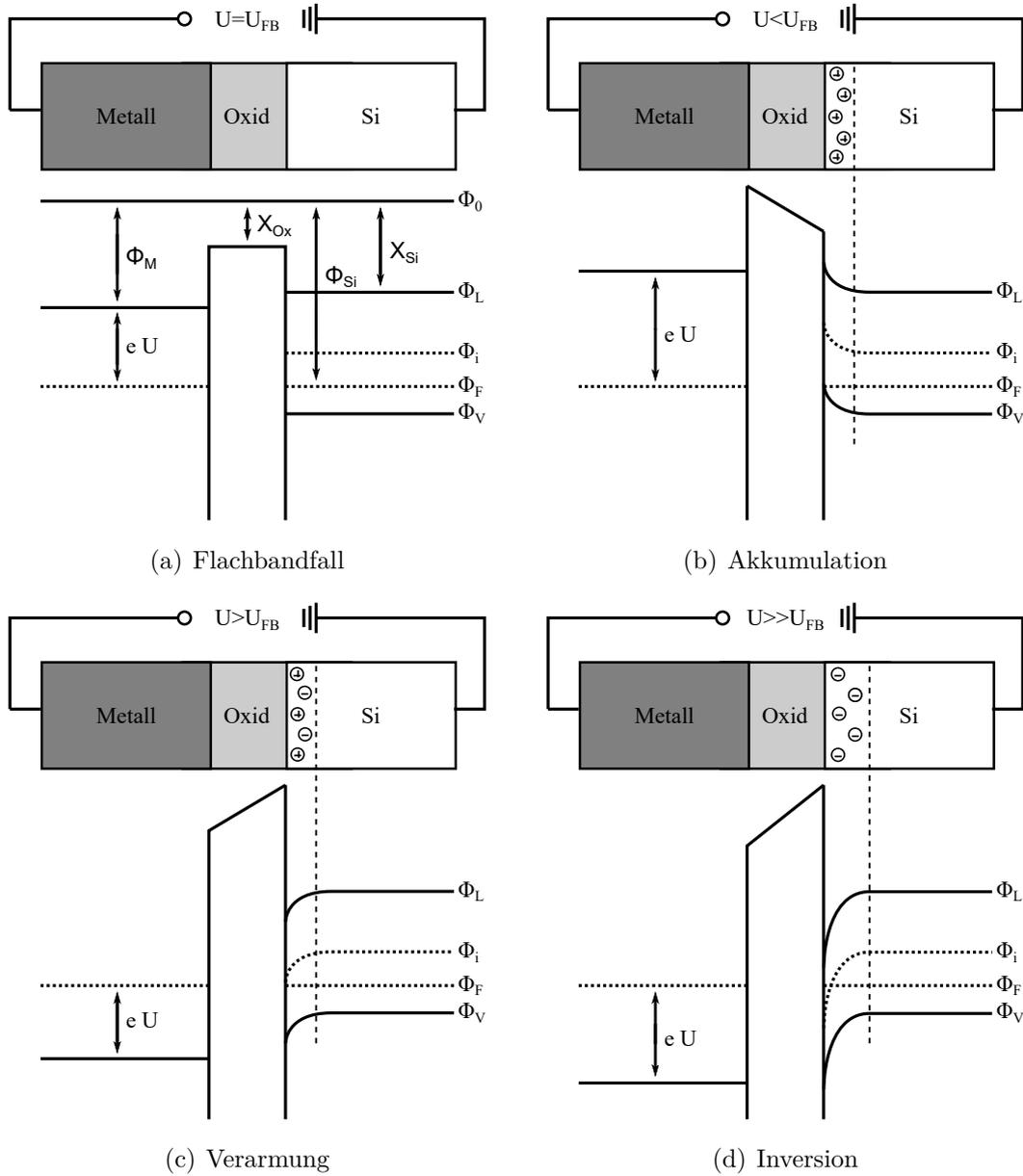


Abb. 2.2: Bändermodell eines MOS-Kondensators mit p-dotiertem Substrat (nach [8])

Kapazität wirkt und auf diese Weise die Gesamtkapazität reduziert [6]. Der MOS-Kondensator befindet sich in der Verarmung. Die Raumladungszone erreicht ihre maximale Weite, wenn die angelegte Spannung den Wert der Schwellenspannung U_{th} erreicht [7]:

$$U_{\text{th}} = 2 \sqrt{\frac{\epsilon_0 \epsilon_{\text{Si}} e N_{\text{D}} \Phi_{\text{F}}}{\left(\frac{C_{\text{Ox}}}{A_{\text{Pl}}}\right)^2}} + 2\Phi_{\text{F}} + U_{\text{FB}}. \quad (2.6)$$

Hierbei entspricht ϵ_{Si} der relativen Dielektrizitätskonstante von Si und N_{D} der Donator-Dotierstoffkonzentration. Φ_{F} wird wie folgt berechnet:

$$\Phi_{\text{F}} = \frac{k_{\text{B}} T}{e} \ln \left(\frac{N_{\text{D}}}{n_{\text{i}}} \right), \quad (2.7)$$

mit k_{B} als Boltzmann-Konstante, T als Temperatur und n_{i} als Eigenleitungsdichte.

Die maximale Weite der Raumladungszone d_{RLZ} wird nach Gl. (2.8) berechnet [7]:

$$d_{\text{RLZ}} = 2 \sqrt{\epsilon_0 \epsilon_{\text{Si}} \frac{k_{\text{B}} T}{e^2 N_{\text{D}}} \ln \left(\frac{N_{\text{D}}}{n_{\text{i}}} \right)}. \quad (2.8)$$

Somit ergibt sich analog zu Gl. (2.1) als minimale in Serie geschaltete Kapazität der Raumladungszone C_{RLZ} :

$$C_{\text{RLZ}} = \epsilon_0 \epsilon_{\text{Si}} \frac{A_{\text{Pl}}}{d_{\text{RLZ}}} \quad (2.9)$$

und als minimale Gesamtkapazität C_{min} des MOS-Kondensators:

$$C_{\text{min}} = \left(\frac{1}{C_{\text{Ox}}} + \frac{1}{C_{\text{RLZ}}} \right)^{-1}. \quad (2.10)$$

Wird die Spannung noch weiter erhöht ($\gg U_{\text{FB}}$), werden die Bänder weiter nach unten gezogen und das Band des intrinsischen Fermi-niveaus Φ_{i} schneidet das des Fermi-niveaus Φ_{F} (Abb. 2.2(d)). Der MOS-Kondensator gelangt in die Inversion, in der die Minoritätsladungsträger (beim p-dotierten Si-Substrates die Elektronen) am Interface die Mehrheit bilden. Bei niedrigen Frequenzen des AC-Signals (kleiner 100 Hz [8]) können die Ladungsträger dem Wechselfeld folgen, sodass die Raumladungszone abnimmt, bis sie vollständig auf 0 sinkt und erneut die maximale Kapazität C_{Ox} anliegt. Es wird das quasi-statische Verhalten des MOS-Kondensators simuliert [6]. Bei hohen Frequenzen (größer 1 kHz [8]) können die Ladungsträger dem Wechselfeld nicht folgen, sodass die Raumladungszone

bestehen bleibt und weiterhin die minimale Kapazität von C_{RLZ} anliegt (dynamisches Verhalten des MOS-Kondensators [6]).

Handelt es sich bei dem Substrat um n-dotiertes Si, sind die Spannungen entsprechend vertauscht.

Der spannungsabhängige Kapazitätsverlauf ist in Abb. 2.3 dargestellt.

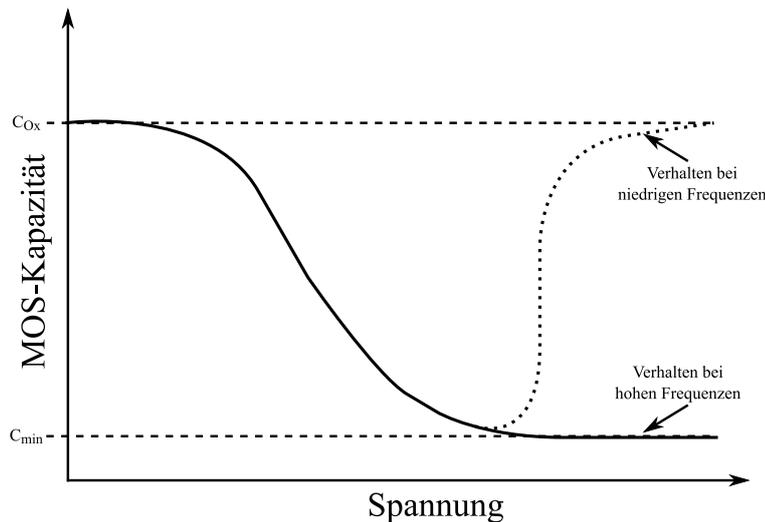


Abb. 2.3: Spannungsabhängiger Kapazitätsverlauf einer MOS-Struktur (nach [9])

Die Größe der Spannungsabhängigkeit wird mit Hilfe der Spannungskoeffizienten des Kondensators (Voltage Coefficient of Capacitance (VCC)) dargestellt. Da die Kapazität einen parabolischen Verlauf aufweist, kann der Kurvenverlauf durch ein Polynom zweiter Ordnung approximiert werden [10] [11] [12]:

$$C(U) = C_{0V}(\alpha U^2 + \beta U + 1), \quad (2.11)$$

wobei C_{0V} die Kapazität ist, die bei einer Spannung von 0 V vorliegt [13], α der quadratische und β der lineare Spannungskoeffizient ist [10]. α hat den größeren Einfluss, da hiervon die Stabilität des Kondensators abhängig ist. Es gibt die Varianz der Kapazität an [14]. β bezieht sich lediglich auf U_{th} und somit auf die Spannung, bei der das Minimum der Kapazität vorliegt. Es gibt die Balance der Kapazität an [14]. Da α annähernd proportional zum Kehrwert der Dicke des Dielektrikums ist, nimmt α mit zunehmender Dicke des Dielektrikums ab und somit auch die Spannungsabhängigkeit, wodurch die Stabilität zunimmt [10].

2.2 High-k-Materialien als Dielektrikum

2.2.1 Dielektrizitätskonstante

High-k-Materialien sind Dielektrika, die eine größere relative Dielektrizitätskonstante ϵ_r aufweisen als SiO_2 . Die Dielektrizitätskonstante ist ein Maß für die Polarisierbarkeit eines Materials und somit ein Maß für die Abschwächung eines angelegten elektrischen Feldes. [15]

Die relative Dielektrizitätskonstante setzt sich aus einem elektrischen Anteil ϵ_{el} und einem Gitteranteil, der optischen Dielektrizitätskonstante ϵ_{op} , zusammen [4] [16]:

$$\epsilon_r = \epsilon_{\text{el}} + \epsilon_{\text{op}} = \frac{Ne^2Z_{\text{T}}^{*2}}{m\omega_{\text{TO}}^2} + n^2. \quad (2.12)$$

Den elektrischen Anteil bilden die Anzahl an Ionen pro Volumeneinheit N , die Elementarladung e , die transversale effektive Ladung Z_{T}^* , die reduzierte Ionenmasse m und die Frequenz des transversalen optischen Phonons ω_{TO} . Die optische Dielektrizitätskonstante entspricht dem Quadrat des Brechungsindex n . Bei den meisten high-k-Materialien liegt der Wert der optischen Dielektrizitätskonstante zwischen 4 und 5, sodass der elektrische Anteil bei diesen Materialien den größten Einfluss hat [16]. Der Brechungsindex nimmt mit zunehmender Temperatur aufgrund von thermischem Stress, thermischer Expansion und elektrischer Polarisation ab [17], allerdings steigt ϵ_r bei high-k-Materialien mit zunehmender ionischen Suszeptibilität, die proportional zur Temperatur ist [13]. Somit nimmt die gesamte relative Dielektrizitätskonstante bei high-k-Materialien mit steigender Temperatur zu.

Aufgrund ihrer Abhängigkeit von der Gitterstruktur ist es möglich, die relative Dielektrizitätskonstante durch Temperungen in verschiedenen Gas-Atmosphären zu optimieren. [18] [19] [20]

In Abb. 2.4 sind diverse Materialien entsprechend ihrer relativen Dielektrizitätskonstante und Durchbruch-Feldstärke aufgetragen. Die Messergebnisse wurden aus der Literatur zusammengetragen [21]. Die relative Dielektrizitätskonstante ϵ_r ist umso größer, desto geringer die Durchbruch-Feldstärke E_{DB} ist. Es lässt sich zwischen diesen beiden Größen anhand der Grafik folgender Zusammenhang herstellen [21]:

$$\epsilon_r E_{\text{DB}}^2 = \textit{konstant}. \quad (2.13)$$

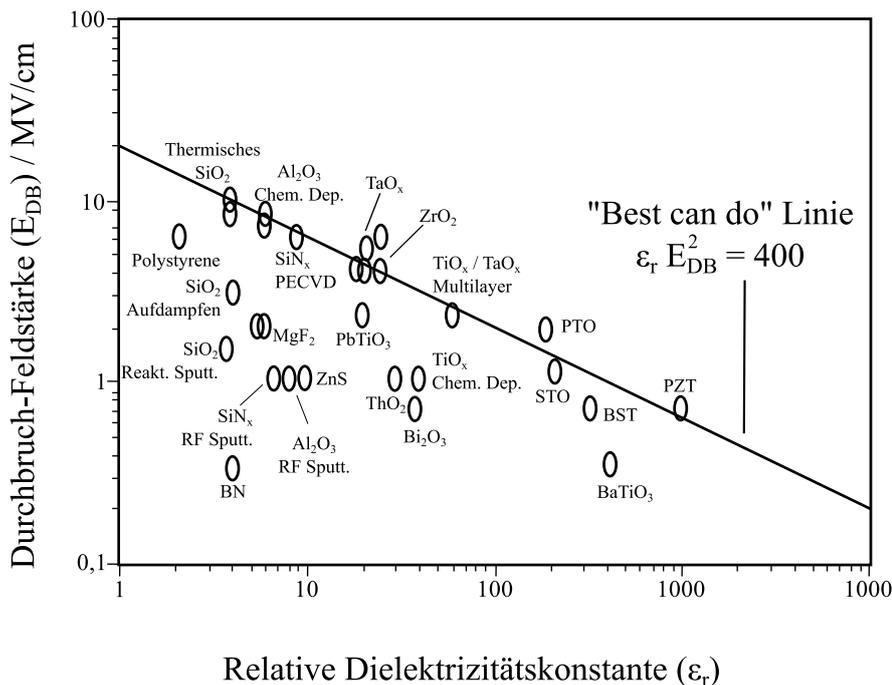


Abb. 2.4: Zusammenhang zwischen der relativen Dielektrizitätskonstante und der Durchbruch-Feldstärke (nach [21])

Weiterhin ist ersichtlich, dass die meisten Materialien auf oder unter der sogenannten „Best can do“ Linie, die den besten Kompromiss zwischen der relativen Dielektrizitätskonstante und der Durchbruch-Feldstärke darstellt, liegen. Diese Linie entsteht, wenn die Konstante aus Gl. (2.13) den Wert 400 hat. [21]

Die Werte der relativen Dielektrizitätskonstante sowie der Bandlücke einiger Dielektrika sind in Tab. 2.1 aufgelistet.

Tabelle 2.1: Relative Dielektrizitätskonstante und Bandlücke einiger high-k-Dielektrika [16]

Dielektrikum	relative Dielektrizitätskonstante	Bandlücke
SiO ₂	3,9	9,0 eV
Al ₂ O ₃	9,0	8,0 eV
Ta ₂ O ₅	22,0	4,4 eV
ZrO ₂	25,0	5,8 eV
HfO ₂	25,0	5,8 eV

2.2.2 Defekte in high-k-Materialien

In Defektstellen, häufig sind es Sauerstoff-Leerstellen oder Verunreinigungen [4], können Ladungsträger eingefangen werden. Die eingefangenen Ladungsträger führen dazu, dass die Durchbruch-Feldstärke zu kleineren Werten hin verschoben wird und dass das Dielektrikum nicht mehr zuverlässig isoliert. Auch kann sich die Durchbruch-Feldstärke noch während der Betriebszeit ändern, da die Defekte erst mit der Zeit von Ladungsträgern gefüllt oder auch wieder geleert werden, was eine entsprechende Vorhersage schwierig macht [16].

Im Vergleich zu SiO_2 haben high-k-Materialien eine höhere Defektdichte [16]. Dies liegt daran, dass die Bindungen bei den high-k-Dielektrika ionisch sind und diese Materialien somit schlechtere Glasbildner sind. Das Gitter ist, anders als beim SiO_2 -Gitter, nicht in der Lage zu relaxieren, um so Defekte auszuheilen [18].

Durch eine Temperung in Formiergas oder Ammoniak kann die Anzahl an eingefangenen Ladungsträger verringert und das elektrische Verhalten der Dielektrika verbessert werden [16].

2.2.3 Interface zum Silizium und zur Metall-Elektrode

Das Interface zwischen Dielektrikum und Si muss so stabil sein, dass sich während oder nach dem Aufbringen der high-k-Materialien keine zusätzliche, ungewollte SiO_2 - oder Silizid-Schicht ausbildet [16]. Solch eine zusätzliche Schicht würde die EOT herabsetzen, da eine Kapazität mit geringer Dielektrizitätskonstante in Reihe geschaltet wäre. Um die Bildung von SiO_2 zu verhindern, muss die Bindungsenergie der high-k-Materialien größer sein als die Bindungsenergie von SiO_2 . Al_2O_3 und HfO_2 erfüllen diese Bedingung, ZrO_2 und Ta_2O_5 erfüllen sie nicht [16] [22] [23]. ZrO_2 kann z. B. mit Si das Silizid ZrSi_2 bilden [4] [16].

Eine zusätzliche SiO_2 -Schicht zwischen Dielektrikum und Si kann sich auch bilden, indem Sauerstoff durch das Dielektrikum diffundiert und an der Grenzfläche das Si oxidiert, sodass sich SiO_2 bildet. Dies ist bei den Materialien HfO_2 , ZrO_2 und Ta_2O_5 während einer abschließenden Temperung ein häufiger Effekt [16] [18] [24]. Um eine solch ungewollte SiO_2 -Schicht zu entfernen, kann sie bei einer Temperatur von 900 – 1000 °C getempert werden, bei der sie sich in flüchtiges SiO löst [16].

Eine kontrolliert aufgewachsene zusätzliche dünne SiO_2 -Schicht kann jedoch auch von Vorteil sein. Beim Aufwachsen von HfO_2 kann SiO_2 z. B. die Keimbildung begünstigen [16]. Al_2O_3 bietet sich in vielen Fällen auch als zusätzliche Interface-Schicht an, da es auf vielen Materialien sehr gut haftet und zudem eine hohe thermische und chemische Beständigkeit aufweist [25].

Auch die Metall-Elektrode kann aufgrund von hindurch diffundierendem Sauerstoff oxidieren. So sollte z. B. Ta_2O_5 nicht unter O_2 -Atmosphäre getempert werden wenn es in Kontakt zu einer Ru-Elektrode steht, da der Sauerstoff das Ru oxidieren würde. [19]

Das Interface zwischen Dielektrikum und Elektrode wird zudem von der Rauigkeit der Materialien beeinflusst. Sind die Schichten am Interface sehr rau, kann es zu Feldüberhöhungen kommen. Um dies zu vermeiden, werden amorphe Schichten angestrebt, da diese im Vergleich zu polykristallinen Schichten, eine geringere Oberflächenrauigkeit aufweisen. [18]

2.2.4 Isolationseigenschaften

Damit ein high-k-Dielektrikum isolierend ist, muss der Band-Offset zwischen dem Isolator und der Elektrode mehr als 1 eV betragen, um die Injektion von Ladungsträgern in das Leitungsband zu minimieren [4] [16]. Der Band-Offset zwischen einigen ausgewählten Dielektrika und Si ist in Tab. 2.2 dargestellt. Al_2O_3 , ZrO_2 und HfO_2 erfüllen diese Bedingung, Ta_2O_5 erfüllt sie nicht.

Um den Leckstrom durch die Dielektrika gering zu halten, sollten die Dielektrika möglichst amorph sein. Viele high-k-Materialien gehen in den kristallinen Zustand über, sobald sie einer höheren Temperatur ausgesetzt sind. Bei amorphen Materialien gibt es keine Korngrenzen und somit existiert kein einfacher Diffu-

Tabelle 2.2: Band-Offset zu Si einiger high-k-Dielektrika [16]

Dielektrikum	Band-Offset zu Si
SiO_2	3,20 eV
Al_2O_3	2,80 eV
Ta_2O_5	0,35 eV
ZrO_2	1,50 eV
HfO_2	1,40 eV

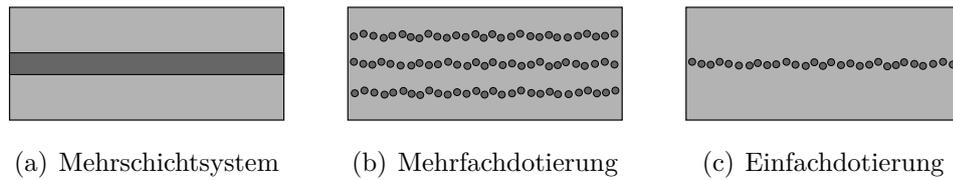


Abb. 2.5: Dotierungen eines Dielektrikums (nach [18])

sionsweg für Ladungsträger [4] [16]. Al_2O_3 ist nach SiO_2 der beste Glasbildner, Ta_2O_5 ist ein guter Glasbildner, jedoch weniger gut als Al_2O_3 [16].

Möglichkeiten eine Kristallisation zu unterbinden, sind eine geringere Abscheidetemperatur oder die Dotierung der Schicht, da so entweder die Kristallisationstemperatur der Schicht erhöht, oder das Schichtwachstum unterbrochen wird. Es gibt mehrere Möglichkeiten, ein Dielektrikum zu dotieren (Abb. 2.5): das Mehrschichtsystem, die Mehrfachdotierung oder die Einfachdotierung. Beim Mehrschichtsystem wird eine vollständige Schicht eines anderen Dielektrikums abgeschieden, sodass zwei getrennte Schichten entstehen. Bei der Mehrfachdotierung wird über die gesamte Dicke des eigentlichen Dielektrikums verteilt ein anderes Dielektrikum abgeschieden, jedoch jeweils nur so wenig, dass sich keine geschlossenen Schichten ausbildet. Die Einfachdotierung entspricht der Mehrfachdotierung, jedoch wird hier das fremde Dielektrikum einmalig in der Mitte der Schicht aufgebracht. Die Konzentration der Dotierung ist somit sehr gering. [18]

2.3 Leckstrommechanismen

2.3.1 Oxidladungen

Durch Oxidladungen können unterschiedliche Leckstrommechanismen begünstigt werden. Es gibt verschiedene Arten von Ladungen im Oxid, für die im Jahr 1978 von einem Komitee (*Electronics Division of the Electrochemical Society und IEEE-sponsored Semiconductor Interface Specialists Conference*) eine Nomenklatur festgelegt wurde [26]. Mit D in $\frac{\text{Anzahl}}{\text{cm}^2 \cdot \text{eV}}$ wird die Intensität, mit Q in $\frac{\text{C}}{\text{cm}^2}$ wird eine effektive Ladung pro Fläche und mit N in $\frac{\text{Anzahl}}{\text{cm}^2}$ die Anzahl an Ladungen pro Fläche angegeben. Es gilt:

$$N = \left| \frac{Q}{q} \right|, \quad (2.14)$$

Tabelle 2.3: Nomenklatur der unterschiedlichen Oxidladungen [26]

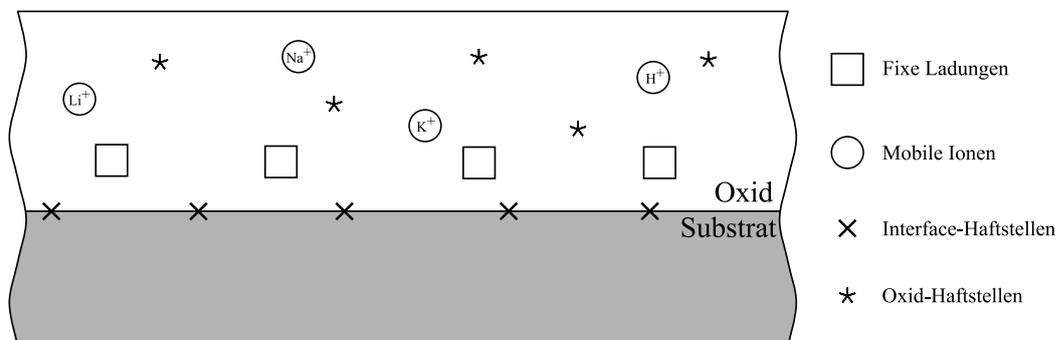
Bezeichnung	engl. Bezeichnung	Symbole
Fixe Ladungen	Fixed Oxide Charge	Q_f, N_f
Mobile Ionen	Mobile Ionic Charge	Q_m, N_m
Interface-Haftstellen	Interface Trapped Charge	Q_{it}, N_{it}, D_{it}
Oxid-Haftstellen	Oxide Trapped Charge	Q_{ot}, N_{ot}

wobei q in C die elektrische Ladung ist. Abhängig davon, ob die positiven oder negativen Ladungen überwiegen, ist Q entsprechend positiv oder negativ.

Es gibt vier unterschiedliche Oxidladungen (vgl. Tab. 2.3). Die Lage der vier unterschiedlichen Oxidladungen ist in Abb. 2.6 zu sehen.

Bei fixen Ladungen handelt es sich um positive Ladungen in der Oxidschicht, die durch strukturelle Defekte hervorgerufen werden. Diese Defekte entstehen während des Oxidations-Prozesses. Der Abstand der festen Oxidladungen zum Si-Interface beträgt weniger als 2,5 nm, jedoch interagieren die Ladungen nicht mit der darunterliegenden leitenden Schicht. Die Dichte der fixen Ladungen ist abhängig von der Atmosphäre, unter der die Oxidation vorgenommen wurde, sowie von der Oxidations-Temperatur und der Orientierung des Si-Wafers. Sind neben den fixen Ladungen auch Interface-Haftstellen vorhanden, können die Ladungen nur sehr schwer voneinander unterschieden werden. [26]

Mobile Ionen werden hauptsächlich durch ionische Verunreinigungen (Li^+ , Na^+ , K^+ , H^+) hervorgerufen. Ebenso können negative Ladungen und Schwermetalle zu den mobilen Ionen gezählt werden, jedoch sind diese erst ab einer Temperatur von 500°C wegen ihrer steigenden Mobilität relevant [26].


Abb. 2.6: Darstellung verschiedener Oxidladungen (nach [26])

Interface-Haftstellen (auch Oberflächenzustände, schnelle Zustände oder Interface-Zustände genannt) können die tatsächliche Potentialbarriere absenken (vgl. Kapitel 2.3.3). Sie setzen sich aus positiven und negativen Ladungen zusammen, die sich im Interface zwischen Si und dem Oxid befinden. Diese Ladungen werden durch strukturelle Fehlstellungen, durch Metallverunreinigungen oder durch Defekte, die zum Aufbrechen der Bindungen führen, hervorgerufen. Im Gegensatz zu den anderen Oxidladungen, reagieren die Interface-Haftstellen mit dem darunterliegenden Si und können somit, abhängig vom Oberflächenpotential, ge- und entladen werden. Durch eine Wasserstoff-Temperung bei 450 °C können die Interface-Haftstellen neutralisiert werden. Dies ist eine Möglichkeit, um fixe Ladungen im Oxid ohne den Anteil der Interface-Haftstellen messen zu können.

Oxid-Haftstellen (auch langsame Zustände genannt) sind im Bulk-Oxid eingefangene Löcher oder Elektronen und können somit positiv oder negativ geladen sein. Durch eine thermische Anregung können sie gelöst werden und so in das Leitungsband gelangen (vgl. Kapitel 2.3.4). Sie werden z. B. durch ionisierende Strahlung oder Lawinen-Injektion eingefangen. Bei Temperungen bis 500 °C können die Haftstellen soweit ausgeheilt werden, dass nur neutrale Haftstellen übrig bleiben, die keinen weiteren Einfluss haben.

Fixe Ladungen, mobile Ionen und Oxid-Haftstellen können über die hochfrequente C-V Technik ermittelt werden. Interface-Haftstellen können über diese Methode nicht bestimmt werden, sondern müssen quasi-stationär gemessen werden (vgl. Kapitel 2.1.2).

Zwischen Interface- und Oxid-Haftstellen kann nicht hart unterschieden werden, da sie sich nur in der Zeit bis sie generiert sind und im Abstand zum Interface unterscheiden [27].

2.3.2 Quantenmechanisches Tunneln

Beim quantenmechanischen Tunneln wird zwischen dem direkten Tunneln und dem Fowler-Nordheim-Tunneln unterschieden. Das direkte Tunneln tritt bei sehr dünnen Oxiden auf (< 5 nm). Die Elektronen tunneln direkt durch das gesamte Oxid (Abb. 2.7(a)), um auf diese Weise in das Leitungsband zu gelangen. Beim Fowler-Nordheim-Tunneln ist das Oxid dicker (> 5 nm), sodass die Potentialbarriere durch eine äußere angelegte Spannung oder eine sehr hohe Temperatur (von über 250 °C [28]) herabgesenkt werden muss [29]. Die Elektronen müssen bei ei-

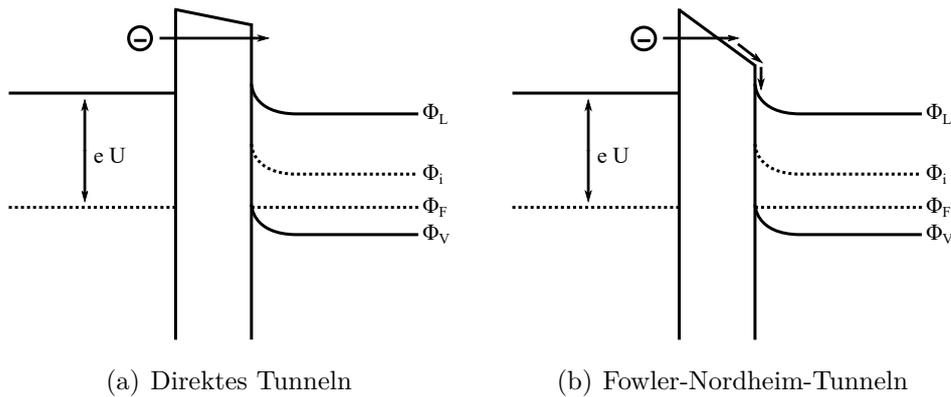


Abb. 2.7: Quantenmechanisches Tunneln (nach [29])

ner abgesenkten Potentialbarriere nicht durch das gesamte Oxid tunneln (Abb. 2.7(b)), sodass sie leichter in das Leitungsband gelangen können [30]. Der so entstehende Leckstrom ist abhängig von der Wahrscheinlichkeit, mit der die Elektronen in das Leitungsband gelangen, und von der Anzahl der Elektronen [31]. Diese Wahrscheinlichkeit wird wiederum von den Barriere-Höhen (weniger von der absoluten EOT) [32] und der Kondensatorfläche beeinflusst [33].

Die Stromdichte J_{FN} des durch Fowler-Nordheim-Tunneln hervorgerufenen Stroms lässt sich für Temperaturen unterhalb von 250°C klassisch, ohne den Temperatureinfluss, wie folgt berechnen [28]:

$$J_{\text{FN}} = \gamma E_{\text{Ox}}^2 \exp\left(\frac{-\delta}{E_{\text{Ox}}}\right). \quad (2.15)$$

γ und δ sind Konstanten und E_{Ox} die elektrische Feldstärke im Oxid.

Die Konstanten γ und δ werden nach Gl. (2.16) und Gl. (2.17) berechnet:

$$\gamma = \frac{e^3 m_{\text{Si}}}{16\pi^2 \hbar m_{\text{Ox}} \Phi_{\text{b}}} \quad (2.16)$$

$$\delta = \frac{4\sqrt{2m_{\text{Ox}}\Phi_{\text{b}}^3}}{3\hbar e}. \quad (2.17)$$

\hbar gibt das reduzierte Plancksche Wirkungsquantum an, m_{Si} und m_{Ox} die effektiven Elektronenmassen im Si und im Oxid und Φ_{b} die Potentialbarriere, die von den Elektronen durchtunnelt werden muss, bevor sie das Leitungsband erreichen.

Der Einfluss von hohen Temperaturen bewirkt, dass das Fermi-niveau herabgesetzt und somit ebenfalls die Potentialbarriere vermindert wird, was zu einem

höheren Stromfluss führt. Der Temperatureinfluss wird bei der Berechnung der Stromdichte J_{FN} in Gl. (2.18) berücksichtigt [28]:

$$J_{\text{FN}}(T) = \frac{\pi\theta k_{\text{B}}T}{\sin(\pi\theta k_{\text{B}}T)} J_{\text{FN}}, \quad (2.18)$$

wobei die Konstante θ folgendermaßen berechnet wird:

$$\theta = 2 \frac{\sqrt{2m_{\text{Ox}}\Phi_{\text{b}}}}{\hbar e E_{\text{Ox}}}. \quad (2.19)$$

Die Gl. (2.15) kann durch Umstellen in eine Geradengleichung überführt werden:

$$\ln\left(\frac{J_{\text{FN}}}{E_{\text{Ox}}^2}\right) = -\delta \frac{1}{E_{\text{Ox}}} + \ln(\gamma). \quad (2.20)$$

Um zu testen, ob bei einem gemessenen Leckstrom das Fowler-Nordheim-Tunneln der dominante Leitungsmechanismus ist, muss auf der Abszisse der Kehrwert der elektrischen Feldstärke ($\frac{1}{E_{\text{Ox}}}$) und auf der Ordinate der natürliche Logarithmus des Quotienten aus Stromdichte und der quadratischen elektrischen Feldstärke ($\ln\left(\frac{J_{\text{FN}}}{E_{\text{Ox}}^2}\right)$) aufgetragen werden. Liegen die Messwerte auf einer Geraden und ist eine Temperaturabhängigkeit (jedoch keine Feldabhängigkeit) zu erkennen, ist das Fowler-Nordheim-Tunneln der dominante Leitungsmechanismus. [5]

Der Fowler-Nordheim-Strom durch das Oxid generiert Haftstellen oder lädt bereits vorhandene Haftstellen auf, sodass das Oxid degradiert und es zu einem Durchbruch kommt (vgl. Kapitel 2.4).

2.3.3 Schottky-Emission

Bei der Schottky-Emission gelangen Elektronen aus der Gegenelektrode durch thermische Anregung über die Potentialbarriere in das Leitungsband. Die anliegende Feldstärke ist hierbei vergleichsweise gering. Durch Interface-Haftstellen kann die tatsächliche Potentialbarriere abgesenkt werden, sodass die Schottky-Emission beeinflusst wird. [34]

Die Stromdichte J_{SE} , die durch die Schottky-Emission hervorgerufen wird, lässt sich wie folgt berechnen [5]:

$$J_{\text{SE}} = A_{\text{R}} T^2 \exp\left(\frac{-e(\Phi_{\text{b}} - \sqrt{eE_{\text{Ox}}/(4\pi\epsilon_0\epsilon_{\text{op}})})}{k_{\text{b}}T}\right), \quad (2.21)$$

mit A_{R} als Richardson-Konstante. Dadurch, dass die Temperatur quadratisch in die Gleichung eingeht, wird deutlich, dass diese einen großen Einfluss auf die

Schottky-Emission hat. Durch Umstellen der Gl. (2.21) entsteht eine Geradengleichung [5] [34]:

$$\ln(J_{\text{SE}}) = \frac{\sqrt{e^3}}{k_{\text{B}}T\sqrt{4\pi\epsilon_0\epsilon_{\text{op}}}}\sqrt{E_{\text{Ox}}} + \ln(A_{\text{R}}T^2) - \frac{e\Phi_{\text{b}}}{k_{\text{B}}T}. \quad (2.22)$$

Um zu überprüfen, ob bei einem gemessenen Leckstrom als Leitungsmechanismus die Schottky-Emission dominiert, muss auf der Abszisse die Wurzel der elektrischen Feldstärke ($\sqrt{E_{\text{Ox}}}$) und auf der Ordinate der natürliche Logarithmus der Stromdichte ($\ln(J_{\text{SE}})$) aufgetragen werden. Aus der Steigung der Messkurve kann durch Gl. (2.22) der optische Anteil der relative Dielektrizitätskonstante ϵ_{op} berechnet werden. Stimmt dieser überein mit dem tatsächlichen optischen Anteil der relativen Dielektrizitätskonstante, der dem Quadrat des Brechungsindex entspricht (vgl. Kapitel 2.2.1), dominiert die Schottky-Emission [5] [34].

Eine weitere Möglichkeit zu überprüfen, ob Schottky-Emission vorliegt, besteht darin, den natürlichen Logarithmus des Quotienten aus Stromdichte und quadratischer Temperatur ($\ln\left(\frac{J_{\text{SE}}}{T^2}\right)$) gegen den Kehrwert der Temperatur ($\frac{1}{T}$) aufzutragen (Arrhenius-Plot). Ergibt sich dabei eine Gerade, ist dies ebenfalls eine Bestätigung, dass Schottky-Emission vorliegt. [17]

2.3.4 Poole-Frenkel-Emission

Bei der Poole-Frenkel-Emission (auch modifizierte Schottky-Emission genannt [5]) stammen die Elektronen, die in das Leitungsband geraten, nicht von der Elektrode, sondern aus dem Oxid. Durch thermische Anregung werden Elektronen aus Haftstellen im Oxid gelöst. Dieser Leitungsmechanismus ist stark von der angelegten Spannung und von der Temperatur abhängig [29] [31] und wird von Oxid-Haftstellen beeinflusst [34]. Die Größenordnung des Leckstroms hängt von der Wahrscheinlichkeit ab, mit der die gefangenen Ladungsträger wieder aus den Haftstellen ausgelöst werden können und dann in das Leitungsband gelangen [34].

Die Stromdichte J_{PF} , welche bei der Poole-Frenkel-Emission auftritt, berechnet sich nach Gl. (2.23) [34]:

$$J_{\text{PF}} = N e \mu E_{\text{Ox}} \exp\left(\frac{-e(\Phi_{\text{b}} - \sqrt{e E_{\text{Ox}} / (\pi \epsilon_0 \epsilon_{\text{op}})})}{k_{\text{B}}T}\right) \quad (2.23)$$

mit N als absolute Dichte der verfügbaren Ladungsträger und μ als Mobilität der Ladungsträger. Die Gleichung kann, ebenso wie bei den anderen zuvor vorge-

stellten Leitungsmechanismen, so umgestellt werden, dass eine Geradengleichung vorliegt:

$$\ln\left(\frac{J_{\text{PF}}}{E_{\text{Ox}}}\right) = \frac{\sqrt{e^3}}{k_{\text{B}}T\sqrt{\pi\epsilon_0\epsilon_{\text{op}}}}\sqrt{E_{\text{Ox}}} - \frac{e\Phi_{\text{b}}}{k_{\text{B}}T} + \ln(Ne\mu). \quad (2.24)$$

Für die Überprüfung auf Poole-Frenkel-Emission muss auf die Abszisse, ebenso wie bei der Schottky-Emission, die Wurzel der elektrischen Feldstärke aufgetragen werden ($\sqrt{E_{\text{Ox}}}$), auf die Ordinate jedoch anstelle des natürlichen Logarithmus der Stromdichte, der natürlich Logarithmus des Quotienten aus Stromdichte und elektrischer Feldstärke ($\ln\left(\frac{J_{\text{PF}}}{E_{\text{Ox}}}\right)$) [5] [35]. Für das Vorliegen einer Poole-Frenkel-Emission müssen der berechnete optische Anteil der relative Dielektrizitätskonstante ϵ_{op} aus der Geradensteigung und der tatsächlich vorliegende identisch sein [17] [34].

Zudem liegt bei einer Poole-Frenkel-Emission, ebenso wie bei der Schottky-Emission, eine Arrhenius-Gerade vor. Hier besteht jedoch ein linearer Zusammenhang zwischen dem natürlichen Logarithmus der Stromdichte ($\ln(J_{\text{PF}})$) und dem Kehrwert der Temperatur ($\frac{1}{T}$). [17]

2.4 Durchbruchmechanismen

2.4.1 Allgemeingültiges Durchbruch-Verhalten

Bei Oxid-Durchbrüchen handelt es sich immer um lokale Phänomene, wobei die Art des Durchbruchs abhängig ist von der im Kondensator gespeicherten Energie, der anliegenden Stromdichte an der Stelle im Oxid wo der Durchbruch zustande kommt, von der Schichtdicke des Oxids und von der Kondensatorfläche [29] [30]. Die Ladung, die bis zum Zeitpunkt des Durchbruchs fließt, kann durch Integration des Tunnelstroms über die Zeit von Anfang der Messung bis zum Durchbruch berechnet werden [36].

Qualitativ kann ein Durchbruch damit beschrieben werden, dass die Anzahl der Haftstellen durch eine äußere angelegte Spannung erhöht wird. Tritt lokal eine große Dichte an Haftstellen auf, erhöht sich hier die Stromdichte und es kommt zu einem leitenden Pfad. Das Oxid bricht durch [29]. Kristalline Strukturen weisen eine hohe Anzahl an Korngrenzen auf, sodass sich bei ihnen leichter ein leitender Pfad ausbilden kann als bei amorphen Strukturen [17]. Auch raue Wände bzw. ein

raues Interface können bereits bei geringeren Spannungen einen leitenden Pfad hervorrufen, da es lokal zu Feldüberhöhungen kommen kann [2] [37].

2.4.2 Der weiche Durchbruch

Bei einem weichen Durchbruch entsteht durch die Temperatur, die bei einer hohen Stromdichte auftritt, zwischen den Kondensator-Elektroden ein temporärer, hochohmiger, leitender Pfad, über den sich der Kondensator entladen kann. Dieser Durchbruch ist reversibel, auch wenn das Oxid nicht wieder vollständig regeneriert werden kann. Die im Kondensator gespeicherte Energie sorgt dafür, dass der leitende Pfad zerstört wird und der Kondensator durch eine erneut angelegte äußere Spannung wieder aufgeladen werden kann. [29] [30]

Ein weicher Durchbruch findet eher bei dünnen Oxiden statt, da hier eine geringere Spannung angelegt wird als bei dickeren Oxiden und somit eine geringere Energie gespeichert ist (vgl. Gl. (2.4)). Nachgewiesen wurden weiche Durchbrüche bei Oxiden zwischen 1,6 und 80 nm. [30]

2.4.3 Der harte Durchbruch

Laut JEDEC-Standard hat ein harter Durchbruch des Dielektrikums dann stattgefunden, wenn der gemessene Strom zwischen zwei aufeinander folgenden Messpunkten um den Faktor 2-10 ansteigt [38]. JEDEC-Standards sind keine Norm, nach ihnen wird sich jedoch bei der Zuverlässigkeitsanalyse in der Mikroelektronik und Halbleiterindustrie weitestgehend gerichtet. Die Standards werden von Komitees, zusammengesetzt aus Qualitätsingenieuren der Halbleiter-Branche, ständig auf aktuelle Kenntnisse und Anforderungen angepasst [29].

Bei einem harten Durchbruch ist die Energie lokal so hoch, dass das Oxid aufschmilzt und auf diese Weise eine leitende Verbindung zwischen den zwei Elektroden entsteht, über die sich der Kondensator entladen kann. Dieser Strompfad kann nicht durch eine erneut angelegte äußere Spannung unterbunden werden, sodass der harte Durchbruch irreversibel ist. [29] [30]

Ein harter Durchbruch kommt aufgrund der hohen benötigten Energie häufiger bei dickeren Oxiden vor, da bei ihnen in der Regel eine höhere Spannung angelegt wird und somit auch die gespeicherte Energie größer ist als bei dünneren Oxiden [30].

2.5 Atomlagenabscheidung

2.5.1 Anwendungsbereiche

Aufgrund der vergleichsweise geringen Abscheiderate ist die Atomlagenabscheidung (Atomic Layer Deposition (ALD)) besonders für dünne Schichten geeignet [39]. Im Bereich der Dünnschicht-Lumineszenz bei Bildschirmen fand dieses Beschichtungsverfahren in den 70er Jahren zuerst Verwendung [40], wurde anschließend aber auch zur Beschichtung von 3D-Strukturen bei einem Mikro-Elektro-Mechanischen-System (MEMS), im Bereich der Mikroelektronik, Optoelektronik, Magnetaufzeichnungsverfahren, oder aber auch in der Schmuckbranche als Schutzschicht eingesetzt [39]. Intel bezeichnet den Einsatz von ALD als die größte Änderung der letzten 40 Jahre in der Computerchip-Geschichte, da die herkömmlichen Materialien wie beispielsweise SiO_2 und Poly-Si durch high-k-Dielektrika und Metalle ersetzt werden können. Im Januar 2007 produzierte Intel den ersten Mikroprozessor in 45 nm Technologie, mit high-k-Dielektrikum und Metall-Gate [41].

Heute werden Oxide, die mit ALD abgeschieden wurden, z. B. als Dielektrika in Kondensatoren, als Bragg-Spiegel in Fabry-Perot-Interferometern, in mikromechanischen Resonatoren, als vergrabene Schichten beim Wafer-Bonden, oder als diverse Schutzschichten eingesetzt [42].

2.5.2 Prozessverfahren

Das Patent für die Atomlagenabscheidung wurde im Jahr 1977 erteilt [43]. Das Verfahren zählt zu den chemischen Gasphasenabscheidungen (Chemical Vapor Deposition (CVD))[39]. Im Gegensatz zu anderen CVD-Verfahren werden die Precursor, die zur Erzeugung der Schicht notwendig sind, streng voneinander getrennt, sodass es zu keiner Reaktion zwischen den beiden Precursor in der Gasphase kommen kann [39] [40].

Der Zyklus einer ALD-Abscheidung lässt sich in mindestens vier Schritte zerlegen (Abb. 2.8): Während des ersten Pulses (erster Schritt) bedeckt der gasförmige erste Precursor (Precursor A) die Oberfläche und wird von ihr chemisorbiert. Um alle Reste des Precursors und flüchtige Nebenprodukte zu entfernen, wird im zweiten Schritt mit einem Inertgas gespült. Danach wird mit dem zweiten Puls

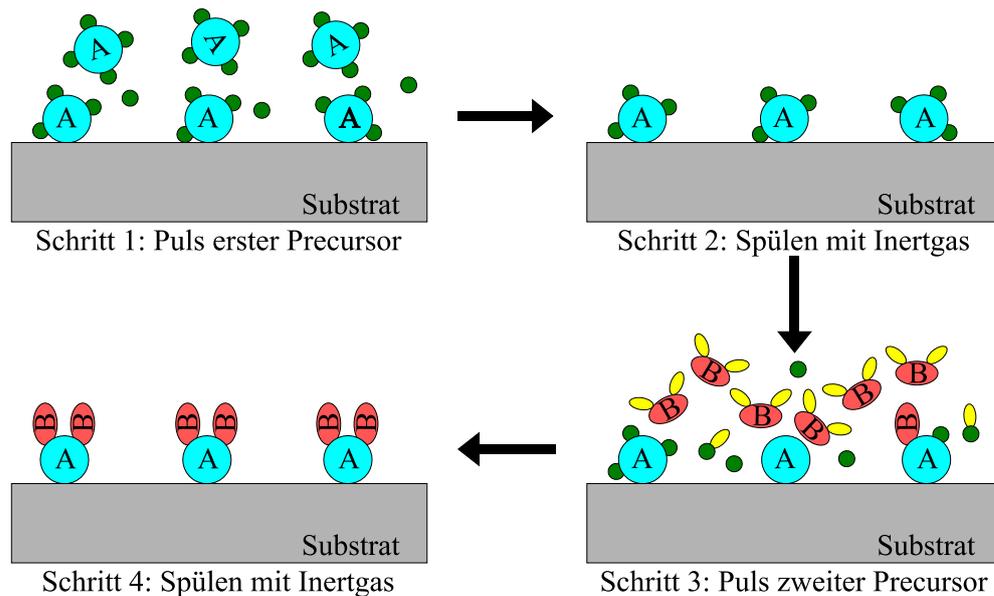


Abb. 2.8: Schematische Darstellung eines ALD-Zyklus (nach [46])

(dritter Schritt) der zweite Precursor (Precursor B) in den Reaktor eingelassen, der mit dem chemisorbierten ersten Precursor zu der gewünschten Schicht reagiert. Auch hiernach wird wieder im vierten Schritt mit Inertgas gespült, sodass die Reste des zweiten Precursors und die Nebenprodukte der Reaktion ebenfalls von der Oberfläche entfernt werden [40].

Das Schichtwachstum ist selbstlimitierend, da das Gas während eines Schrittes nur so lange mit der Oberfläche reagiert, bis diese abgesättigt und genau eine Monolage abgeschieden ist [44]. Das überschüssige Gas wird abgepumpt. Dieser Zyklus wird so oft wiederholt, bis die gewünschte Schichtdicke erreicht ist. Es ist jedoch zu beachten, dass der Prozess am Anfang langsamer ablaufen kann, wenn sich die chemischen Eigenschaften des Substrates zu stark von den chemischen Eigenschaften der abzuschcheidenden ALD-Schicht unterscheiden [39]. Es findet zunächst auf dem Substrat eine Keimbildung statt, welche mit einem Nanopartikel beginnt und mit jedem Zyklus größer wird [45]. Sobald sich die so bildenden „Inseln“ zu einer vollständigen Schicht zusammengesetzt haben, startet das kontinuierliche Schichtwachstum.

Ein Zyklus kann aus mehr als vier Schritten bestehen, wenn das abzuschcheidende Material aus mehr als zwei Precursor hergestellt wird. Dies ist z. B. bei leitfähigen Oxiden der Fall, die mit einem zusätzlichen Metallanteil dotiert werden, um die Leitfähigkeit zu verbessern.

Die Oberfläche, die mit dem Precursor A bedeckt ist, berechnet sich wie folgt [43]:

$$P_A = 1 - \exp\left(-\frac{\mu_A \alpha_{AO} t_{AO}}{N_S}\right). \quad (2.25)$$

Hierbei entspricht P_A der prozentualen Oberfläche, die mit Precursor A bedeckt ist, μ_A beschreibt die Kollisionsdichte des Precursors A mit den Oberflächenatomen, α_{AO} die Wahrscheinlichkeit einer Reaktion zwischen Precursor A und den Oberflächenatomen, N_S gibt die Dichte der Oberflächenatome an und t_{AO} die Reaktionszeit der Oberflächenatome mit dem Precursor A.

Damit die Oberfläche vollständig mit dem Precursor A bedeckt wird, muss der Betrag des Exponenten der natürlichen Exponentialfunktion möglichst groß sein, sodass der Subtrahend in Gl. (2.25) gegen 0 konvergiert:

$$\mu_A \alpha_{AO} t_{AO} \gg N_S. \quad (2.26)$$

Wichtige Parameter bei einem ALD-Prozess sind die Puls- und Spülzeiten, der Druck und der Fluss. Zudem spielt die Temperatur vom Reaktor bzw. dem Substrat und den einzelnen Precursor eine große Rolle [43].

Die Pulszeit hat aufgrund des selbstlimitierenden Prozesses keinen direkten Einfluss auf die Abscheiderate, jedoch muss die Zeit so gewählt werden, dass die zu beschichtende Oberfläche mit dem Precursor vollständig bedeckt ist [40]. Somit ist die Pulszeit bei einer großen Oberfläche oder einer Oberfläche mit einer großen Topologie länger zu wählen als bei einer kleinen Oberfläche ohne Topologie, bei der das Gas leichter überall hingelangen kann [44]. Häufig beansprucht die Abdeckung der letzten 10 % der Oberfläche mehr Zeit als die vorherigen 90 %. Ist eine 90 %ige Bedeckung und somit eine etwas schlechtere Homogenität der abgeschiedenen Schicht ausreichend, können sowohl die Puls-, als auch die Spülzeit reduziert werden, da weniger überschüssiges Gas abgepumpt werden muss [39].

Die Bedeckung der Oberfläche kann zudem über die Reaktortemperatur beeinflusst werden. Je höher die Temperatur ist, desto beweglicher sind die Gasmoleküle und desto schneller kommt es zu einer vollständigen Bedeckung, da α_{AO} zunimmt (vgl. Gl. (2.25)). Hierbei muss jedoch darauf geachtet werden, dass sich die Reaktortemperatur innerhalb des sogenannten ALD-Fensters befindet, welches vom Material abhängig ist [44] (Abb. 2.9). Innerhalb des ALD-Fensters ist die Abscheiderate weitestgehend konstant [39].

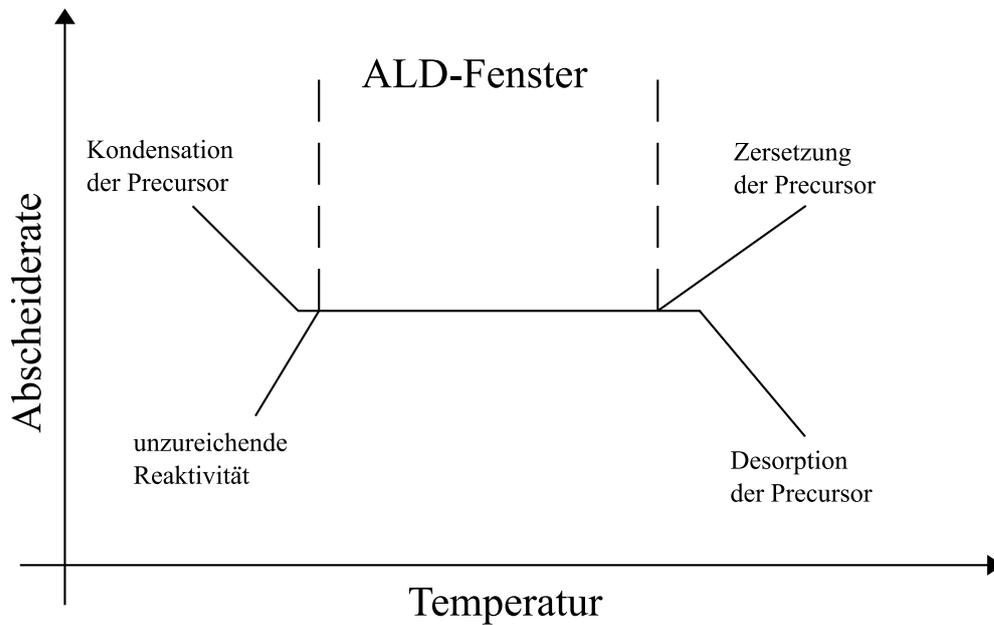


Abb. 2.9: ALD-Fenster (nach [40])

Ab einer bestimmten materialabhängigen Temperatur, können die Gasmoleküle, die bereits an der Oberfläche gebunden sind, desorbieren. Die Abscheiderate nimmt ab. Zudem nimmt die Wahrscheinlichkeit, dass sich die Precursor zersetzen, mit steigender Temperatur zu. Der Prozess wird immer weniger selbstlimitierend, da die Precursor nicht mehr streng räumlich voneinander getrennt sind. Dieses Verhalten würde einem konventionellen CVD-Verfahren und nicht einem ALD-Verfahren entsprechen. Auf der anderen Seite muss eine bestimmte Temperatur erreicht sein, damit die Reaktivität der Precursor hoch genug ist und es zu keiner Kondensation der Precursor kommt, da sonst keine Schicht abgeschieden würde. [40]

Um die Abscheidung einer atomaren Schicht zu gewährleisten, muss die Temperatur oberhalb der Verdampfungstemperatur der verwendeten Precursor liegen. Kommt es unter dieser Bedingung zu einer Bindung zwischen Atomen des gleichen Precursors, ist diese dann so schwach, dass die Precursor direkt wieder in die Gasphase übergehen und abgepumpt werden können [43].

Die Vorteile einer ALD-Beschichtung liegen, im Vergleich zu anderen Abscheidungsverfahren, in einer hohen Konformität, Uniformität, Schichtqualität und einer sehr guten Prozesskontrolle. Dadurch, dass pro Zyklus maximal eine Monolage abgeschieden wird, werden kaum Fremdstoffe oder Fehlstellen in die Schicht ein-

gebaut und die gewünschte Schichtdicke kann atomlagengenau eingestellt werden. Auch Strukturen mit einem hohen Aspekt-Verhältnis können konform beschichtet werden, sofern die Pulszeit so hoch gesetzt wird, dass die Precursor genügend Zeit haben, die Oberfläche vollständig zu bedecken. Gleichzeitig ist die Abscheidetemperatur relativ gering und beträgt bei den meisten Materialien weniger als 400 °C, sodass sie CMOS-kompatibel ist. [40] [44]

Der Nachteil einer ALD-Beschichtung ist die geringe Abscheiderate und der damit verbundene Zeitaufwand. Dass pro Zyklus exakt eine Monolage abgeschieden wird, entspricht nicht einer realen Abscheidung. In der Regel wird meist nur ein Bruchteil einer Monolage abgeschieden, da es sterische Hinderungen und zum Teil auch nur eine limitierte Anzahl an Reaktionsstellen gibt. Durch den Einsatz von Plasma kann die Abscheiderate verbessert werden, jedoch können hiermit Schädigungen der Oberfläche einhergehen und es kann nur ein geringeres Aspekt-Verhältnis beschichtet werden. [39] [44]

2.5.3 Anforderungen an die Precursor

Precursor können in allen drei Aggregatzuständen vorkommen, jedoch besteht bei einem Feststoff das Risiko, dass Partikel mit auf die Oberfläche transportiert werden können und in die Schicht eingebaut werden. An die Precursor werden folgende Anforderungen gestellt [39] [40] [44]:

- genügend hohe Reinheit
- kostengünstige Synthetisierung
- flüchtig genug, um auch bei relativ niedrigen Temperaturen einen gasförmigen Zustand zu haben
- kein Zerfall vor Auftreffen auf der zu beschichtenden Oberfläche
- möglichst kleine Moleküle, damit es während der Reaktion auf der Oberfläche zu wenigen sterischen Hinderungen kommt
- schnelle und zuverlässige Reaktion mit dem Substrat und dem zweiten Precursor
- die flüchtigen Nebenprodukte dürfen die Oberfläche des Reaktors und vor allem die Oberfläche des Substrates nicht ätzend angreifen, da die Schicht sonst uneben aufwachsen würde
- sichere Handhabung
- nach Möglichkeit ungiftig

Die Synthetisierung der Precursor befindet sich noch in der Entwicklung. Für wichtige Materialien der Halbleiter-Industrie stehen noch keine Precursor-Kombinationen zur Verfügung. Auch die Abscheidung von bereits verwendeten Materialien kann noch immer in Hinblick auf Homogenität, Reinheit oder Abscheiderate verbessert werden. [39]

2.5.4 Reaktortypen

Bei den ALD-Verfahren wird zwischen zwei Reaktortypen unterschieden: dem Reaktor mit einem parallelen Gasfluss und dem Reaktor mit einem senkrechten Gasfluss (Abb. 2.10). Die Flussrichtung des Gases bezieht sich auf die Oberfläche des zu beschichtenden Substrates. Beim Reaktor mit einem parallelen Gasfluss wird das Gas auf einer Seite eingelassen und auf der anderen Seite abgepumpt, beim Reaktor mit senkrechtem Gasfluss wird das Gas oben eingelassen und nach unten hin abgepumpt.

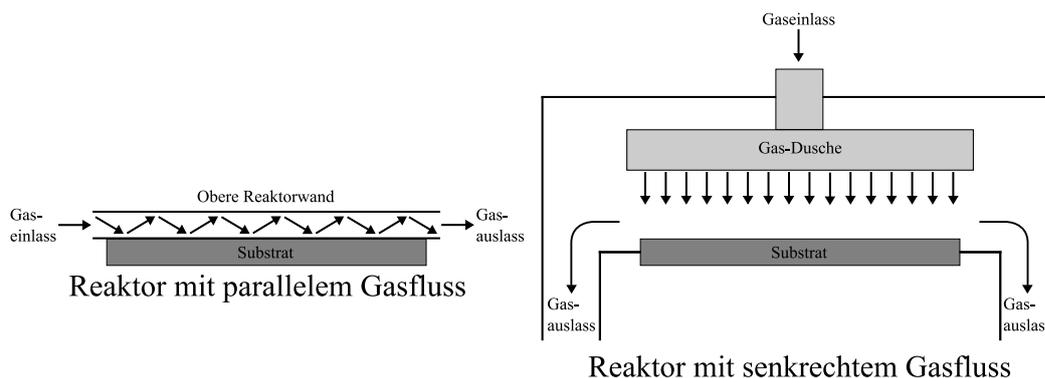


Abb. 2.10: ALD-Reaktortypen (nach [46])

Der Vorteil eines parallelen gegenüber einem senkrechten Gasfluss, ist der unmittelbare Kontakt zwischen Substrat und dem Gasfluss, wodurch der Chemikalienverbrauch geringer ist und auch die Pulszeit reduziert werden kann. Das Volumen eines solchen Reaktors ist kleiner, sodass ebenfalls kürzere Spülzeiten verwendet werden können, als beim Reaktor mit senkrechtem Gasfluss. Insgesamt ergibt sich somit eine höhere Abscheiderate.

Nachteil eines parallelen Gasflusses ist zum einen, dass sich die Precursor leichter zersetzen können. Zum anderen können Nebenprodukte der Reaktion adsorbiert werden und sich somit eine inhomogenere Schicht ausbilden als bei einem

senkrechten Gasfluss. Bei diesem werden die Nebenprodukte von der Oberfläche weggespült, bevor die nächsten Moleküle des Precursors auftreffen.

In einer Batch-Anlage wird immer ein Reaktor mit parallelem Gasfluss verwendet, da auf diese Weise ein sogenannter Gastunnel gebildet werden kann. Eine Anordnung mit senkrechtem Gasfluss würde bewirken, dass sich die Substrate untereinander verdecken, sodass nur auf den oberen Substraten eine Schicht abgeschieden würde. [39]

2.5.5 Abscheidung von Oxiden

Die Abscheidung von Oxiden wird im Folgenden am Beispiel der Deposition von Al_2O_3 mit Trimethylaluminium (TMA) als Precursor erläutert. Dieses Beispiel wird gewählt, da dieser ALD-Prozess sehr gut erforscht und stabil ist [39]. TMA ist ein Metall-Alkylen, welches sehr reaktiv ist, sodass das ALD-Fenster, in welchem Al_2O_3 aufwächst, vergleichsweise groß ist. Weiterhin ist TMA stabil gegenüber äußeren Einflüssen. Zudem ist TMA ein flüssiger Precursor, der bei Raumtemperatur einen geeigneten Dampfdruck aufweist und thermisch stabil ist. Auch der verhältnismäßig geringe Preis und die ungiftigen Methan-Verbindungen als Nebenprodukte machen Abscheidungen mit TMA attraktiv. Nachteilig ist, dass TMA leicht entzündlich ist und somit die Handhabung sowohl während des Transportes, als auch die Handhabung an der ALD-Anlage, aufwändig macht.

Im Unterschied zu anderen CVD-Verfahren, bei denen es bereits in der Gasphase zu einer Reaktion kommen würde, kann beim ALD-Prozess H_2O als Reaktionspartner verwendet werden [39]. H_2O greift die zu beschichtende Oberfläche nicht an und zersetzt sich auch bei höheren Temperaturen nicht [44]. Nach dem H_2O -Puls muss ein langer Spülschritt eingehalten werden, da die H_2O -Moleküle aufgrund ihrer Polarität leicht an der Substrat-Oberfläche haften bleiben.

Mit TMA und H_2O als Precursor ergibt sich für die Abscheidung von Al_2O_3 folgende Reaktionsgleichung [39]:



Diese Reaktion besteht aus zwei Halbreaktionen [47]. Die erste Halbreaktion läuft während des TMA-Pulses ab:



Damit diese Halbreaktion stattfinden kann, muss die Substratoberfläche mit OH-Gruppen bedeckt sein. Um die Verbindung AlCH_3 zu entfernen, ist die zweite Halbreaktion während des H_2O -Pulses notwendig:



Die in den Gl. (2.28) und (2.29) mit * gekennzeichneten Verbindungen befinden sich auf der Substratoberfläche. Bei beiden Halbreaktionen entsteht Methan als flüchtiges Nebenprodukt, welches in den jeweils folgenden Spülschritten aus der ALD-Kammer entfernt wird.

Beide Halbreaktionen laufen in einem Temperatur-Fenster von ca. 220°C bis ca. 380°C vollständig ab. Bei einer höheren Abscheide-Temperatur könnte sich das TMA pyrolysieren und auf der Substratoberfläche Al abscheiden. Dieses würde mit dem nachfolgenden H_2O -Schritt zu Al_2O_3 oxidieren und es würde kein kontrollierter ALD-Prozess mehr ablaufen. [47]

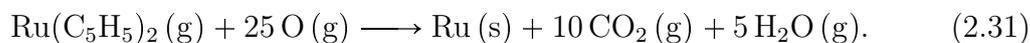
Anstelle von H_2O kann als zweiter Precursor bei der Abscheidung von Al_2O_3 auch O_3 verwendet werden [22] [25]:



O_3 ist deutlich reaktiver als H_2O , sodass eine Abscheidung von Al_2O_3 bereits bei Raumtemperatur möglich ist. Abgesehen von sich möglicherweise bildenden Liganden [39], ist die Al_2O_3 -Schicht weniger verunreinigt als bei einer Abscheidung mit H_2O als zweiten Precursor [22] [25]. Bei einem Si-Substrat kann O_3 als zweiter Precursor nicht verwendet werden, da sich ansonsten eine zusätzliche SiO_2 -Schicht ausbilden würde [39].

2.5.6 Abscheidung von Edelmetallen

Bei der Abscheidung von Edelmetallen wird meist zuerst ein Metall-Organischer Precursor verwendet, der auf dem Substrat die gewünschte Metallschicht sowie Liganden bildet [48]. Der zweite Precursor muss so gewählt werden, dass die Liganden entfernt werden [45]. Das Edelmetall Ru kann z. B. mit den Precursor RuCp_2 (bis(cyclopentadienyl) ruthenium) und O_2 abgeschieden werden [49]. Die gesamte Reaktion läuft dabei wie folgt ab [50]:



Bei Edelmetallen sind die Prozessparameter schwieriger einzustellen als bei der Abscheidung von Oxiden, da die anfängliche Keimbildung an mehrere Bedingungen geknüpft ist. Diese Keimbildung ist jedoch ausschlaggebend für das Schichtwachstum und vor allem für die Schichteigenschaften wie z. B. Morphologie und Rauigkeit. Bei der ALD-Abscheidung von Ru mit O_2 als zweitem Precursor kann es aufgrund der schwierigen Keimbildung zu einer Verzögerung von mehreren 100 Zyklen kommen. [45]

Ob eine Keimbildung schnell abläuft, hängt von der Größe der zu beschichtenden Oberfläche, von dem Material der Oberfläche und von den vorhandenen Hydroxylgruppen ab [19] [51]. Auf Si, SiO_2 , Si_3N_4 oder auf Glas wächst Ru z. B. schlecht und inhomogen auf [19] [45] [48] [49] [50]. Auf einer Schicht aus Al_2O_3 , HfO_2 , oder TiO_2 (bei einer Abscheidetemperatur von $275^\circ C$) wächst es hingegen gut auf [51] [52]. Eine weitere Optimierung der Keimbildung kann durch eine Plasma-Behandlung der Oberfläche erzielt werden [45].

Die verzögerte Keimbildung kann aber auch für ein selektives Wachstum genutzt werden. Wird das Edelmetall auf einer strukturierten Oberfläche mit unterschiedlichen Materialien abgeschieden, wächst es nur auf den Materialien auf, bei denen es zu einer schnellen Keimbildung kommt. Auf den Materialien mit einer langsamen Keimbildung kommt es zu keiner Abscheidung, sodass diese Bereiche frei vom Edelmetall bleiben. [45]

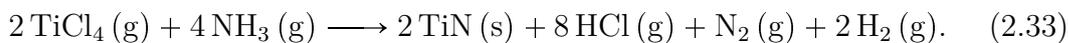
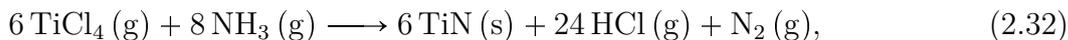
Auch der O_2 -Anteil muss bei der Deposition von Ru sehr sorgfältig eingestellt werden, da er sowohl einen Einfluss auf die Abscheiderate, als auch auf die Ru-Schichtqualität hat [48] [52]. Der O_2 -Anteil kann über den Druck, den Fluss des Trägergases und die Pulslänge eingestellt werden. Je höher der O_2 -Anteil ist, desto höher ist die Abscheiderate und desto höher ist der Schichtwiderstand, da das O_2 während des Metall-Pulses nicht vollständig verbraucht wird und sich ein Ru-Oxid ausbilden kann [45] [48] [52] [53]. Auch die Größe der Korngrenzen nimmt mit höherem O_2 -Anteil zu, wodurch die Schicht rauer wird und optisch nicht mehr glänzend, sondern eher milchig aussieht [19] [49] [53].

Ebenso hat die Abscheidetemperatur einen großen Einfluss auf die Qualität der Ru-Schicht. Je höher die Abscheidetemperatur ist, desto geringer ist der Schichtwiderstand, da die Schicht kristalliner abgeschieden wird und die Verunreinigungen durch O oder N weniger ausgeprägt sind [49] [51]. Auf der anderen Seite nimmt die Rauigkeit der Schicht mit steigender Abscheidetemperatur ebenfalls

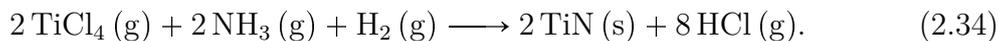
zu, da die Größe der Korngrenzen zunimmt [49] [52] [54]. Bei einer Abscheidetemperatur von 450 °C ist die Haftung der Ru-Schicht so schlecht, dass keine uniforme Schicht mehr abgeschieden werden kann [49].

2.5.7 Abscheidung von Nitriden

Nitride werden häufig als Diffusionsbarrieren abgeschieden. Sie müssen daher die Diffusion und Reaktion zwischen den zu trennenden Materialien verhindern und sollten gleichzeitig einen geringen Schichtwiderstand haben, einen geringen Störstellengehalt und möglichst amorph sein, um große Korngrenzen zu vermeiden [55]. TiN erfüllt all diese Anforderungen und ist daher das Material, welches am häufigsten als Diffusionsbarriere genutzt wird [56]. Da es zudem auch in dieser Arbeit zum Einsatz kam, wird die ALD-Abscheidung von Nitriden anhand dieses Beispiels erläutert. Als Precursor werden TiCl_4 (Titan-tetrachlorid) und zur Reduktion NH_3 verwendet [56] [57] [58] [59]. Als vollständige Reaktion kommen zwei Gleichungen in Frage, die sich in den Nebenprodukten unterscheiden [56] [58] [59]:



Alternativ kann zur Reduktion von TiCl_4 auch H_2 verwendet werden [59]:



Ist die Reduktion von TiCl_4 nicht vollständig abgelaufen, kann es in der TiN-Schicht zu Cl-Verunreinigungen kommen, die eine Erhöhung des Schichtwiderstandes hervorrufen [56] [57]. Diese Cl-Verunreinigungen sind jedoch im Vergleich zu einer TiN-Abscheidung mittels CVD-Verfahren bei gleicher Abscheidetemperatur sehr viel geringer [59]. Der Schichtwiderstand ist zudem von der Abscheidetemperatur abhängig: je höher die Abscheidetemperatur, desto geringer ist der Schichtwiderstand [57] [60].

Auch wenn die Abscheidetemperatur des ALD-Prozesses (400 °C bis 500 °C) im Vergleich zum CVD-Prozess (über 550 °C) geringer ist [55] [60], ist sie für viele Anwendungen zu hoch [55] [56]. Es ist möglich, die Abscheidetemperatur zu senken, indem TMA als Reduktionsmittel eingesetzt wird. Es entsteht somit bei der Abscheidung kein reines TiN mehr, sondern die Precursor TiCl_4 , TMA und NH_3 reagieren zu TiAlCN , also zu TiN mit einer Al- und C-Dotierung [55].

Bei der Verwendung von TMA als Reduktionsmittel kann die Abscheidetemperatur auf unter 400°C herabgesetzt werden, da TMA eine geringere Dissoziationstemperatur aufweist [55]. Das TMA nimmt das Cl-Atom vom adsorbierten TiCl_4 auf und bildet Al^+ -Methylchloride. Da sowohl $\text{Ti}(\text{Al})\text{N}$, als auch TiC effektive Barrieren in der Mikroelektronik darstellen, haben die zusätzlich eingebauten Al- und C-Atome durch das TMA keinen negativen Einfluss auf die Barrierefunktion der TiN -Schicht [61] [62] [63].

Es gibt drei unterschiedliche Kombinationen, die drei Precursor zu pulsen:

1. TiCl_4 - TMA - NH_3
2. TiCl_4 - NH_3 - TMA
3. TiCl_4 - NH_3 - TMA - NH_3

Bei der ersten Kombination sorgt der TMA-Puls unmittelbar nach dem TiCl_4 -Puls dafür, dass in die TiN -Schicht ein höherer Anteil von C-Atomen als Al-Atomen eingebaut wird. Bei der zweiten Kombination ist es genau umgekehrt, dadurch dass der TMA-Puls nach dem NH_3 -Puls erfolgt, wird ein höherer Anteil von Al-Atomen in die Schicht eingebaut. Die dritte Kombination weist die höchste Abscheiderate auf, die aber auch bei diesem Prozess zusätzlich von der Abscheidetemperatur abhängig ist.

Der Schichtwiderstand nimmt beim TiAlCN ebenfalls mit sinkender Abscheidetemperatur und steigender Cl-Verunreinigung zu. Die Kristallrichtung der Schicht lässt sich über den Anteil an eingebauten Al-Atomen einstellen, da die Al-Atome im Vergleich zu den substituierten Ti-Atomen im TiN -Gitter kleiner sind. [55]

2.6 Das reaktive Ionentiefenätzen

Bei dem reaktiven Ionentiefenätzen (Deep Reactive Ion Etching (DRIE)) handelt es sich um ein reaktives Ionenätz-Verfahren und es zählt zu den Trockenätz-Verfahren. Beim reaktiven Ionenätzen wird zwischen zwei parallelen Elektroden eine hochfrequente Wechselspannung angelegt, sodass ein Plasma gezündet wird. Aufgrund der größeren Masse können die positiv geladenen Ionen dem Wechselfeld nicht folgen, die Elektronen hingegen schon. Sie bewegen sich während der positiven Halbwelle des Wechselfeldes auf die Elektrode mit der angelegten

Wechselspannung zu und laden diese negativ auf. Während der folgenden negativen Halbwelle können die Elektronen nicht die benötigte Energie zum Austreten aus dem Elektrodenmaterial aufbringen, sodass die Elektrode weiterhin negativ geladen bleibt. [64]

Beim reaktiven Ionenätzen wird das zu ätzende Substrat auf die negativ geladene Elektrode gelegt, sodass die positiven Ionen durch das statische Feld in Richtung des Substrats beschleunigt werden und einen physikalischen Ätzabtrag leisten. Gleichzeitig können die Radikale im Plasma eine chemische Reaktion mit dem Substrat eingehen. Beim reaktiven Ionenätzen findet also eine Mischung aus physikalischem und chemischem Ätzabtrag statt. Der Ätzabtrag ist durch die gerichteten Ionen sehr anisotrop. Die Anisotropie kann erhöht werden, indem die Leistung des Wechselfeldes erhöht wird, sodass sich die negative Elektrode weiter auflädt und so die positiven Ionen stärker in Richtung des Substrats beschleunigt werden. Zudem können der Druck und die Temperatur reduziert werden, da auf diese Weise die Anzahl an Stößen und somit eine Ablenkung der Ionen reduziert wird. [64]

Der DRIE-Prozess wurde 1996 patentiert [65]. Mit ihm können Strukturen anisotrop und mit einem sehr großen Aspekt-Verhältnis in Si geätzt werden. Als Maskierung kann Fotolack, oder eine Hartmaske aus z. B. SiO_2 oder Al verwendet werden [66].

Der Prozess setzt sich aus zwei alternierenden Teilschritten zusammen: einem Ätzschritt und einem Passivierungsschritt (Abb. 2.11). Während des Ätzschrittes wird das Si geätzt und während des Passivierungsschrittes wird über die geätzte Struktur ein Teflon[®]-artiges Polymer abgeschieden. Das Polymer dient dazu, die Anisotropie zu verstärken. Es schützt die Seitenwände der zu ätzenden Struktur, sodass weder die Seitenwände, noch die Kanten unter der Maskierung während des Ätzschrittes angegriffen werden. Auch die Bodenfläche der zu ätzenden Struktur wird mit Polymeren beschichtet, jedoch ist die Passivierung dort aufgrund des gerichteten physikalischen Anteils des Ätzschrittes leicht zu entfernen. [65]

Im Patent werden für das Gas während des Ätzschrittes als Beispiel eine Mischung aus SF_3 und Ar mit jeweils einem Fluss von 0 bis 100 sccm, einem Prozessdruck von 10 bis 100 μbar und einer Generatorleistung von 300 bis 1200 W bei 2,45 GHz angegeben. Es kann aber auch eine andere Mischung mit Fluor-Element verwendet werden. Für das Gas während des Passivierungsschrittes wird eine Mi-

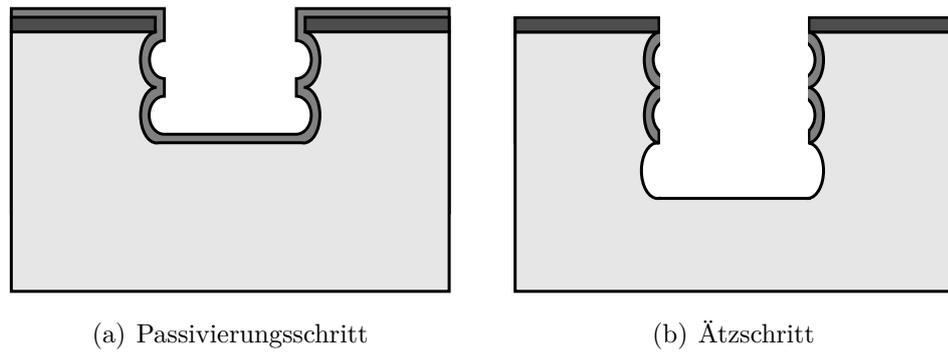


Abb. 2.11: Schematische Darstellung vom DRIE-Prozess (nach [67])

schung aus CHF_3 und Ar, mit denselben Fluss-, Druck- und Leistungsangaben wie beim Ätzschritt genannt. Auch hier sind andere Mischungen mit Fluorcarbonen möglich. [65]

Ein hoher physikalischer Abtrag ist hinsichtlich der Selektivität zur Maske schädlich. Beim DRIE-Prozess müssen die Ionen nicht so stark gerichtet werden, da die Anisotropie aufgrund der seitlichen Passivierung gegeben ist. Die Leistung kann soweit reduziert werden, dass sie gerade ausreicht, um die Passivierungsschicht auf dem Boden der Strukturen zu öffnen, sodass eine hohe Selektivität zur Maske realisiert werden kann [65]. Die Selektivität zu einer Hartmaske aus SiO_2 kann zwischen 20 : 1 und 30 : 1 betragen [68].

Der eigentliche Ätzschritt kann bei einer geringen Leistung leicht isotrop erfolgen, wodurch an den Seitenwänden das für den DRIE-Prozess typische „Wellenmuster“ (Scallops) entsteht. Die Größe der Scallops kann über die Zeit eines einzelnen Ätzschrittes angepasst werden.

Die Ätzrate hängt vom Querschnitt der zu ätzenden Struktur und von der Ätztiefe ab [69]. Je größer der Querschnitt ist, desto höher ist auch die Ätzrate. Gräben mit einer Breite von $5\ \mu\text{m}$ haben z. B. dieselbe Ätzrate wie Löcher mit einem Durchmesser von $15\ \mu\text{m}$ [66]. Dabei macht es keinen Unterschied, ob es sich um eine runde oder eine quadratische Struktur handelt [70]. Runde Strukturen haben jedoch generell den Vorteil, dass sie dem gezeichneten Layout mehr entsprechen, da sie durch die Lithografie weniger stark verändert werden als Strukturen mit scharfen Ecken. Mit zunehmender Ätztiefe verarmen die Ionen durch Streuung und elektrostatischer Ablenkung, sodass die Ätzrate immer weiter abnimmt [69].

Das Aspekt-Verhältnis AV bei einer bestimmten Strukturbreite b kann im Vorfeld folgendermaßen berechnet werden:

$$AV = \frac{A * \log(1 + B * b)}{b}, \quad (2.35)$$

mit A als prozessabhängige Konstante in μm und B als prozessabhängige Konstante in $1/\mu m$.

2.7 Einfluss von Temperungen

Temperungen während oder nach der Prozessierung von Kondensatoren können die elektrischen Eigenschaften beeinflussen. Der Einfluss ist dabei abhängig vom Gas, in dem die Temperung stattfindet. Wird in N_2 -Atmosphäre getempert, hat nur die Temperatur an sich einen Einfluss. Wird in O_2 - oder H_2 -Atmosphäre (bzw. in Formiergas-Atmosphäre) getempert, können zudem chemische Reaktionen mit dem umgebenden Gas stattfinden. Unabhängig vom Gas besteht jedoch generell das Problem, dass mit zunehmender Temperatur die Dichte an Defektstellen abnimmt, gleichzeitig aber auch neue Verunreinigungen immer leichter in die dielektrische Schicht mit aufgenommen werden können, die ihrerseits den Leckstrom erhöhen können [71].

Welche Temperatur notwendig ist um die Haftstellen zu reduzieren, hängt davon ab, welche Haftstellen reduziert werden sollen. Im Gegensatz zu Haftstellen die tief im Bulk liegen, reicht für Haftstellen am Interface eine geringere Temperatur aus [72].

Werden Dielektrika sehr hohen Temperaturen ausgesetzt, kann sich die Morphologie von amorph hin zu kristallin ändern. Die Schichtdicke nimmt ab, da sie dichter wird [73] und der Kapazitätsbelag und der Leckstrom nehmen zu [74]. Bei Ta_2O_5 ist hierfür eine Temperatur von über $700^\circ C$ notwendig [19], bei Al_2O_3 eine Temperatur von über $850^\circ C$ [71].

Bei einer Temperung in N_2 -Atmosphäre kann die Anzahl an fixen Ladungen reduziert werden. Durch die Temperatur wird so viel Energie aufgebracht, dass sich die Bindungen neu arrangieren und auf diese Weise Leerstellen aufgefüllt und offene Bindungen abgesättigt werden. Handelt es sich bei dem Dielektrikum um Al_2O_3 , kann die thermische Energie zudem dazu führen, dass die OH-Gruppen der Al_2O_3 -Deposition dissoziiert werden und die freigesetzten Atome die offenen

Bindungen absättigen. Bei der Temperung unter N_2 -Atmosphäre besteht jedoch das Risiko, dass durch die Neuorientierung der Bindungen erneut Leerstellen entstehen, die nicht gefüllt werden. [71]

Wird in einer O_2 - oder O_3 -Atmosphäre getempert, werden Leerstellen im Oxid (Interface- oder Oxid-Haftstellen) mit Sauerstoff gefüllt, wodurch der Leckstrom reduziert wird. Der Unterschied zwischen O_2 und O_3 besteht darin, dass O_3 reaktiver ist. Wird z. B. ein Kondensator mit einem Dielektrikum aus Al_2O_3 vor der Abscheidung der TiN-Elektrode für 5 min bei $400^\circ C$ unter O_3 -Atmosphäre getempert, wird die relative Dielektrizitätskonstante verbessert, der Leckstrom reduziert und die Durchbruchspannung vergrößert. Die Barriere zwischen Al_2O_3 und TiN steigt in diesem Fall von 3 eV auf 3,2 eV an [36] [75].

Bei sehr dünnen dielektrischen Schichten ist es möglich, dass Sauerstoff zum Interface zwischen Dielektrikum und Elektrode diffundiert und die Elektrode oxidiert. Das Risiko hierfür steigt mit zunehmender Temperungs-Dauer [76]. Handelt es sich bei der Elektrode um Si, kann eine Interface-Schicht aus SiO_2 entstehen, die den Kapazitätsbelag vermindert [73]. Aber auch bei der Kombination aus Ta_2O_5 als Dielektrikum und Ru als Elektrode sollte eine O_2 -Temperung vermieden werden, da sonst das Ru oxidieren würde [19].

Wird in einer H_2 -Atmosphäre getempert, hat dies vor allem Einfluss auf die Oxid-Haftstellen und weniger auf die Interface-Haftstellen. Das H_2 verändert nicht die chemische Beschaffenheit der Störstellen im Oxid, reduziert jedoch die Anzahl, da es die offenen Bindungen der Fehlstellen absättigt [71] [77]. Wie gut Elektronen durch das H_2 aus den Störstellen ausgelöst werden können, hängt von der Temperatur ab [77].

Ein weiterer Einfluss einer Temperung kann sein, dass die Hysterese des Kondensators reduziert wird [73].

Kapitel 3

Stand der Technik

In diesem Kapitel wird auf den Stand der Technik zweier Themengebieten eingegangen: Auf Modifikationen sowie Anwendungen des DRIE-Prozesses und auf Kondensatoren. Bei den Kondensatoren wird zwischen planaren Kondensatoren, Trench-Kondensatoren und weiteren prozessoptimierte Varianten unterschieden.

Der DRIE-Prozess ist maßgeblicher Bestandteil der Herstellung des in dieser Arbeit entwickelten Hochtemperatur-Trench-Kondensators, sodass ein Überblick über bereits vorgenommene Modifikationen und Anwendungen gegeben werden soll. Um die elektrischen Eigenschaften dieses hier entwickelten Kondensators, die Herstellungsmethoden und die verwendeten (ALD)-Materialien einordnen zu können, wird der aktuelle Stand der verschiedenen Kondensator-Typen dargestellt.

3.1 Modifikationen und Anwendungen des DRIE-Prozesses

Es wurden verschiedene Optimierungen hinsichtlich der unerwünscht auftretenden Kanten und Ecken beim DRIE-Prozess veröffentlicht. 1998 wurde eine Temperung in H_2 vorgestellt, wodurch die Ecken eines geätzten Grabens abgerundet und die Oberfläche geglättet werden konnten. Dies hatte den Vorteil, dass der Leckstrom durch ein anschließend abgeschiedenes Dielektrikum geringer war. Je höher die Temperatur war, desto eher tendierten die Si-Atome dazu, in den Graben zu migrieren und je höher der Druck war, desto mehr wurden die Si-Atome durch die Kollision mit H-Atomen an der Migration in den Graben gehindert. Bei

einer zu hohen Temperatur und einem zu geringen Druck verrundete die Struktur jedoch so weit, dass der Graben zum Teil zuwuchs. Optimale Prozessparameter waren eine Temperatur von 1100 °C und ein Druck von 80 Torr. [78]

Es wurden auch Kantenverrundungen durch entsprechendes Einstellen der verschiedenen Prozessparameter veröffentlicht. Indem am Ende des letzten Ätzschrittes die Generatorleistung reduziert und der Druck erhöht wurde, lief die Ätzung isotrop ab und die Kanten konnten abgerundet werden [79]. Eine andere Möglichkeit, bei der die oberen Ecken abgerundet wurden, bestand darin, zum Schluss die Maske an den Rändern zu entfernen, sodass das darunterliegende Si frei lag. Dieses konnte so lange mit Ionen beschossen werden, bis die Ecken abgerundet waren [80] [81] [82].

1999 und 2000 wurden Methoden zur oberen Kantenverrundung mit Hilfe der lokalen Oxidation des Si (Local Oxidation of Silicon (LOCOS)-Technik) vorgestellt [83] [84]. Zur Maskierung wurden zunächst ein dünnes Padoxid und eine Si_3N_4 -Schicht aufgetragen und strukturiert. Anschließend wurde das freiliegende Si thermisch oxidiert, wobei auch ein Teil des Bereichs unterhalb der Si_3N_4 -Schicht oxidierte und somit eine Rundung im Si entstand. Die Si_3N_4 -Schicht wurde hierdurch hochgebogen, sodass sich ein „Vogelschnabel“ bildete. Beim anschließenden anisotropen Ätzen der SiO_2 - und der Si-Schicht maskierte der „Vogelschnabel“ die abgerundete Si-Ecke, sodass sie nach dem Ätzprozess stehen blieb. Zum Schluss wurden das Si_3N_4 und das SiO_2 entfernt.

Das Verrunden der Ecken wurde ebenfalls durch eine Temperung in O_2 präsentiert. Wurde bei der Oxidation gleichzeitig ein Cl-Anteil beigegeben, konnte die Bildung von Facetten vermieden werden [85]. Wurde die Oxidation bei einem geringen O_2 -Fluss und einer geringen Temperatur durchgeführt, konnten die unteren Ecken abgerundet werden. Bei gleichem Fluss, jedoch höherer Temperatur, wurden die oberen Ecken abgerundet [86]. Bei einer Oxidation in Tetraethylorthosilicat (TEOS) und O_3 konnte ebenfalls der Effekt der Kantenabrundung beobachtet werden [87].

2009 wurde ein Ätzprozess mit einer Ätzrate von $6,1 \mu\text{m}/\text{min}$ vorgestellt. Bei Löchern mit einem Durchmesser von $14 \mu\text{m}$ wurde ein Aspekt-Verhältnis von 20 : 1 erreicht. Als Hartmaske wurde entweder SiO_2 oder Al verwendet. Nach 20 min Ätzzeit konnte zwischen den beiden verwendeten Hartmasken kein Unterschied ausgemacht werden. Der Durchmesser der Löcher hatte sich auf $15 \mu\text{m}$ aufgewei-

tet und die Tiefe betrug $155\ \mu\text{m}$. Bei Ätzzeiten darüber hinaus war die Hartmaske aus SiO_2 weniger selektiv, sodass sie nach insgesamt 45 min Ätzzeit vollständig entfernt war. Die Al-Maske konnte noch immer maskieren, auch wenn sie an den Rändern angegriffen war. Mit ihr wurde eine Tiefe von $305\ \mu\text{m}$ erreicht, jedoch lief der Durchmesser der Löcher nach unten zusammen. Um das spitze Zusammenlaufen zu unterbinden, wurde der Prozess dahingehend angepasst, dass die Generatorleistung mit zunehmender Tiefe immer weiter erhöht wurde. [66]

2013 wurde ein modifizierter DRIE-Prozess vorgestellt, bei dem die Scallops verringert wurden. Der Passivierungsschritt wurde mit C_4F_8 durchgeführt. Anstelle eines Ätzschrittes mit nur SF_6 wurde hier ebenfalls C_4F_8 beigegeben, um während des Ätzens eine Passivierung zu realisieren, wodurch das Scalloping unterdrückt wurde. Die Ätzrate nahm mit dem C_4F_8 -Anteil im Ätzschritt deutlich ab. Um dem entgegen zu wirken, wurde zusätzlich O_2 beigegeben. Hierdurch nahm die Größe der Scallops zu, da das Gleichgewicht zwischen Ätzen und Passivieren gestört wurde, jedoch konnte die Ätzrate etwas erhöht werden. Im Vergleich zum „reinen“ DRIE-Prozess war die Abscheiderate um mindestens 60 % geringer. [88]

Ein Jahr später wurde ein Aspekt-Verhältnis von 160:1 bei 250 nm, bzw. von 124:1 bei 800 nm breiten Gräben vorgestellt. Die typische Rauigkeit betrug 200 nm, bei Strukturen mit einer Breite von weniger als $5\ \mu\text{m}$ betrug die Rauigkeit 25 nm. Auch hier wurde gezeigt, dass das beste Ätzprofil bei einer Kombination aus Ätzen und Passivieren in einem Schritt erzielt werden konnte. Um dem nach unten Zusammenlaufen der Strukturen entgegen zu wirken, wurde hierbei ebenfalls die Generatorleistung erhöht. Zunächst betrug sie während des Ätzschrittes 110 W und es wurde 2 s lang geätzt. Zum Schluss war die Generatorleistung auf 150 W erhöht und die Ätzzeit betrug 2,5 s. [69]

3.2 Kondensatoren

Kondensatoren kommen in vielen Bereichen der Halbleiter-Technik vor: als Gate-Kondensator in Transistoren, als Speicher in Dynamic Random Access Memories (DRAMs) oder als alleinstehender Kondensator. Wenn ein Kondensator für sich stehen soll, werden sehr häufig MIM-Kondensatoren verwendet, da sie meist höhere Kapazitäten aufweisen als MOS-Kondensatoren, eine geringere Gesamtgröße besitzen und Streuungen vermeiden. Neben einem möglichst großen Kapazitäts-

belag mit geringer Spannungs- und Temperaturabhängigkeit liegt die Herausforderung darin, den Leckstrom sehr gering zu halten und eine Durchbruchspannung oberhalb der eigentlichen Betriebsspannung zu erzielen. Die Anforderungen an einen MIM-Kondensator im Jahr 2021 liegen laut Roadmap bei einem Kapazitätsbelag von über 12 nF/mm^2 , bei einem Leckstrom von weniger als 100 pA/mm^2 und einem Spannungskoeffizienten von unter 100 ppm/V^2 . [10]

3.2.1 Planare Kondensatoren

In Tabelle 3.1 sind chronologisch verschiedene planare MIM-Kondensatoren aufgelistet. Es kann das Jahr in dem der Kondensator veröffentlicht wurde, die jeweilige Kapazitätsdichte, der Leckstrom und die Durchbruchspannung entnommen werden. Als Dielektrika wurden meist high-k-Materialien verwendet und als Elektrode Ta, TaN oder auch TiN.

Bereits im Jahr 1992 wurde ein Kondensator vorgestellt, der einen Kapazitätsbelag von 12 nF/mm^2 aufwies. Wurde die Oberfläche angeraut (um diese zu vergrößern), konnte sogar ein Kapazitätsbelag von $20,4 \text{ nF/mm}^2$ erreicht werden. Als Dielektrikum wurden $10 \text{ nm Ta}_2\text{O}_5$ verwendet, abgeschieden mittels CVD-Verfahren. Der Leckstrom betrug bei 3 V Betriebsspannung $200 \mu\text{A/mm}^2$. [89]

1999 wurde ein Kondensator mit ZrO_2 als dielektrische Schicht präsentiert. Der Leckstrom des Kondensators war um eine Größenordnung kleiner als bei einem Kondensator mit SiO_2 und mit derselben EOT. Bei einer EOT von $1,13 \text{ nm}$ betrug der Leckstrom $300 \mu\text{A/mm}^2$ und die Durchbruch-Feldstärke lag bei 28 bis 30 MV/cm . Als dominanter Leitungsmechanismus wurde Tunneln charakterisiert. [23]

Im Jahr 2002 wurde ein MIM-Kondensator aus 56 nm HfO_2 und Ta-Elektroden vorgestellt, der einen Kapazitätsbelag von 3 nF/mm^2 aufwies und dabei einen Leckstrom von 200 pA/mm^2 hatte. Die Temperaturabhängigkeit des Kondensators war von der Frequenz abhängig mit der er betrieben wurde. Bei $10 - 100 \text{ kHz}$ betrug sie $196 \text{ ppm/}^\circ\text{C}$, bei 1 MHz nur noch $147 \text{ ppm/}^\circ\text{C}$. [12]

Im selben Jahr wurde ein Kondensator mit einem Dielektrikum aus Ta_2O_5 , ummantelt von jeweils $3 \text{ nm Al}_2\text{O}_3$, und ebenfalls mit Ta als Elektrodenmaterial, vorgestellt. Der Kapazitätsbelag betrug 12 nF/mm^2 , jedoch wurde auch ein Leckstrom von 1 nA/mm^2 gemessen. Der Spannungskoeffizient betrug 400 ppm/V^2 . [35]

Tabelle 3.1: Chronologische Übersicht verschiedener planarer MIM-Kondensatoren

Jahr	Kapazität	Leckstrom	Durchbr.	Ref.
1992	12 nF/mm ²	@3 V: 200 μ A/mm ²		[89]
1999		@1 V: 300 μ A/mm ²	20 - 22 V	[23]
2002	3 nF/mm ²	200 pA/mm ²		[12]
2002	12 nF/mm ²	1 nA/mm ²		[35]
2002	5 nF/mm ²	@1 V: 430 pA/mm ²		[90]
2002	10 nF/mm ²	» 430 pA/mm ²		[90]
2003	13 nF/mm ²	@25 °C, @1 V: 595 pA/mm ² @125 °C, @1 V: 15,5 nA/mm ²	9,45 V	[11]
2003	4,7 nF/mm ²	@3 V: 100 pA/mm ²		[14]
2003	4,3 nF/mm ²	@25 °C: 320 pA/mm ² @125 °C: 750 nA/mm ²	25,6 V	[91]
2003	3,5 nF/mm ²	Al ₂ O ₃ : 490 pA/mm ² HfO ₂ : 11 nA/mm ²		[92]
2005	> 17 nF/mm ²	10 nA/mm ²		[93]
2008	2 - 4 nF/mm ²		10 V	[94]
2013	0,92 nF/mm ²		@25 °C: 73 V @150 °C: 69 V	[95]
2013	1,55 nF/mm ²	@25 °C, @10 V: 500 pA/mm ²	@25 °C: 41 V @150 °C: 31 V	[33]
2013	2,6 nF/mm ²		@25 °C: 34 V @150 °C: 26 V	[95]
2013		< 100 pA/mm ²		[10]
2013	2,7 nF/mm ²	> 5 μ A/mm ²	34 V	[33]
2014	7,4 nF/mm ²	@25 °C, @5 V: 308 pA/mm ² @125 °C, @3,3 V: 589 pA/mm ²	10 V	[96]
2014	3,8 nF/mm ²	50 nA/mm ²	7 V	[97]

Bei einem Kondensator mit einer reinen Al_2O_3 -Schicht als Dielektrikum betrug der Kapazitätsbelag 5 nF/mm^2 und der Leckstrom bei 1 V Betriebsspannung 430 pA/mm^2 . Die Spannungsabhängigkeit war jedoch vergleichsweise hoch mit einem quadratischen Spannungskoeffizienten von 1888 ppm/V^2 bzw. einem linearen Spannungskoeffizienten von 2051 ppm/V . Auch hierbei konnte beobachtet werden, dass die Temperaturabhängigkeit bei kleineren Frequenzen größer war als bei höheren Frequenzen. [90]

Im Jahr 2003 wurden verschiedene Kondensatoren mit HfO_2 als Dielektrikum vorgestellt. Yu et al. entwickelten einen Kondensator mit reinem ALD- HfO_2 und erzielten einen Kapazitätsbelag von 13 nF/mm^2 und einen Leckstrom bei 1 V von 595 pA/mm^2 bei 25°C , bzw. von $15,5 \text{ nA/mm}^2$ bei einer Temperatur von 125°C [11]. Die Durchbruchspannung für ein 30 nm dickes Oxid lag bei $9,45 \text{ V}$. Kim et al. entwickelten ebenfalls einen Kondensator mit reinem HfO_2 , jedoch wurde das Dielektrikum nicht mit dem ALD-Verfahren abgeschieden, sondern es wurde gesputtert [14]. Je nach Schichtdicke des Dielektrikums betrug der Kapazitätsbelag zwischen $4,7$ und $8,1 \text{ nF/mm}^2$, allerdings war auch der Leckstrom von 100 pA/mm^2 bei einer Betriebsspannung von 3 V um einiges geringer als beim zuvor vorgestellten Kondensator. Beide Kondensatoren wurden in Formiergas getempert.

Bei den Kondensatoren von Ding et al. und von Hu et al. bestand das Dielektrikum aus einem Stapel aus HfO_2 und Al_2O_3 [91] bzw. aus einem Gemisch der beiden Materialien [92]. Der Stapel erzielte einen Kapazitätsbelag von $4,3 \text{ nF/mm}^2$ (bei einer Schichtdicke von 43 nm), einen Leckstrom von 320 pA/mm^2 bei 25°C und von 750 nA/mm^2 bei 125°C . Die Werte von dem Gemisch aus HfO_2 und Al_2O_3 waren schlechter: der Kapazitätsbelag betrug nur $3,5 \text{ nF/mm}^2$ (bei einem Al_2O_3 -Anteil von 14%) und der Leckstrom betrug zwischen 490 pA/mm^2 bei einer dielektrischen Schicht aus reinem Al_2O_3 und 11 nA/mm^2 bei einer dielektrischen Schicht aus reinem HfO_2 . Es war zu erkennen, dass Al_2O_3 weniger temperaturanfällig war als HfO_2 . Der Unterschied bei der Fertigung dieses Kondensators lag darin, dass er während der Herstellung einer maximalen Temperatur von nur 300°C ausgesetzt war und nicht in Formiergas getempert wurde, die anderen drei Kondensatoren mit HfO_2 als Dielektrikum jedoch schon. Allerdings konnte von Hu et al. gezeigt werden, dass auch eine nachträgliche Temperung bei 400°C keinen Unterschied erbrachte.

2005 wurde ein MIM-Kondensator mit Nb_2O_5 , ummantelt mit einer Schicht aus 3 nm HfO_2 oder 1 nm Al_2O_3 , vorgestellt. Der Kapazitätsbelag betrug mehr als 17 nF/mm^2 und der Leckstrom 10 nA/mm^2 . [93]

Im Jahr 2008 konnte mit einem Kondensator aus Al_2O_3 und Ta_2O_5 eine maximale Kapazitätsdichte von 2 bis 4 nF/mm^2 realisiert werden. Es konnte bei verschiedenen Kondensatortypen beobachtet werden, dass der weiche Durchbruch bei einer Spannung von 10 V und der harte Durchbruch bei einer Spannung von 30 V lag. [94]

2013 wurden MIM-Kondensatoren vorgestellt, bei denen die Elektroden aus Au und einer dünnen Schicht Ti bestanden. Das Dielektrikum bestand aus 63 nm Si_3N_4 , 59 nm Al_2O_3 oder aus 62 nm HfO_2 [33] [95]. Bei allen Kondensatoren war die Kapazität im Bereich von 1 kHz bis 1 MHz unabhängig von der Frequenz und nur der Kondensator mit HfO_2 als Dielektrikum zeigte eine leichte Spannungsabhängigkeit von weniger als 1 %. Wurde die Temperatur von 25°C auf 150°C erhöht, stieg bei allen Kondensatoren der Leckstrom an und die Durchbruchspannung nahm ab. Zudem ist bei den Kondensatoren mit Al_2O_3 und HfO_2 die Kapazität mit zunehmender Temperatur gestiegen. Der Kondensator mit dem Dielektrikum aus Si_3N_4 erreichte einen Kapazitätsbelag von $0,92 \text{ nF/mm}^2$ und eine Durchbruchspannung von 73 V bei 25°C , bzw. von 69 V bei 300°C . Der Kapazitätsbelag von dem Kondensator mit Al_2O_3 war um 68 % größer und betrug $1,55 \text{ nF/mm}^2$. Bei 25°C und 10 V lag der Leckstrom bei 500 pA/mm^2 und die Durchbruchspannung betrug bei 25°C 41 V und bei 300°C 31 V. Der Kapazitätsbelag des HfO_2 -Kondensators betrug $2,6 \text{ nF/mm}^2$ und die Durchbruchspannung 34 V (25°C), bzw. 26 V (150°C).

Neben weiteren Kondensatoren mit HfO_2 und Al_2O_3 (im Stapel oder einzeln) als Dielektrikum [10] [33], wurde auch ein Kondensator mit einem Stapel aus $\text{Al}_2\text{O}_3 - \text{ZrO}_2 - \text{SiO}_2$ (3 nm) - $\text{ZrO}_2 - \text{Al}_2\text{O}_3$ vorgestellt [96]. Er erreichte bei einer Gesamtdicke des Dielektrikums von ca. 17 nm einen Kapazitätsbelag von $7,4 \text{ nF/mm}^2$ bei einem Leckstrom von 308 pA/mm^2 bei 25°C und einer Betriebsspannung von 5 V, bzw. von 589 pA/mm^2 bei einer Temperatur von 125°C und einer Betriebsspannung von 3,3 V. Die Durchbruch-Feldstärke lag bei $6,05 \text{ MV/cm}$.

Aber auch mit „klassischen“ Materialien wurde 2014 ein Kapazitätsbelag von immerhin $3,8 \text{ nF/mm}^2$ erzielt. Als Dielektrikum wurde eine Mischung aus SiO_2 und Si_3N_4 verwendet, die mehrfach parallel geschaltet wurde. Der Leckstrom be-

trug 50 nF/mm^2 und die Durchbruchspannung lag bei ca. 7 V . Im Vergleich zu den anderen hier vorgestellten Kondensatoren war die Spannungsabhängigkeit sehr gering. Die Spannungskoeffizienten betragen nur $2,31 \text{ ppm/V}^2$ bzw. $21,2 \text{ ppm/V}$. [97]

3.2.2 Trench-Kondensatoren

Um den Kapazitätsbelag weiter zu erhöhen, wurden Trench-Kondensatoren entwickelt, welche die dritte Dimension mit ausnutzen (vgl. Tabelle 3.2). Die effektive Kondensatorfläche wird hierdurch vergrößert, ohne den Platzbedarf für den Kondensator zu erhöhen.

2006 stellten Brunet et al. einen Trench-Kondensator auf einer Si-Membran vor. Die Gräben waren $3 \mu\text{m}$ breit und $70 \mu\text{m}$ tief (sie wurden 60 min lang mit dem DRIE-Prozess geätzt). Als Dielektrikum wurden 6 nm thermisches SiO_2 und 25 nm Si_3N_4 verwendet. Für die Elektroden kam sowohl n-dotiertes Si, als auch p-dotiertes Poly-Si zum Einsatz. Es wurde ein Kapazitätsbelag von 36 nF/mm^2 erzielt. [70]

Tabelle 3.2: Chronologische Übersicht verschiedener Trench-Kondensatoren

Jahr	Kapazität	Leckstrom	Durchbr.	Ref.
2006	36 nF/mm^2			[70]
2007	25 nF/mm^2			[37]
2008	$\geq 30 \text{ nF/mm}^2$	@22 V: $< 1 \text{ nA/mm}^2$	30 V	[98]
2008	$> 440 \text{ nF/mm}^2$	@3 V: $10 - 100 \mu\text{A/mm}^2$	6 - 7 V	[75]
2008	$\geq 400 \text{ nF/mm}^2$	@3 V: 10 nA/mm^2	$> 6 \text{ V}$	[2]
2009	58 nF/mm^2		17 V	[1]
2009	$12,1 \text{ nF/mm}^2$	@5 V: 11 nA/mm^2		[99]
2009	$4,4 \text{ nF/mm}^2$		100 V	[99]
2010	$6 - 250 \text{ nF/mm}^2$	@275 °C: $< 1 \text{ nA/mm}^2$	150 - 11 V	[100]
2011	$11,5 \text{ nF/mm}^2$	@-5 V: 250 nA/mm^2	-20 V	[101]
2012	100 nF/mm^2	@3 V, @300 °C: $< 2 \text{ nA/mm}^2$	11 V	[102]
2012	440 nF/mm^2		$> 6 \text{ V}$	[36]
2014	110 nF/mm^2			[103]
2015	36 nF/mm^2	@1 V: 30 pA/mm^2		[104]

Im selben Jahr wurde ein Trench-Kondensator mit einem Kapazitätsbelag von bis zu 40 nF/mm^2 vorgestellt [105]. Es wurde ein ähnliches Dielektrikum aus 5 nm thermischem SiO_2 , 20 nm Si_3N_4 und 5 nm TEOS-Oxid verwendet und als Elektrode diente Poly-Si (n-dotiert). Anstelle von Gräben wurden Löcher mit einem Durchmesser von $1,5 - 2 \mu\text{m}$, einem Pitch von $3,5 \mu\text{m}$ und einer Tiefe von $30 - 40 \mu\text{m}$ geätzt. Der Leckstrom betrug bei einer Betriebsspannung von 22 V weniger als 1 nA/mm^2 und die Durchbruchspannung lag bei 30 V . Zwei Jahre später konnte dieser Kondensator so weit verbessert werden, dass ein Kapazitätsbelag von bis zu 400 nF/mm^2 möglich war [2] [36] [75] [106]. Hierfür wurde das MIM-Konzept mit dem Trench-Konzept kombiniert und mehrere MIM-Kondensatoren parallel geschaltet. Als Dielektrika wurden thermisches SiO_2 und Al_2O_3 verwendet und als Elektrodenmaterial kamen als unterstes dotiertes Si und dann TiN zum Einsatz.

2009 wurden von Geiselbrechtner et al. zwei Kondensatoren mit einem dünneren Stapel aus 6 nm Oxid - 15 nm Nitrid - 5 nm Oxid bzw. mit einem dickeren Stapel aus 7 nm Oxid - 77 nm Nitrid - 5 nm Oxid als Dielektrikum vorgestellt. Es wurde bewusst auf teurere high-k-Materialien verzichtet. Als Elektroden wurden dotiertes Si und dotiertes Poly-Si verwendet. Mit $1,2 \mu\text{m}$ breiten und $13 \mu\text{m}$ tiefen Löchern konnte ein Kapazitätsbelag von $12,1 \text{ nF/mm}^2$ (dünnerer Stapel) bzw. von $4,4 \text{ nF/mm}^2$ (dickerer Stapel) erreicht werden. Der Kondensator mit dem dickeren Stapel als Dielektrikum wies eine Durchbruchspannung von 100 V auf und eine Spannungsänderung von unter 1 %. [99]

2010 wurden von der Firma ipdia Trench-Kondensatoren mit verschiedenen Kapazitätsbelägen zwischen 6 und 250 nF/mm^2 vorgestellt. Als untere Elektrode wurde dotiertes Si verwendet, das Dielektrikum bildete ein Stapel aus Oxid - Nitrid - Oxid und die Gegenelektrode bestand aus Poly-Si. Um den Kapazitätsbelag zu erhöhen, wurden in das Si Poren mittels DRIE-Prozess geätzt. Das Aspekt-Verhältnis betrug $60 : 1$ bei einer typischen Breite von $1 \mu\text{m}$. Die Kondensatoren zeigten im Bereich von -10 bis $200 \text{ }^\circ\text{C}$ eine Temperaturabhängigkeit von $62 \text{ ppm/}^\circ\text{C}$. Der Leckstrom lag bei einem Kondensator mit einer Kapazität von 100 nF/mm^2 , einer Spannung von 3 V und einer Temperatur von $300 \text{ }^\circ\text{C}$ bei unter 2 nA/mm^2 . Der Leckstrom nahm mit $12 \text{ pA/}^\circ\text{C}$ zu. Die Durchbruchspannung lag bei einem Kapazitätsbelag von 6 nF/mm^2 bei 150 V und bei einem Kapazitätsbelag von 250 nF/mm^2 bei 11 V . [100] [102] [107]

Ein Kondensator mit ähnlich gutem Kapazitätsbelag wie bei dem im Jahr 2009 vorgestellten Kondensator ($11,5 \text{ nF/mm}^2$), jedoch sehr viel schlechterem Leckstrom (250 nA/mm^2), wurde 2011 vorgestellt. [101]

Bei dem von Vega et al. vorgestellten Kondensator betrug der Kapazitätsbelag 110 nF/mm^2 . Anders als bei den zuvor erwähnten Kondensatoren wurde hier makroporöses Si verwendet, bei dem die rechteckigen Poren mit einer Breite von $3 \mu\text{m}$ und einer Tiefe von $240 \mu\text{m}$ elektrochemisch geätzt wurden. Das Ätzprofil der Poren änderte sich mit zunehmender Äzttiefe. Als Elektrodenmaterialien wurden Metalle verwendet. [103]

Im Jahr 2015 wurde ein Trench-Kondensator vorgestellt, bei dem ebenfalls das MIM-Konzept verfolgt wurde. Als Dielektrikum wurde Al_2O_3 verwendet und als Elektrodenmaterial TiN. Alle drei Schichten wurden in einem einzigen ALD-Prozess bei einer Prozesstemperatur von 250°C abgeschieden. Mit einem Aspekt-Verhältnis von $30:1$ wurde ein Kapazitätsbelag von 36 nF/mm^2 erreicht. Dabei floss bei 1 V Betriebsspannung ein Leckstrom von 30 pA/mm^2 . [104]

3.2.3 Prozessoptimierungen

An der Herstellung von Trench-Kondensatoren wird immer weiter geforscht. Es gibt z. B. Untersuchungen bzgl. der Geometrien, die in die Tiefe geätzt werden. Bei Löchern besteht das Problem, dass sie mit zunehmender Tiefe immer schlechter beschichtet werden können, da das abscheidende Gas immer schwieriger bis nach unten dringt. Einzeln stehen bleibende Säulen können hingegen umkippen. Um beide Probleme zu umgehen, können entweder Mäander-Strukturen (Hilbert-, Peano-, Gosper-, ... Strukturen) geätzt werden [108], oder Säulen mit Dreifuß nach dem Ätzen stehen gelassen lassen [109].

Für mehr Flexibilität werden Kontaktlöcher durch den Wafer hindurch geätzt (Through Silicon Vias (TSVs)), um den Kondensator von beiden Seiten anschließen zu können [110] [111]. Es besteht sogar die Möglichkeit auf beiden Seiten des Wafers Trench-Kondensatoren zu ätzen [112]. Hierbei können die TSVs im selben Schritt geätzt werden wie die Gräben für die Kondensatoren. Da breitere Strukturen schneller ätzen als schmalere (vgl. Kapitel 2.6), müssen die Größenverhältnisse im Layout nur entsprechend angepasst werden.

Werden die Trenche auf einer Seite geätzt, kann es zu einem großen Stress kommen, da die Oberfläche auf der einen Wafenseite viel größer ist als auf der

anderen. Durch das Aufbringen von stressreduzierenden Schichten (z. B. Poly-SiGe) kann der Verbiegung entgegen gewirkt werden [113].

Für eine noch größere aktive Kondensatorfläche kann bewusst ein welliges Ätzprofil erzeugt werden, indem als Substrat kein Si verwendet wird, sondern ein Stapel aus verschiedenen Schichten, die alle eine unterschiedliche Ätzrate aufweisen [114].

Um den Prozess zu vereinfachen und die Anzahl an Masken einzusparen gibt es Ansätze, durch eine Kombination aus selektivem Ätzen und Chemisch Mechanischem Polieren (CMP) die jeweiligen Elektroden zu strukturieren [115] [116] [117].

3.3 Fazit und Motivation

In Abb. 3.1 sind die Leckströme und die Durchbruchspannungen der zuvor vorgestellten Kondensatoren gegen die jeweiligen Kapazitätsbeläge aufgetragen. Es ist ersichtlich, dass es kaum Kondensatoren gibt, die bei einem relativ hohen Kapazitätsbelag einen sehr geringen Leckstrom aufweisen. Zudem werden kaum Werte für den höheren Temperaturbereich von bis zu 300 °C angegeben.

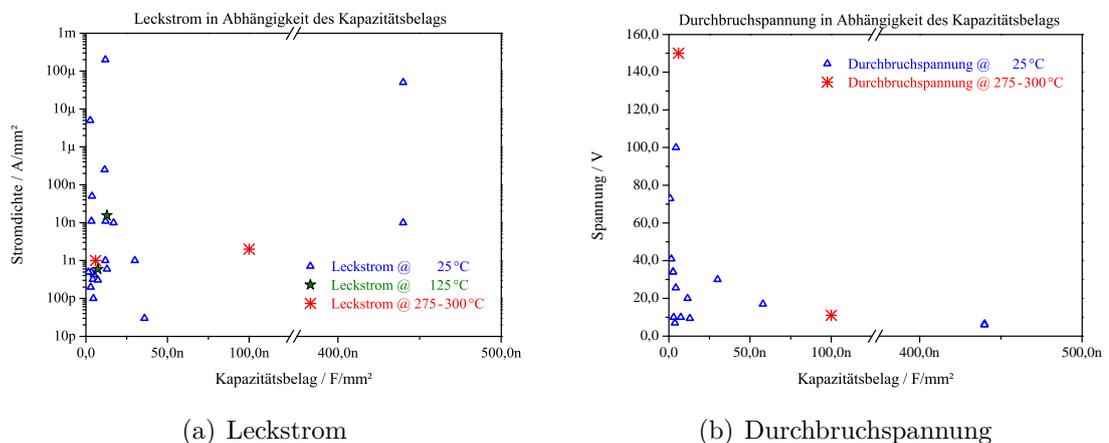


Abb. 3.1: Werte aus der Literatur für den Leckstrom und für die Durchbruchspannung, aufgetragen gegen den Kapazitätsbelag

Die in dieser Arbeit entwickelten Kondensatoren sollen eben diese Lücke im Diagramm ausfüllen und somit ein neues Anwendungsfeld erschließen: bei einem vergleichsweise hohen Kapazitätsbelag sollen sie einen geringen Leckstrom und

eine hohe Durchbruchspannung bei gleichzeitig hohen Betriebstemperaturen aufweisen.

Zudem sind die hier vorgestellten Kondensator-Konzepte oft sehr kompliziert und somit teuer und wenig flexibel. Ein weiteres Ziel dieser Arbeit ist es, die Kondensatoren mit einem vergleichsweise einfachen und günstigen Herstellungsprozess zu realisieren, der so flexibel ist, dass er leicht auf die jeweiligen Anforderungen an den Kondensator angepasst werden kann.

Kapitel 4

Technologie

4.1 Planare Strukturen

Bevor die eigentlichen Trench-Kondensatoren gefertigt wurden, wurden erste Untersuchungen an planaren Strukturen vorgenommen (Abb. 4.1). Dies hatte den Vorteil, dass die Teststrukturen sehr schnell gefertigt wurden und Materialeigenschaften gezielt charakterisiert werden konnten.

Auf einem Si-Wafer wurde durch Implantation ein Aktivgebiet erzeugt, und die einzelnen Kondensator-Bereiche wurden durch ein Isolationsoxid definiert. Darauf wurden ganzflächig das Dielektrikum und die Gegenelektrode abgeschieden und im Anschluss strukturiert. Aufgrund des Isolationsoxids konnte die Strukturierung mit einem physikalischen Ätzverfahren stattfinden, da gut im Oxid gestoppt werden konnte, ohne eine hohe Selektivität zu benötigen. Die Gegenelektrode konnte direkt kontaktiert werden und das Aktivgebiet bzw. die untere Elektrode über eine Öffnung im Isolationsoxid.

Die Gebiete, in denen die Kondensatoren hergestellt wurden, waren quadratisch und die Abmessungen betragen zwischen 0,125 x 0,125 mm und 2 x 2 mm.

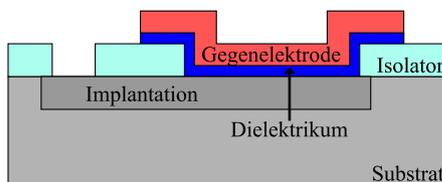


Abb. 4.1: Schematische Darstellung eines planaren Kondensators (nicht maßstabsgetreu)

4.2 Der vollständige Prozessablauf im Überblick

Zunächst wird ein Überblick über den gesamten Prozessablauf zur Herstellung der Trench-Kondensatoren gegeben (Abb. 4.2). Auf die einzelnen Prozess-Schritte und deren Optimierung wird in den nachfolgenden Abschnitten im Detail eingegangen.

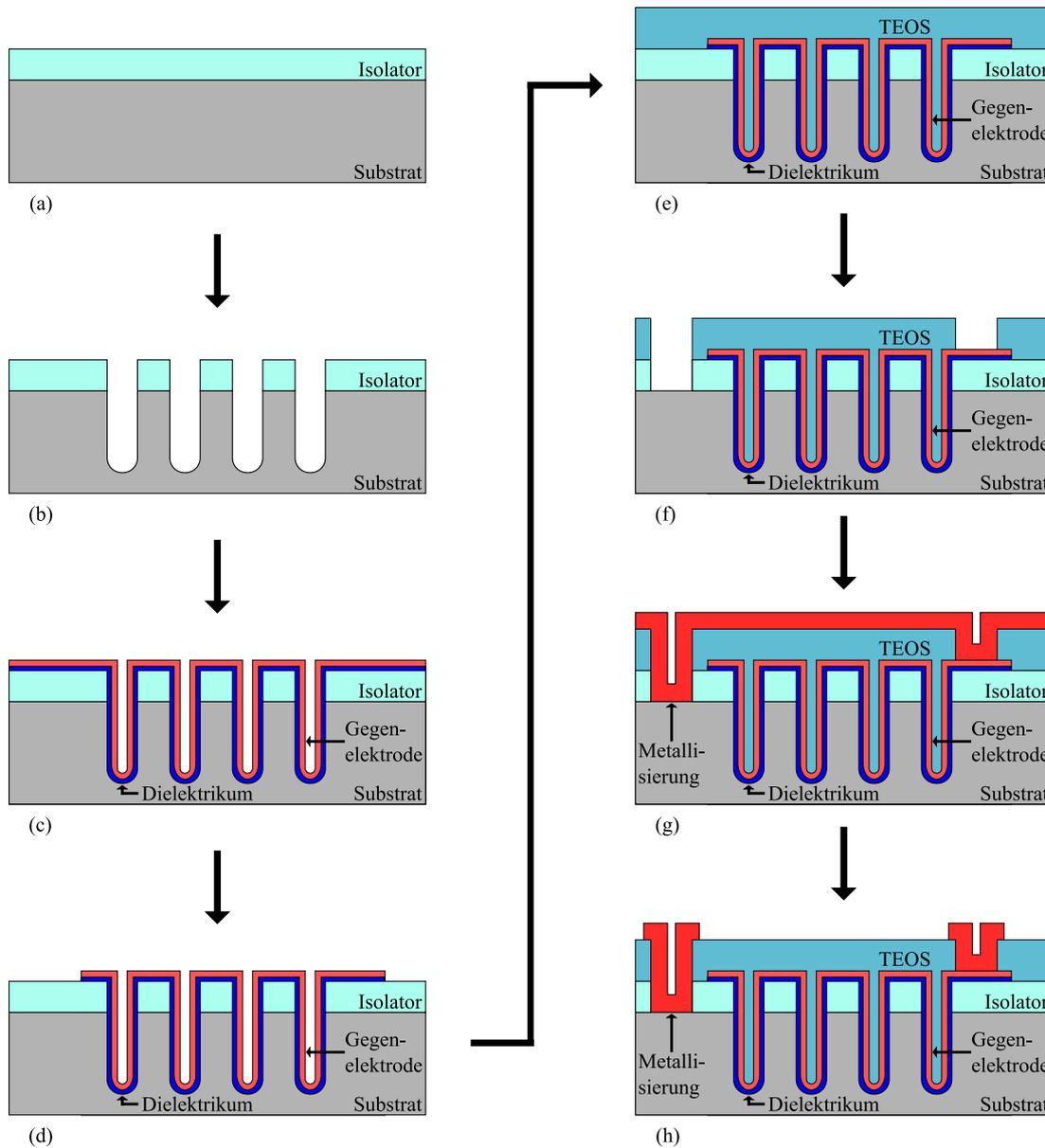


Abb. 4.2: Schematische Darstellung des Herstellungsprozesses (nicht maßstabgetreu)

- (a) Abscheidung eines Isolationsoxids auf einem hoch n-dotierten Si-Substrat ($R < 0,004 \Omega\text{cm}$, bzw. $R < 0,001 \Omega\text{cm}$)
- (b) Erste Lithografie und Ätzen der Gräben und Löcher: Zunächst wird das Isolationsoxid geöffnet, im Anschluss wird mit dem DRIE-Prozess bis zur gewünschten Tiefe in das Si geätzt
- (c) Abscheidung des Dielektrikums und der Gegenelektrode mittels ALD
- (d) Zweite Lithografie und Strukturierung der beiden ALD-Schichten, um die Kondensatoren voneinander zu separieren
- (e) Auffüllen der Gräben und Löcher mit einem TEOS-Oxid
- (f) Dritte Lithografie und Ätzen der beiden Kontaktlöcher mit gleichzeitigem Stopp auf der Gegenelektrode und dem Silizium
- (g) Ganzflächige Abscheidung der Metallisierung
- (h) Vierte Lithografie und Strukturierung der Metallisierung

4.3 Das Substrat

Als Substrat für die Trench-Kondensatoren wurde ein 8" Si-Substrat verwendet. Um die Anzahl an notwendigen Masken gering und somit den Technologie-Prozess einfach zu halten, sollte das Substrat als untere Elektrode der Kondensatoren genutzt werden. Bei dem entwickelten Kondensator handelte es sich somit um einen MOS-Kondensator. Auf diese Weise musste keine leitenden Schicht als untere Elektrode abgeschieden werden und die spätere Strukturierung der Gegenelektrode, bzw. der ALD-Schichten, wurde einfacher (vgl. Kapitel 4.4).

Eine Spannungsabhängigkeit der Kapazitäten, wie es bei MOS-Kondensatoren sein kann, sollte jedoch weitestgehend vermieden werden. Hierfür musste ein sehr hoch dotiertes Substrat verwendet werden (vgl. Kapitel 2.1.2). Für die ersten Versuche wurden Arsen-dotierte Substrate, also Substrate mit einer negativen Dotierung, verwendet. Der Widerstand war mit kleiner als $0,004 \Omega\text{cm}$ spezifiziert, was umgerechnet einer Dotierung von ca. $1,7 \times 10^{19} \text{cm}^{-3}$ entsprach [118]. Wird eine $2 \times 2 \text{mm}$ große planare Struktur mit Al_2O_3 als Dielektrikum und Ru als Gegenelektrode ($\Phi_{\text{M}} = 4,71 \text{eV}$, $\Phi_{\text{Si}} = 4,85 \text{eV}$ [119]) angenommen, sollte sich theoretisch bei der Verwendung eines solchen Substrates eine maximale Kapazitätsdifferenz von $3,42 \text{nF}$ (vgl. Gl. (2.1), Gl. (2.10)) bei einer angelegten Spannung von $10,07 \text{V}$ (vgl. Gl. (2.6)) ergeben. Da hierbei die Spannungsabhängigkeit noch durchaus

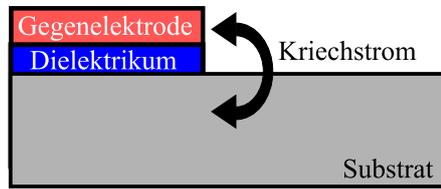
einen Einfluss haben konnte, wurden im späteren Verlauf noch höher dotierte Wafer verwendet. Sie waren Phosphor-dotiert, es handelte sich also ebenfalls um eine negative Dotierung, und der Widerstand war mit kleiner als $0,001 \Omega\text{cm}$ spezifiziert, was umgerechnet einer Dotierung von ca. $7,5 \times 10^{19} \text{cm}^{-3}$ entsprach [118]. Bei diesen Substraten war nur noch mit einer maximalen Kapazitätsdifferenz von $1,86 \text{ nF}$ bei einer deutlich höheren Spannung von $20,87 \text{ V}$ zu rechnen.

4.4 Das Isolationsoxid

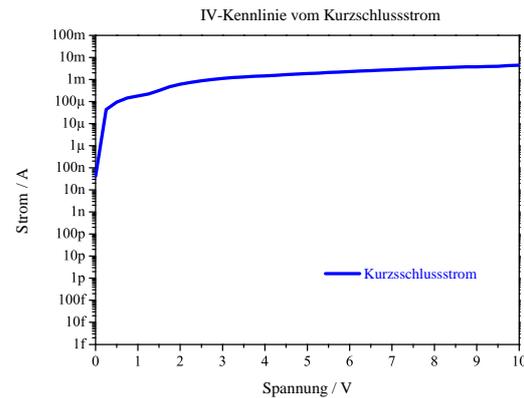
Das Isolationsoxid (Abb. 4.2(a)) bestand aus undotiertem Silikatglas (Undoped Silicate Glass (USG)) und wurde mittels CVD-Verfahren mit den Gasen SiH_4 und N_2O abgeschieden. Es hatte in diesem Prozess zwei Funktionen. Zum einen konnte es als Hartmaske beim Ätzen der Gräben und Löcher verwendet werden, zum anderen diente es als zusätzliche Isolation zwischen der Gegenelektrode und dem leitfähigen Substrat. Wie dick das Isolationsoxid abgeschieden werden musste, hing vom nachfolgenden DRIE-Prozess ab (vgl. Kapitel 4.6.1).

Um die Strukturen des Layouts auflösen zu können, musste für die Lithografie zum Ätzen der Gräben und Löcher ein $1,3 \mu\text{m}$ dicker Lack verwendet werden. Dieser war jedoch nicht selektiv genug gegenüber dem nachfolgenden DRIE-Prozess, sodass er die Strukturen nicht ausreichend lange maskieren konnte. Während der Zeit, die zum Ätzen des Isolationsoxids benötigt wurde, hielt der Fotolack jedoch dem Ätzprozess weitestgehend stand, sodass danach das Oxid als Hartmaske verwendet werden konnte. Aufgrund der hohen Selektivität konnte der Prozess so angepasst werden, dass die Hartmaske nicht zu stark geätzt wurde.

Würde kein Isolationsoxid zu Beginn des Prozesses aufgebracht werden, wären die Gegenelektrode und das leitende Substrat nach dem Separieren der einzelnen Kondensatoren an den Kanten nicht elektrisch voneinander isoliert. An den Ätzkanten würde es zu Kriechströmen kommen, welche zu einem Kurzschluss zwischen Gegenelektrode und unterer Elektrode führen würden (Abb. 4.3(a)). Um dies zu belegen, wurde ein Versuch durchgeführt, bei dem die beiden Elektroden nicht durch ein zusätzliches Isolationsoxid voneinander getrennt waren. Da auf diese Weise die Kondensatoren untereinander über das Substrat kurzgeschlossen waren, konnte auch beim Kontaktieren zweier Gegenelektroden von zwei benachbarten Kondensatoren ein Kurzschluss-Strom gemessen werden (Abb. 4.3(b)).



(a) Skizze Kriechstrom



(b) Messung Kurzschluss-Strom

Abb. 4.3: Kurzschluss-Verhalten, wenn Gegenelektrode und Substrat nicht durch ein zusätzliches Isolationsoxid voneinander getrennt sind

Anders als beim MIM-Ansatz wurde mit dem Isolationsoxid das Separieren der einzelnen Kondensatoren durch das Strukturieren der ALD-Schichten vereinfacht, da der Ätzprozess nicht selektiv ablaufen musste, sondern ein leichtes Überätzen in das Isolationsoxid keinen Einfluss auf die elektrischen Eigenschaften hatte. Dieser Technologie-Ansatz war somit sehr einfach zu realisieren und damit sehr robust.

4.5 Verschiedene Layoutvarianten

Das Layout wurde mit dem Tool Virtuoso[®] der Firma Cadence[®] gezeichnet. Da es sich hierbei um eine Maske für den Wafer-Stepper handelte, musste nur ein Belichtungsfeld gezeichnet werden, welches 112 Mal auf den Wafer belichtet wurde (Abb. 4.4). In diesem Belichtungsfeld waren acht Chips und insgesamt 45 einzelne Kondensatoren vorhanden. Die Kondensatoren haben sich alle, bis auf wenige Ausnahmen, in der Geometrie unterschieden.

Die Kondensatoren wurde so gezeichnet, dass jeder einzelne eine Fläche von 1 x 1 mm ausfüllte. Damit ein möglichst großer Kapazitätsbelag erzielt wurde, wurden die Kondensatoren 3D-integriert. Hierfür wurden verschiedene Geometrien gezeichnet, die im nachfolgenden Schritt in das Substrat geätzt wurden (Abb. 4.5). Es wurden Gräben (G), verbundene Gräben (VG), Löcher im 90° Winkel (L), Löcher im 60° Winkel (L60), konzentrische Ringe (KR) oder Kleeblätter

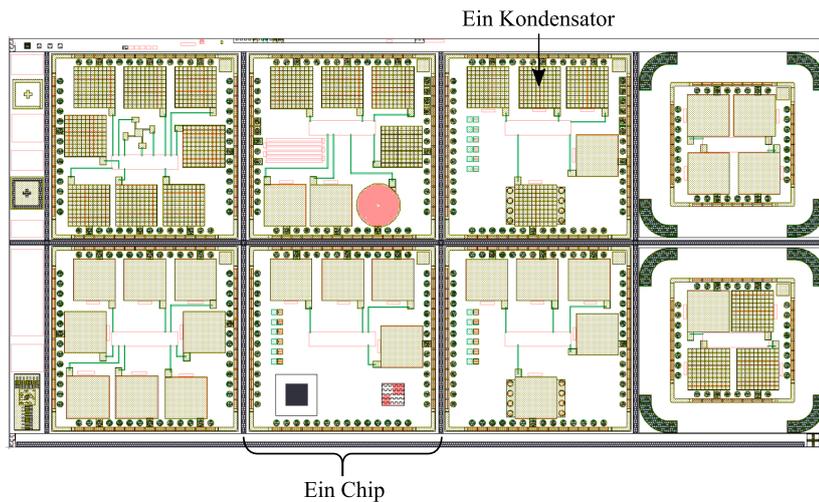


Abb. 4.4: Layout des Belichtungsfeldes

(KB) gezeichnet, die jeweils in den Abmessungen variierten. Der Durchmesser bzw. die Breite variierte zwischen $0,8$ und $1,2 \mu\text{m}$ und der Pitch zwischen $1,8$ und $5,2 \mu\text{m}$. Eine genaue Auflistung der verschiedenen Kondensator-Varianten ist in Anhang A.1 zu finden.

Alle hier vorgestellten Kondensatorstrukturen werden einfachheitshalber „Gräben und Löcher“ bezeichnet.

Neben den Kondensatoren waren im Layout zudem einige elektrische Teststrukturen, Alignment-Marken und Strukturen zur Überprüfung der Lithografie (z. B. „Stimmgabeln“, „Box-in-Box“-Strukturen, „Nonien“) gezeichnet.

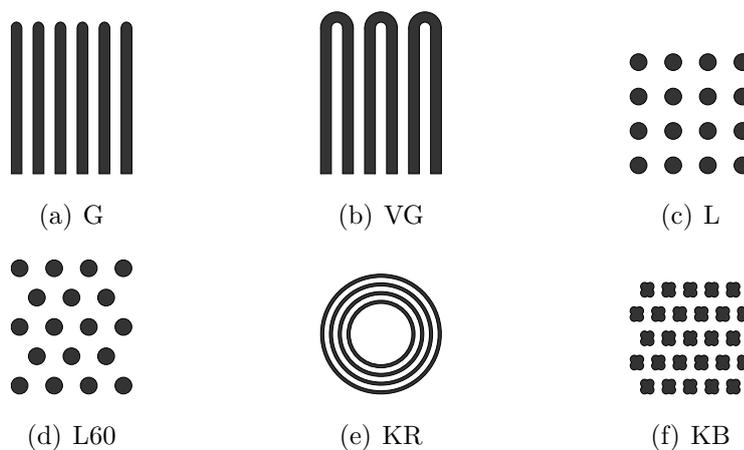


Abb. 4.5: Layout verschiedener Kondensator-Varianten

4.6 Ätzen der Gräben und Löcher

4.6.1 Öffnen der Hartmaske

Bevor die Gräben und Löcher mit dem DRIE-Prozess in der 200 SE DRIE der Firma Tegal Corp. geätzt werden konnten, musste das Isolationsoxid in derselben Anlage geöffnet werden (Abb. 4.2(b)). Es wäre auch eine Hartmaske aus Al denkbar gewesen, jedoch hätte diese nach dem Prozess entfernt werden müssen, was mindestens zwei zusätzliche Prozess-Schritte bedeutet hätte. Da gezeigt werden konnte, dass zwischen einer SiO_2 - und einer Al-Hartmaske bzgl. der Selektivität bei einem DRIE-Prozess von 20 min kein Unterschied bestand [66], war das USG für diesen Prozess ebenso geeignet. Als Maskierung hierfür diente eine Lackmaske.

Zunächst wurde das Isolationsoxid mit dem Rezept H0 geätzt (vgl. Tab. 4.1), bei dem ein Fluss von 30 sccm C_4F_8 und eine Generator-Leistung von 3000 W verwendet wurde. Im Mittel wurden bei einer Ätzzeit von 1:35 min, die nötig war um ein Isolationsoxid von 500 nm zu durchätzen, 50 nm Lack weggeätzt. Der Lack wurde hierbei am Waferrand sehr viel mehr angegriffen. Für den eigentlichen DRIE-Prozess fungierte das geöffnete Isolationsoxid als Hartmaske, jedoch würde diese bei einem sehr inhomogenen Fotolack, ungleichmäßig geätzt. Ein inhomogenes Isolationsoxid könnte im späteren Prozessverlauf zu Problemen führen (z. B. beim Öffnen der Gegenelektrode, vgl. Kapitel 4.12).

Da Fotolack nicht sehr resistent gegenüber C_4F_8 ist, wurde das Rezept H1 geschrieben, bei dem nur ein Fluss von 17 sccm C_4F_8 verwendet wurde, dafür jedoch zusätzlich 13 sccm CH_4 und 150 sccm He (vgl. Tab. 4.1). Die Generator-Leistung von 3000 W wurde beibehalten, es reichten jedoch 1:30 min aus, um die 500 nm Isolationsoxid vollständig zu durchätzen. Bei diesem modifizierten Rezept H1 wurden im Mittel ebenfalls 50 nm Lack mit weggeätzt, jedoch wurde der Lack gleichmäßiger geätzt, sodass es eine homogenere Mitte-Rand-Verteilung gab, was zu einer homogenen Dicke des Isolationsoxids führte.

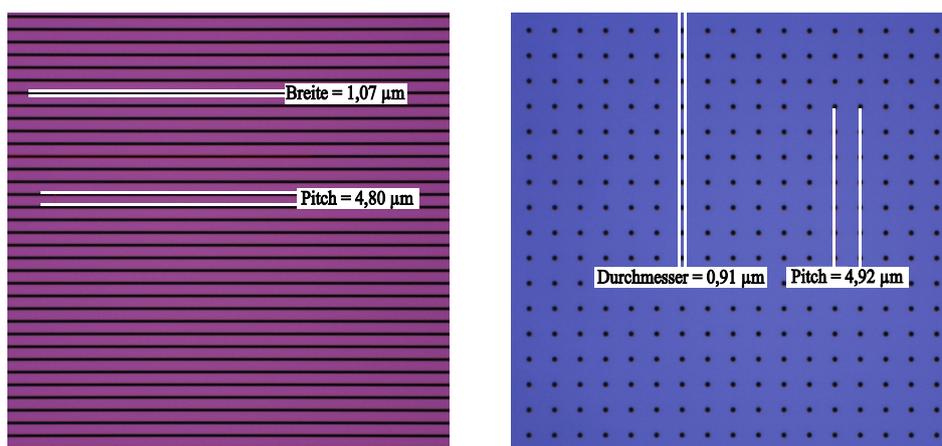
Tabelle 4.1: Prozessparameter für das Ätzen des Isolationsoxids

Rezept	C_4F_8	CH_4	He	Generator-Leistung
H0	30 sccm	0 sccm	0 sccm	3000 W
H1	17 sccm	13 sccm	150 sccm	3000 W

4.6.2 Optimierung des DRIE-Prozesses

Das Ätzen der Gräben und Löcher erfolgte mit dem DRIE-Prozess. Hierbei wurden alternierend für 0,9s ein passivierender und für 1,4s ein ätzender Schritt durchgeführt. Die ersten Versuche erfolgten mit dem Ätzrezept D0 (vgl. Tab. 4.2), mit welchem 7:30 min geätzt wurde. Für die Gräben ergab sich hierdurch eine Tiefe von $11,5 \mu\text{m}$ und für die Löcher, aufgrund der kleineren Öffnung, eine Tiefe von $9,0 \mu\text{m}$. Eine Mikroskop-Aufnahme der geätzten Gräben und Löcher ist in Abb. 4.6 zu sehen.

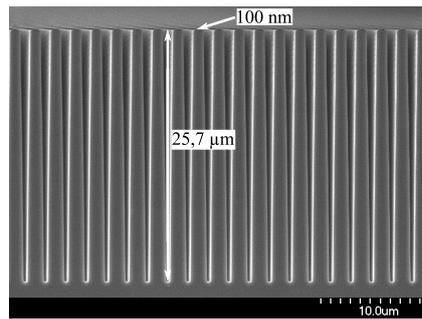
Um einen höheren Kapazitätsbelag zu erzielen, musste die Kondensatorfläche vergrößert werden. Dies konnte erreicht werden, indem die Tiefe der geätzten Strukturen vergrößert wurde. Das ursprüngliche Rezept D0 wurde hinsichtlich der Ätzrate angepasst. Die Prozessparameter sind in Tab. 4.2 zusammengestellt. Es wurde die Generator-Leistung von 1500 W auf 1800 W erhöht, um einen größeren physikalischen Abtrag zu erzielen (D1), während des Ätzschrittes wurde ein zusätzlicher O_2 -Fluss von 50 sccm eingestellt, um eine größere Reaktivität der Ätzgase zu erzielen (D2) und es wurde die Kombination aus höherer Generator-Leistung und zusätzlichem O_2 -Fluss getestet (D3). Raster-Elektronen-Mikroskop (REM)-Bilder von geätzten Gräben und Löchern mit den verschiedenen Rezepten sind in Abb. 4.7 zu sehen. Der Winkel der geätzten Strukturen betrug bei allen Rezepten annähernd 90° .



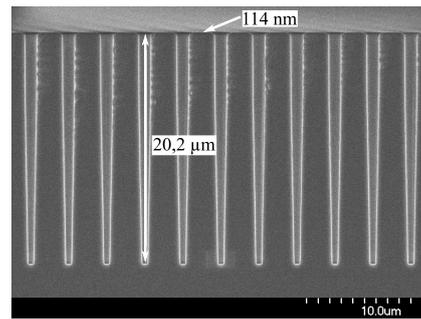
(a) Gräben mit $1,0 \mu\text{m}$ gezeichneter Breite und $5,0 \mu\text{m}$ Pitch

(b) Löcher mit $1,0 \mu\text{m}$ gezeichnetem Durchmesser und $5,0 \mu\text{m}$ Pitch

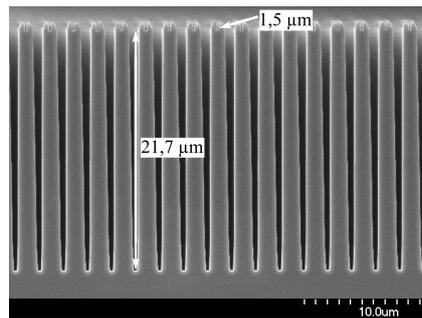
Abb. 4.6: Mikroskop-Aufnahmen nach dem Ätzen der Gräben und Löcher



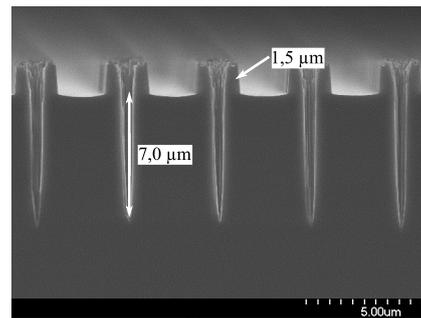
(a) Gräben, 20 min mit D0 geätzt



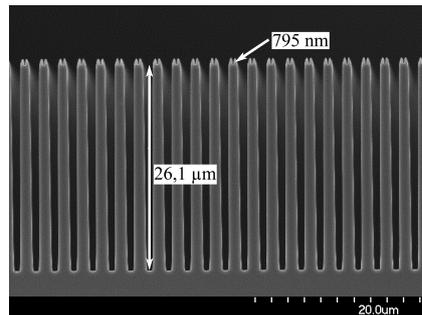
(b) Löcher, 20 min mit D0 geätzt



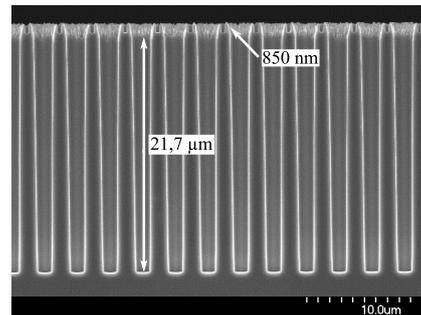
(c) Gräben, 20 min mit D1 geätzt



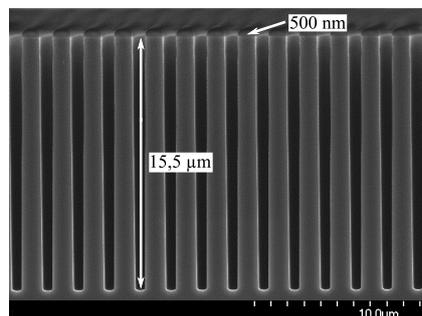
(d) Löcher, 20 min mit D1 geätzt



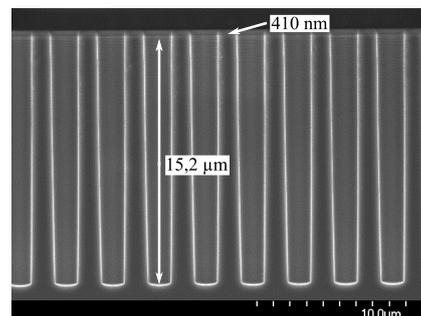
(e) Gräben, 20 min mit D2 geätzt



(f) Löcher, 20 min mit D2 geätzt



(g) Gräben, 10 min mit D3 geätzt



(h) Löcher, 10 min mit D3 geätzt

Abb. 4.7: REM-Aufnahmen geätzter Gräben und Löcher mit dem DRIE-Prozess mit verschiedenen Rezepten

Tabelle 4.2: Prozessparameter der verschiedenen Rezepte für den DRIE-Prozess

Rezept	SF ₆	C ₄ F ₈	O ₂	Generator-Leistung
D0-Passivieren	0 sccm	150 sccm	0 sccm	1500 W
-Ätzen	200 sccm	30 sccm	0 sccm	1500 W
D1-Passivieren	0 sccm	150 sccm	0 sccm	1800 W
-Ätzen	200 sccm	30 sccm	0 sccm	1800 W
D2-Passivieren	0 sccm	150 sccm	0 sccm	1500 W
-Ätzen	200 sccm	30 sccm	50 sccm	1500 W
D3-Passivieren	0 sccm	150 sccm	0 sccm	1800 W
-Ätzen	200 sccm	30 sccm	50 sccm	1800 W

20 min Ätzzeit mit dem ursprünglichen Rezept D0 ergaben bei den Gräben eine Tiefe von $25,7 \mu\text{m}$ (Abb. 4.7(a)) und bei den Löchern eine Tiefe von $20,0 \mu\text{m}$ (Abb. 4.7(b)). Beim Ätzen wurden jedoch auch ca. 400 nm der Hartmaske entfernt, sodass lediglich 100 nm stehen geblieben sind.

Wurde mit einer Leistung von 1800 W anstelle von 1500 W geätzt (D1), konnten die Gräben $21,7 \mu\text{m}$ (Abb. 4.7(c)) und die Löcher $7,0 \mu\text{m}$ (Abb. 4.7(d)) tief geätzt werden. Aufgrund des höheren physikalischen Abtrags wurde die gesamte 500 nm dicke USG-Hartmaske weggeätzt, zusätzlich wurde auch an den Stellen in das Si geätzt, an denen zuvor die Hartmaske maskiert hatte. Zwischen den geätzten Strukturen ist auf diese Weise eine Einkerbung von ca. $1,5 \mu\text{m}$ entstanden.

Im nächsten Schritt wurde während des Ätzschrittes ein zusätzlicher O₂-Fluss hinzugegeben (D2). So konnte für die Gräben eine Tiefe von $26,1 \mu\text{m}$ (Abb. 4.7(e)) und für die Löcher eine Tiefe von $21,7 \mu\text{m}$ (Abb. 4.7(f)) erzielt werden. Auch mit diesem Rezept wurden die 500 nm Isolationsoxid vollständig weggeätzt, das Überätzen in das Si an den zuvor maskierten Stellen betrug jedoch nur ca. 800 nm.

Da zu erwarten war, dass eine Kombination aus erhöhter Generator-Leistung und zusätzlichem O₂-Fluss die Hartmaske noch weiter angreifen würde, wurde Rezept D3 nur 10 min lang getestet. Es ergab $15,5 \mu\text{m}$ tiefe Gräben (Abb. 4.7(g)) und $15,2 \mu\text{m}$ tiefe Löcher (Abb. 4.7(h)). Die Hartmaske wurde während dieses Prozesses kaum angegriffen.

Eine Erhöhung der Generator-Leistung wurde als ungeeignet befunden, da hierbei die Hartmaske zu stark angegriffen wurde und nicht mehr ausreichend

maskieren konnte. Das Rezept mit zusätzlichem O₂-Fluss (D2) schien im Vergleich zum ursprünglichen Rezept D0 schneller zu ätzen, jedoch musste hierfür im Vorfeld eine dickere Hartmaske aufgebracht werden. Im Folgenden wurden die Dicke der Hartmaske und die Ätzzeit optimiert.

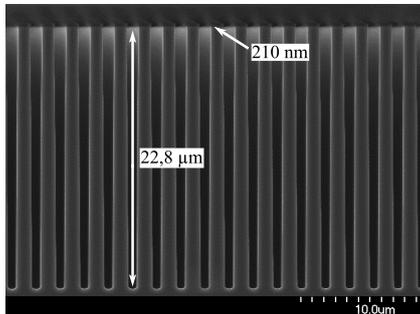
4.6.3 Optimierung der Hartmasken-Dicke und der Ätzzeit

Die REM-Bilder zur Optimierung der Dicke der Hartmaske und der Ätzzeit für Rezept D2 sind in Abb. 4.8 dargestellt.

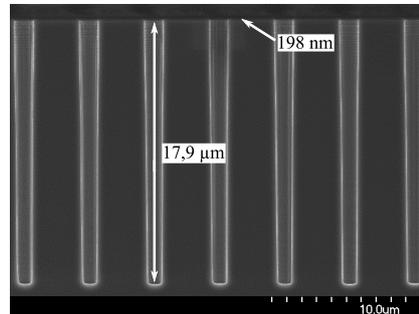
Zunächst wurden Wafer mit einem Isolationsoxid mit einer Schichtdicke von 800 nm geätzt. Die Hartmaske wurde 2:40 min lang geöffnet und anschließend wurde mit Rezept D2 in die Tiefe geätzt. Bei einer Ätzzeit von 15 min ergab sich für die Gräben eine Tiefe von 22,8 μm (Abb. 4.8(a)) und für die Löcher eine Tiefe von 17,9 μm (Abb. 4.8(b)). Es wurden ca. 600 nm USG geätzt, sodass die Schichtdicke des Isolationsoxids nach dem Prozess noch ca. 200 nm betrug. Wurde 20 min lang geätzt betrug die Tiefe der Gräben 24,8 μm (Abb. 4.8(c)) und die der Löcher 18,3 μm (Abb. 4.8(d)). Die 800 nm Isolationsoxid wurden vollständig entfernt und es bildeten sich wieder Einkerbungen von ca. 900 nm zwischen den geätzten Strukturen.

Bei einem Wafer mit einer Hartmaske aus 1000 nm USG wurde diese zunächst 3:10 min geöffnet und anschließend wurde 17 min mit Rezept D2 geätzt. Die Gräben wurden 25,3 μm tief geätzt (Abb. 4.8(e)) und die Löcher 19,5 μm (Abb. 4.8(f)). Es wurden ca. 960 nm USG geätzt, sodass noch ca. 40 nm Isolationsoxid stehen geblieben sind.

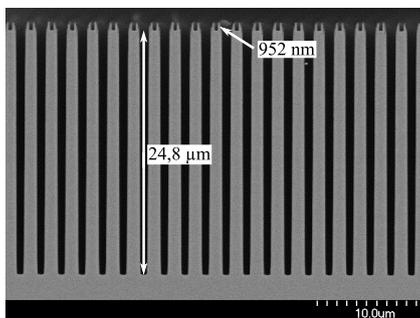
Die Versuche haben gezeigt, dass durch eine dickere Hartmaske nicht zwangsläufig länger geätzt werden konnte. Da auch die Zeit zum Öffnen der Hartmaske erhöht werden musste, wurde hierdurch der Fotolack stärker angegriffen, sodass er der Gesamt-Ätzzeit, die es benötigte um die Hartmaske zu strukturieren, nicht standhielt. Die Hartmaske wurde somit bereits beim Strukturieren mit angeätzt, sodass während des eigentlichen DRIE-Prozesses nicht mehr die vollständige Dicke der Hartmaske vorlag. Als optimal wurde eine Hartmaske von 1000 nm mit einer Ätzzeit von 15 min befunden.



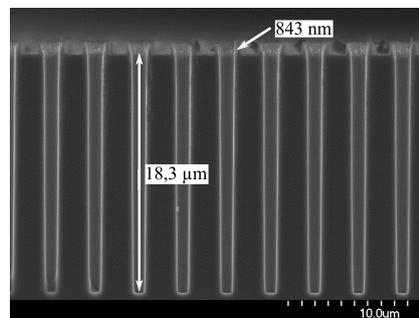
(a) Gräben, 800 nm Hartmaske, 15 min



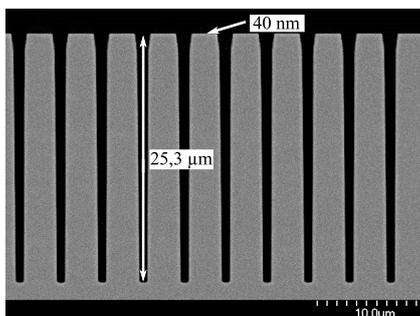
(b) Löcher, 800 nm Hartmaske, 15 min



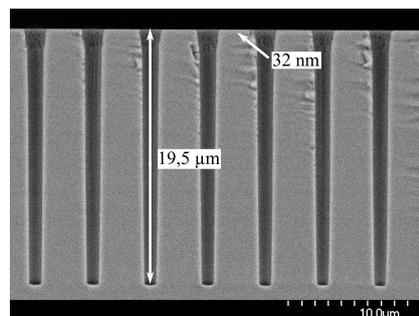
(c) Gräben, 800 nm Hartmaske, 20 min



(d) Löcher, 800 nm Hartmaske, 20 min



(e) Gräben, 1000 nm Hartmaske, 17 min



(f) Löcher, 1000 nm Hartmaske, 17 min

Abb. 4.8: REM-Aufnahmen geätzter Gräben und Löcher mit Rezept D2 mit verschiedenen dicken Hartmasken und unterschiedlichen Ätzeiten

4.6.4 Kantenverrundung

Beim Ätzen der Gräben und Löcher haben sich scharfe Kanten gebildet (Abb. 4.9(a)), die bei einer elektrischen Kontaktierung zu einer Felderhöhung führen konnten, wodurch sich ein großer Leckstrom hätte ausbilden können [101]. Bei einigen Proben wurden diese Kanten durch einen zusätzlichen Oxidations- und Ätzschritt abgerundet. Auch die Scallops, die bei dem DRIE-Prozess entstanden sind (Abb. 4.9(b)), sollten so entfernt werden.

Da in den Gräben und Löchern das Si frei lag, konnte in diesen Bereichen für 20 min bei 1000 °C ein thermisches Oxid aufgewachsen werden. Der Sauerstoff reagierte mit dem vorhanden Si und weil es sich um einen isotropen Prozess handelte, waren die unteren Kanten zwischen Si und dem thermischen SiO₂ nach der Oxidation abgerundet (Abb. 4.9(c)). Die oberen Ecken wurden wegen des Isolationsoxids nicht direkt mit dem Dielektrikum beschichtet und waren zudem bereits durch den DRIE-Prozess angegriffen und somit abgerundet worden.

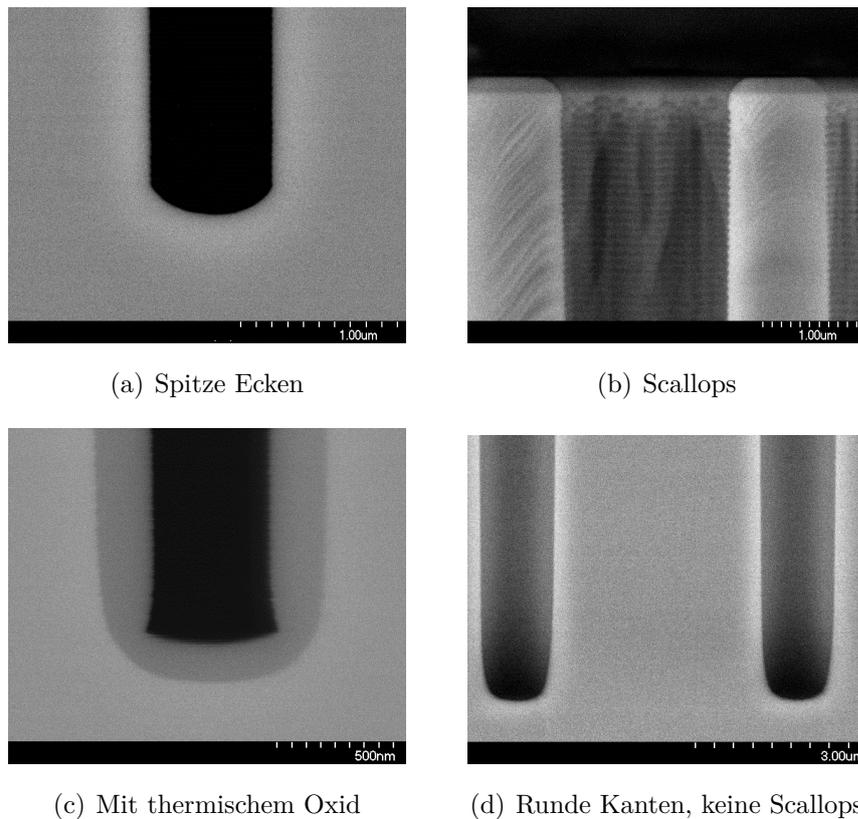


Abb. 4.9: REM-Aufnahmen von Kanten ohne und mit Kantenverrundung

Entfernt wurde das thermische Oxid im Anschluss in gasförmiger Flußsäure. Der Prozess musste so angepasst werden, dass das thermische Oxid vollständig entfernt wurde. Andernfalls wäre eine Interface-Schicht zurück geblieben, die als in Serie geschaltete Kapazität gewirkt und den Gesamtkapazitätsbelag reduziert hätte. Gleichzeitig durfte jedoch nicht zu viel von dem freiliegenden Isolationsoxid entfernt werden (Abb. 4.9(d)). Durch Versuche wurden ein optimierter Druck von 15 Torr und eine optimierte Zeit von 50 s gefunden.

4.6.5 HF-Dip

Unabhängig davon, ob die Kantenverrundung durchgeführt wurde oder nicht, wurde bei einigen Proben vor der Abscheidung des Dielektrikums ein kurzer Dip in gasförmiger Flußsäure (HF-Dip) durchgeführt. Hierfür wurden die Wafer unmittelbar bevor sie in die ALD-Anlage eingebracht wurden, der gasförmigen Flußsäure mit einem Druck von 4,5 Torr für 15 s ausgesetzt. Auf diese Weise sollte das native Oxid des Si entfernt werden.

4.7 Dielektrika

4.7.1 Wahl der Dielektrika

Aufgrund des hohen Aspekt-Verhältnisses und dem Ziel, einen möglichst großen Kapazitätsbelag zu erreichen, kamen als Dielektrika nur high-k-Materialien in Frage, welche mittels ALD abgeschieden werden konnten (Abb. 4.2(c)). Außerdem mussten die Materialien CMOS-kompatibel und temperaturbeständig sein. Als Dielektrikum mit einer deutlich größeren relativen Dielektrizitätskonstante als SiO_2 , aber vergleichsweise geringer Bandlücke, wurden Ta_2O_5 und ZrO_2 ausgewählt (vgl. Kapitel 2.2.1). HfO_2 wäre auch eine Alternative gewesen, jedoch ist bei HfO_2 die Bandlücke geringer als bei ZrO_2 . Als high-k-Dielektrikum mit vergleichsweise großer Bandlücke wurde Al_2O_3 getestet.

Alle drei high-k-Materialien, Al_2O_3 , Ta_2O_5 und ZrO_2 , wurden einzeln als Dielektrikum abgeschieden, um die jeweiligen Kondensator-Eigenschaften zu untersuchen. Die beiden Materialien mit geringer Bandlücke wurden zudem in Kombination mit Al_2O_3 abgeschieden. Hierbei sollten die Vorteile der Dielektrika kombiniert und die Nachteile kompensiert werden. Al_2O_3 wurde jeweils als Interface-

Schicht abgeschieden, um eine Reaktion vom Si-Substrat mit Ta_2O_5 oder ZrO_2 zu verhindern (vgl. Kapitel 2.2.3). Zudem wurde auf diese Weise ein Mehrschichtsystem erzeugt, was zu einer Unterbrechung des kristallinen Wachstums führte (vgl. Kapitel 2.2.4).

4.7.2 Abscheidung der Dielektrika

Al_2O_3 und Ta_2O_5 wurden in einer ALD-Anlage der Firma Picosun Oy vom Typ R200 abgeschieden. Es handelte sich um einen Reaktor mit senkrechtem Gasfluss. Als Trägergas wurde N_2 genutzt. Die verwendeten Precursor und die Prozessparameter sind Tab. 4.3 zu entnehmen. Auch wenn O_3 als zweiter Precursor eine reinere Schicht bei geringerer Temperatur ergeben hätte, konnte O_3 aufgrund des Si-Substrats und der sich sonst ausbildenden SiO_2 -Schicht nicht verwendet werden (vgl. Kapitel 2.5.5).

Das ZrO_2 wurde extern bei der Firma Picosun Oy abgeschieden, da der Prozess auf der eigenen ALD-Anlage nicht installiert war. Die hierfür verwendeten Precursor waren TEMAZr und O_3 und die Abscheidetemperatur lag bei 300°C . Nach der Abscheidung wurden die Schichten bei 500°C getempert, um eine bessere dielektrische Eigenschaft zu erzielen [120]. Sollte sich im weiteren Verlauf dieser Arbeit herausstellen, dass eine Schicht mit einem Anteil aus ZrO_2 als Dielektrikum für die Kondensatoren die beste Wahl war, würde die Temperatur

Tabelle 4.3: Prozessparameter der Al_2O_3 - und Ta_2O_5 -Abscheidung

Prozessparameter	Al_2O_3	Ta_2O_5
Precursor A	TMA	TaEtO
Precursor B	H_2O	H_2O
Abscheidetemperatur	300°C	270°C
Temperatur Precursor A	25°C	185°C
Temperatur Precursor B	25°C	25°C
Pulszeit Precursor A	0,1 s	1,6 s
Spülzeit nach Precursor A	4,0 s	8,0 s
Pulszeit Precursor B	0,1 s	0,1 s
Spülzeit nach Precursor B	6,0 s	8,0 s
Abscheiderate	$1,0 \text{ \AA}/\text{Zyklus}$	$0,5 \text{ \AA}/\text{Zyklus}$

der Temperung auf unter 400 °C reduziert werden, um die CMOS-Kompatibilität beizubehalten.

Wurden verschiedene Dielektrika geschichtet abgeschieden, wurde zwischen den jeweiligen Abscheidungen das Vakuum nicht gebrochen. Auf diese Weise wurde vermieden, dass sich zusätzliche Schichten am Interface der Dielektrika bilden konnten, die ggf. die relative Dielektrizitätskonstante des Schichtstapels herabgesetzt hätten [37]. Die Gesamtdicke des Dielektrikums betrug in allen Fällen ca. 30 nm.

4.8 Gegenelektrode

4.8.1 Wahl der Gegenelektrode

Auch die Gegenelektrode musste aus einem Material bestehen, welches aufgrund des hohen Aspekt-Verhältnisses mittels ALD abgeschieden werden konnte, CMOS-kompatibel war und hohen Temperaturen standhielt (Abb. 4.2(c)). Zudem sollte es sich um ein Material ohne Si-Anteil handeln, damit sich kein SiO₂-Interface bilden konnte, wodurch der Kapazitätsbelag des Kondensators herabgesetzt würde. Auch sollte in dem Elektrodenmaterial keine Spannung abfallen, was ebenfalls eine Reduktion des Kapazitätsbelages mit sich gebracht hätte [74].

Als leitfähige Materialien kamen Ru, TiN oder TiAlCN in Frage. Ru weist als Edelmetall den geringsten Schichtwiderstand auf, jedoch kann eine geringere Leitfähigkeit durch eine größere Schichtdicke ausgeglichen werden (vgl. Tab. 4.4). TiN oder TiAlCN können zudem die Funktion einer Barriere-Schicht haben, da diese Materialien O₂-Leerstellen kompensieren können [89].

Wichtig war ein glattes Interface zwischen der Gegenelektrode und dem Dielektrikum, da es sonst zu mehreren Nachteilen kommen würde: es würde ein höherer Leckstrom als bei einem glatten Interface zwischen leitender Schicht und Dielektrikum fließen [54], die Leitfähigkeit der Gegenelektrode wäre geringer [52]

Tabelle 4.4: Schichtwiderstand und Interface verschiedener Materialien

Materialeigenschaft	Ru	TiN	TiAlCN
Schichtwiderstand	18 $\mu\Omega\text{cm}$	22 $\mu\Omega\text{cm}$	140 $\mu\Omega\text{cm}$
Glattes Interface	X	✓	✓

und die Schicht könnte aufgrund der eingeschlossenen Gasbläschen am Interface leichter delaminieren [52] [53].

TiN und TiAlCN bildeten zum Dielektrikum ein glattes Interface, das Ru, welches mit dem zunächst verwendeten Prozess abgeschieden wurde, jedoch nicht. Da die Gegenelektrode für den späteren Ätzschritt mit gleichzeitigem Stopp auf der Gegenelektrode und dem Si-Substrat zwingend aus Ru bestehen musste (Abb. 4.2(f)), gab es zwei Möglichkeiten für die Materialwahl für die Gegenelektrode. Die erste wäre zunächst eine Schicht aus TiN oder TiAlCN für ein glattes Interface zum Dielektrikum abzuscheiden und danach eine Schicht aus Ru, um die Leitfähigkeit der Elektrode zu erhöhen und die Ätzstabilität für nachfolgende Prozess-Schritte zu garantieren. Die zweite wäre den Prozess des rauhen Ru so zu optimieren, dass auch mit Ru ein glattes Interface zum Dielektrikum erzielt werden würde.

4.8.2 Entwicklung der Ruthenium-Abscheidung

Die REM-Aufnahmen der ersten Depositionen zeigten, dass die abgeschiedene Ru-Schicht im Vergleich zu anderen ALD-Schichten rau war (Abb. 4.10). Für eine Kondensator-Elektrode mit guten elektrischen Eigenschaften musste der ALD-Prozess so optimiert werden, dass sich zwischen dem Ru und dem Dielektrikum ein glattes Interface ohne Bläschen ausbildete. Die Homogenität der Schichtdicke war für die Qualität der Kondensator-Elektrode nicht maßgeblich entscheidend, da der Kondensator mit dem Ru lediglich leitend angeschlossen werden musste.

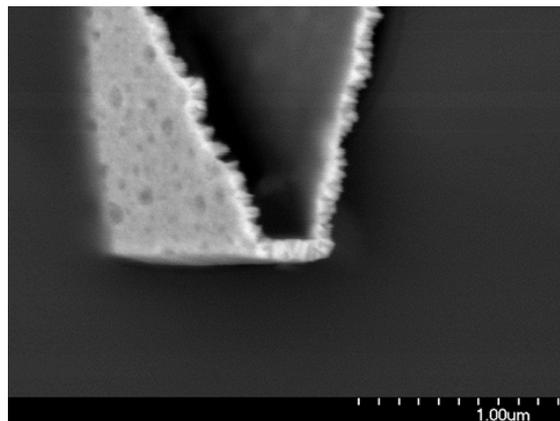


Abb. 4.10: REM-Aufnahme einer vergleichsweise rauhen Ru-Schicht (R0), abgeschieden in einem Graben

Die Parameter, mit dem größten Einfluss auf die Ru-Schichtqualität bzw. die Rauigkeit, sind das Substratmaterial, auf dem die Schicht aufwachsen soll, der O₂-Anteil während der Abscheidung und die Abscheidetemperatur (vgl. Kapitel 2.5.6). Da das Ru direkt auf dem Dielektrikum abgeschieden wurde, konnten nur der O₂-Anteil (O₂-Fluss, O₂-Druck) und die Abscheidetemperatur variiert werden.

Nachfolgend wird die Rezept-Optimierung beschrieben. Die Prozessparameter der einzelnen Rezepte sind in Tab. 4.5 zusammengestellt. Ausgehend vom Rezept R0 wurde der maximale O₂-Druck, die Temperatur bis zur minimal möglichen Abscheidetemperatur, der O₂-Fluss und zum Schluss nochmals der O₂-Druck verringert. Um die Prozessanpassungen untereinander vergleichen zu können, wurden je Rezept 200 Zyklen Ru abgeschieden.

Im ersten Schritt wurde der maximale O₂-Druck um 1 hPa verringert (R1), um den O₂-Anteil zu vermindern. Die Größe der Bläschen nahm im Vergleich zum Rezept R0 ab (Abb. 4.11(a)) und die gemittelte Abscheiderate war von 1,00 Å/Zyklus auf 0,87 Å/Zyklus nur minimal gesunken. Eine Energy Dispersive X-ray Spectroscopy (EDX)-Analyse der Bläschen hat keinen Aufschluss über das in ihnen eventuell eingeschlossene Gas ergeben.

In den Rezepten R2 bis R4 wurde der verringerte maximale O₂-Druck von 15 hPa beibehalten und die Abscheidetemperatur wurde schrittweise reduziert. Es konnte beobachtet werden, dass die Größe und die Anzahl der Bläschen am

Tabelle 4.5: Prozessparameter der angepassten Ru-Rezepte

Rezept	Temp.	O ₂ -Fluss	Max. O ₂ -Druck	Homogenität	Abscheiderate	Rauigkeit
R0	350 °C	60 sccm	16 hPa	95,7 %	1,00 Å/Zyklus	--
R1	350 °C	60 sccm	15 hPa	96,1 %	0,87 Å/Zyklus	-
R2	300 °C	60 sccm	15 hPa	91,5 %	0,86 Å/Zyklus	+
R3	285 °C	60 sccm	15 hPa	55,8 %	0,80 Å/Zyklus	++
R4	275 °C	60 sccm	15 hPa	71,0 %	0,45 Å/Zyklus	+++
R5	300 °C	40 sccm	15 hPa	80,8 %	0,70 Å/Zyklus	-
R6	300 °C	40 sccm	14 hPa	41,4 %	0,70 Å/Zyklus	---

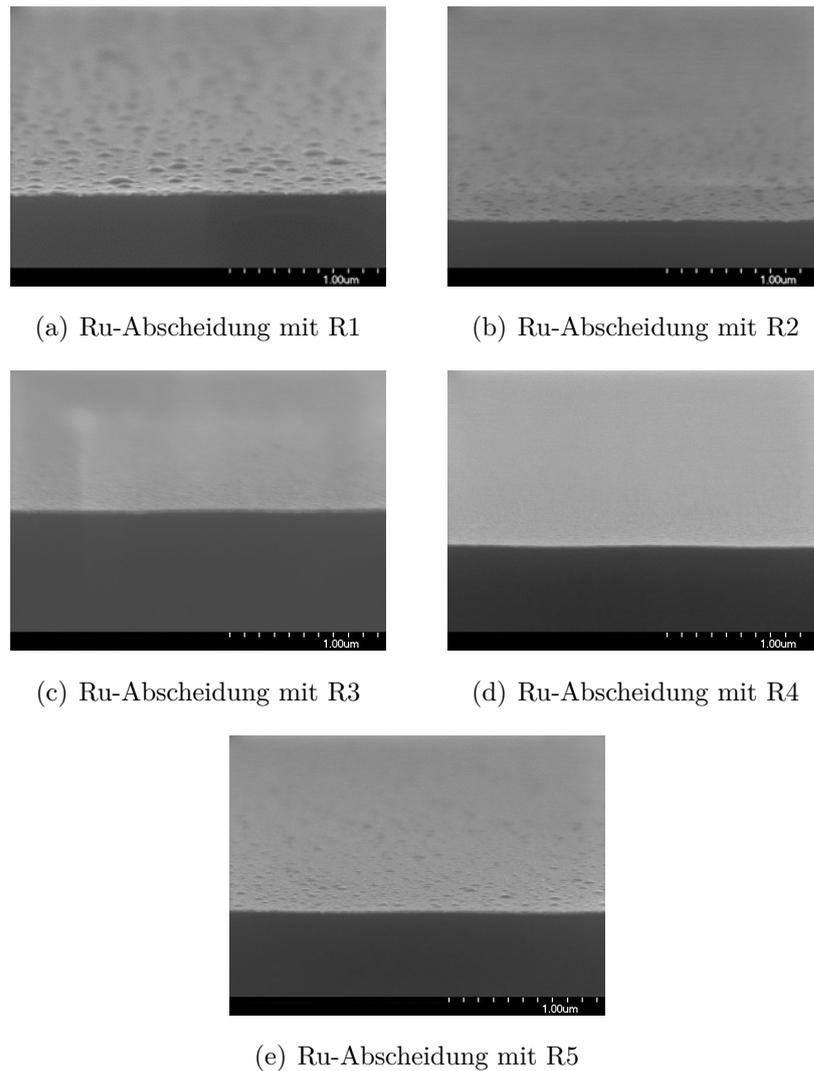


Abb. 4.11: REM-Aufnahmen von verschieden abgeschiedenen Ru-Schichten

Interface mit sinkender Abscheidetemperatur abnahm (Abb. 4.11(b)-4.11(d)), so dass eine nahezu glatte Ru-Schicht abgeschieden wurde. Auch nahm bei der Reduzierung der Abscheidetemperatur ebenfalls die gemittelte Abscheiderate ab. Bei einer Abscheidetemperatur von $350\text{ }^{\circ}\text{C}$ betrug die gemittelte Abscheiderate $0,87\text{ \AA}/\text{Zyklus}$, bei einer Abscheidetemperatur von $275\text{ }^{\circ}\text{C}$ nur noch $0,45\text{ \AA}/\text{Zyklus}$. Temperaturen von unter $275\text{ }^{\circ}\text{C}$ wurden nicht getestet, da aus der Literatur bekannt war, dass es bei einer Abscheidetemperatur von unter $275\text{ }^{\circ}\text{C}$ zu keiner Abscheidung mehr kommt [49].

Die Rezepte R2 bis R4 haben gezeigt, dass bei einer Abscheidetemperatur von $300\text{ }^{\circ}\text{C}$ die gemittelte Abscheiderate noch verhältnismäßig hoch und die Bläschen-

bildung bereits vermindert war. Im nächsten Schritt wurde somit der O₂-Anteil bei einer konstanten Abscheidetemperatur von 300 °C untersucht.

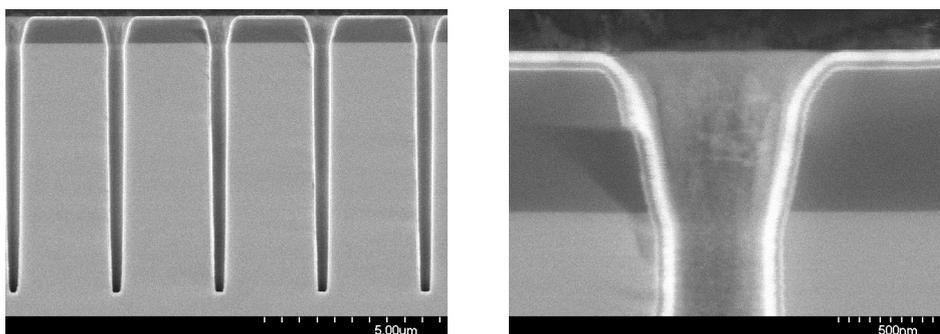
Zunächst wurde der Fluss des O₂-Trärgases von 60 sccm auf 40 sccm verringert (R5). Die Größe und die Häufigkeit der auftretenden Bläschen war etwas schlechter als bei der Ru-Schicht, die mit einem O₂-Fluss von 60 sccm abgeschieden wurde (Abb. 4.11(e)). Auch die gemittelten Abscheideraten war um 0,16 Å/Zyklus geringer. Auffällig war jedoch, dass die Homogenität der Schichtdicke mit geringerem O₂-Fluss um gut 10% schlechter war.

Zum Schluss wurde ein Rezept getestet, bei dem sowohl der Fluss des O₂-Trärgases auf 40 sccm, als auch der maximale O₂-Druck auf 14 hPa reduziert wurden (R6). Da die Schicht sehr milchig wirkte, konnte bereits makroskopisch auf eine hohe Rauigkeit geschlossen werden.

Durch entsprechende Prozessoptimierungen konnte eine glatte Ru-Schicht abgeschieden werden, die keine Bläschen am Interface aufwies. Rezept R3 war gegenüber dem Ursprungsrezept R0 das am besten geeignete Rezept, da hier die Bläschen deutlich verringert wurden und gleichzeitig die Abscheiderate mit 0,80 Å/Zyklus im Vergleich zum ursprünglichen Rezept ausreichend war.

4.8.3 Abscheidung der Gegenelektrode

Die Gegenelektrode wurde in derselben R200 ALD-Anlage der Firma Picosun Oy abgeschieden wie die Al₂O₃- und Ta₂O₅-Schichten. Als Trärgas wurde ebenfalls N₂ verwendet. Die Prozessparameter der Ru-, TiN- und TiAlCN-Abscheidungen



(a) Übersicht Löcher

(b) Nahaufnahme Löcher

Abb. 4.12: REM-Aufnahmen nachdem die verschiedenen ALD-Schichten abgeschieden wurden

Tabelle 4.6: Prozessparameter der Ru-, TiN- und TiAlCN-Abscheidung

Prozessparameter	Ru	TiN	TiAlCN
Precursor A	RuCp ₂	TiCl ₄	TiCl ₄
Precursor B	O ₂	NH ₃	TMA
Precursor C	–	–	NH ₃
Abscheidetemperatur	350 °C 285 °C	400 °C	400 °C
Temperatur Precursor A	140 °C	25 °C	25 °C
Temperatur Precursor B	25 °C	25 °C	25 °C
Temperatur Precursor C	–	–	25 °C
Pulszeit Precursor A	1,6 s	0,2 s	0,1 s
Spülzeit nach Precursor A	8,0 s	2,0 s	4,0 s
Pulszeit Precursor B	1,0 s	0,1 s	0,1 s
Spülzeit nach Precursor B	8,0 s	12,0 s	4,0 s
Pulszeit Precursor C	–	–	0,2 s + 0,3 s
Spülzeit nach Precursor C	–	–	1,0 s + 10,0 s
Abscheiderate	1,0 Å/Zyklus 0,8 Å/Zyklus	0,2 Å/Zyklus	1,0 Å/Zyklus

sind Tab. 4.6 zu entnehmen. In der Spalte der Ru-Abscheidung sind für die Abscheidetemperatur und die Abscheiderate zwei Werte angegeben, da sie variierten. Je nachdem, ob es sich um das raue Ru mit höherer Abscheiderate handelte, oder um das glatte Ru mit geringerer Abscheiderate (vgl. Kapitel 4.8.2). Die doppelten Puls- und Spülzeiten bei der Abscheidung von TiAlCN in den Zeilen von Precursor C ergaben sich dadurch, dass für die Deposition drei verschiedene Precursor notwendig waren. Die Software der Anlage ist jedoch so programmiert, dass immer nur eine gerade Anzahl an Pulsen einen Zyklus bilden können. Ein Abscheidezyklus bestand bei TiAlCN somit aus einem Puls TiCl₄, zwei Pulsen NH₃ (und somit auch aus zwei Spülschritten) und einem Puls TMA, um auf insgesamt 4 Pulse zu kommen.

In Abb. 4.12 ist zu sehen, dass die ALD-Schichten konform in den geätzten Strukturen abgeschieden wurden. Bei diesem Beispiel handelte es sich um eine Löcher-Struktur, mit einem Aspekt-Verhältnis von 9:1.

4.9 Strukturieren der ALD-Schichten

Die Strukturierung der ALD-Schichten erfolgte mit einem Ionenstrahl-Ätzer in einem rein physikalischen Ätzverfahren (Abb. 4.2(d)). Dies hatte den Vorteil, dass alle ALD-Schichten in einem einzigen Prozess-Schritt geätzt werden konnten. Im Massenspektrometer konnte der Ätzverlauf beobachtet werden (Abb. 4.13). Hier im Beispiel war das Ru nach 17 min vollständig geätzt, ab 26 min wurde bereits ein Teil des Isolationsoxids abgetragen und nach 32 min war das Al_2O_3 vollständig entfernt. Das Isolationsoxid wurde noch ca. 3 min überätzt, jedoch war die Dicke des Oxids so gewählt, dass es nach dem Prozess-Schritt noch ausreichend dick war.

Während der Entwicklung der einzelnen Prozess-Schritte wurden die ALD-Schichten ebenfalls in einer Anlage mit induktiv gekoppeltem Plasma (Inductive Coupled Plasma (ICP)) geätzt. Hierbei konnte jedoch nicht der Ätzvorgang im Einzelnen verfolgt werden, da die verschiedenen ALD-Schichten nicht separat vom Massenspektrometer angezeigt werden konnten. Ein stärkeres Überätzen in das darunterliegende Isolationsoxid war die Folge. Zudem haben sich Ätz-Rückstände abgelagert, die zu einem Kurzschlussverhalten zwischen den Kondensatoren führten (Abb. 4.14). Dieser Versuch hat gezeigt, dass für das Strukturieren der ALD-Schichten der Ionenstrahl-Ätzer zwingend notwendig war.

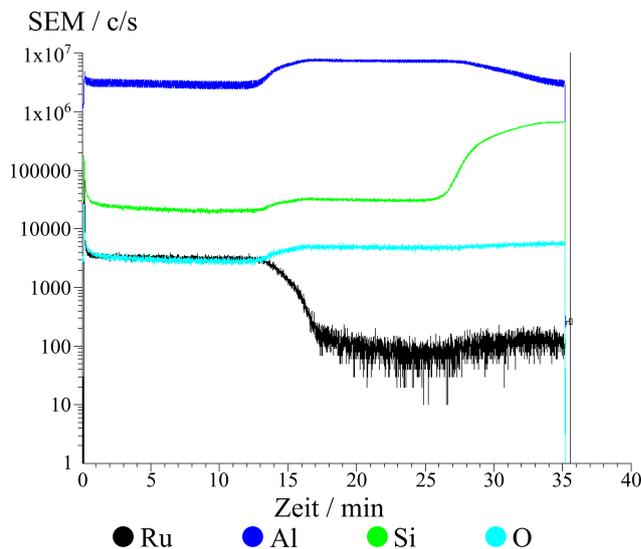


Abb. 4.13: Aufnahme des Massenspektrometers während Ru und Al_2O_3 mit Stopp im Isolationsoxid geätzt wurden

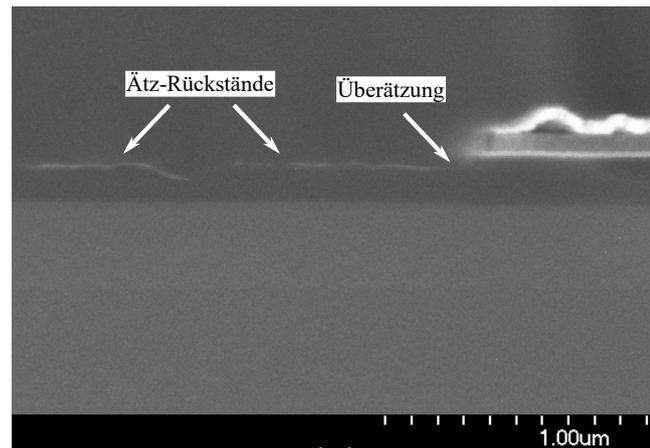
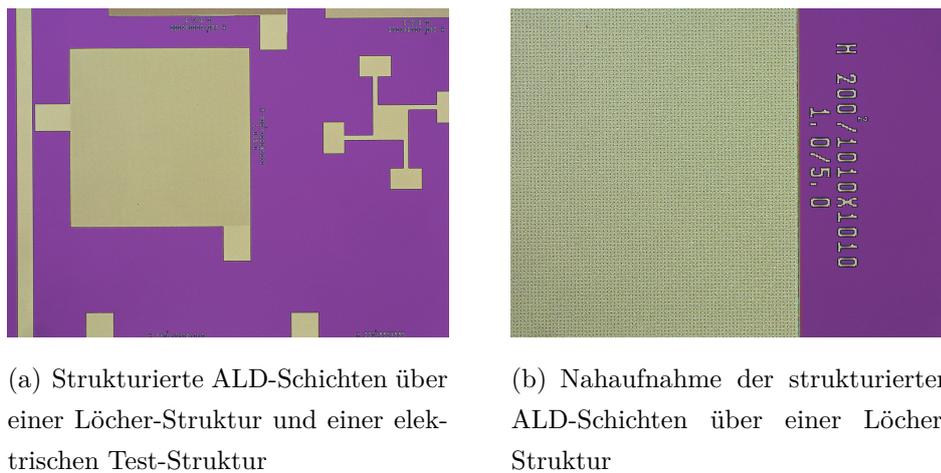


Abb. 4.14: REM-Aufnahme von geätzten ALD-Schichten mit der ICP-Anlage

Nach dem Strukturieren der ALD-Schichten waren die einzelnen Kondensatoren voneinander getrennt und die 1 x 1 mm großen Flächen waren im Mikroskop gut sichtbar (Abb. 4.15).



(a) Strukturierte ALD-Schichten über einer Löcher-Struktur und einer elektrischen Test-Struktur

(b) Nahaufnahme der strukturierten ALD-Schichten über einer Löcher-Struktur

Abb. 4.15: Mikroskop-Aufnahmen nachdem die ALD-Schichten strukturiert wurden

4.10 Kurzläufer

Um Zeit und Technologiekosten zu sparen, konnten die Trench-Kondensatoren bereits nach dem Strukturieren der ALD-Schichten vermessen werden, um erste elektrische Eigenschaften zu charakterisieren. Das Substrat als untere Elektrode

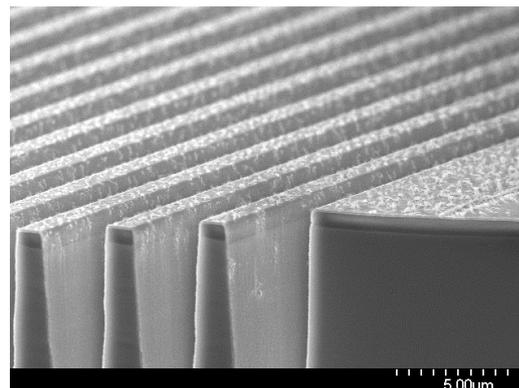
konnte von der Waferrückseite kontaktiert werden und die Gegenelektrode von der Vorderseite.

Um die Rückseite kontaktieren zu können, musste diese von den ALD-Schichten frei geätzt werden, die während der Depositionen ebenfalls auf der Waferrückseite abgeschieden wurden. Dies wurde, ebenso wie die Strukturierung der ALD-Schichten, mit einem Ionenstrahl-Ätzer realisiert. Es wurde so lange geätzt, bis sicher alle ALD-Schichten entfernt waren und einige Minuten in das Si-Substrat überätzt wurde.

Um die Gegenelektrode der Kondensatoren gut kontaktieren zu können, wurde über den Ru-Kontaktpads dieselbe Metallisierung abgeschieden, wie sie auch im späteren Prozess beim vollständigen Technologie-Verlauf abgeschieden wurde: eine Barriere-Schicht aus 20 nm Ti und 80 nm TiN und darauf 1000 nm AlSi als eigentliche Metallisierung (vgl. Kapitel 4.13). Mikroskop- und REM-Aufnahmen sind in Abb. 4.16 dargestellt.



(a) Mikroskop-Aufnahme einer Löcher-Struktur und einer elektrischen Test-Struktur

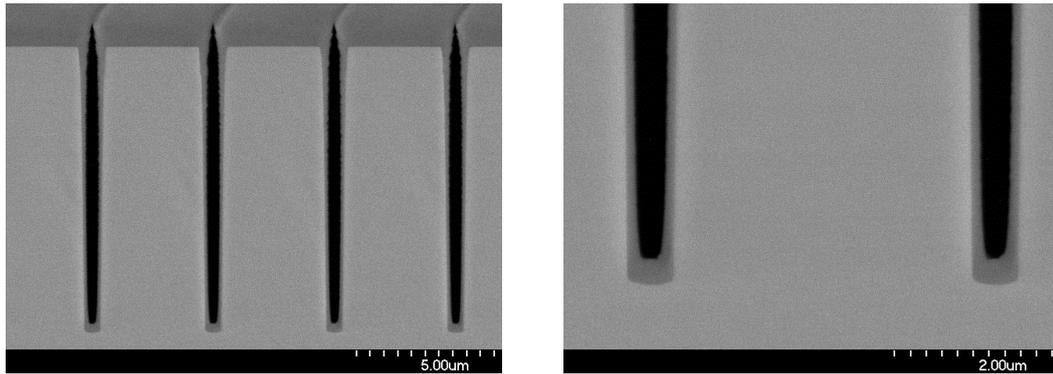


(b) REM-Aufnahme einer Graben-Struktur in Schrägsicht

Abb. 4.16: Mikroskop- und REM-Aufnahmen fertiger Kurzläufer-Strukturen

4.11 Füllen der Gräben und Löcher

Um die Kondensatoren vor äußeren Einflüssen zu schützen, wurden die Gräben und Löcher mit einem TEOS-Oxid gefüllt (Abb. 4.2(e)). Die CVD-Abscheidung wurde in einer Anlage mit ICP durchgeführt. Es wurden 10 mal je 15 min Oxid mit



(a) Gräben, die oben geschlossen sind und in der Mitte Vakuum eingeschlossen haben

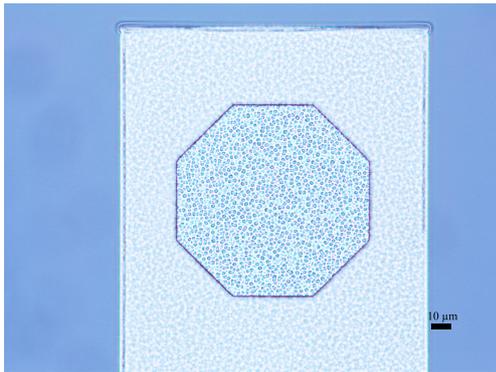
(b) Gräben, deren Ränder vollständig mit dem TEOS-Oxid bedeckt sind

Abb. 4.17: REM-Aufnahmen von Gräben die mit TEOS-Oxid gefüllt sind

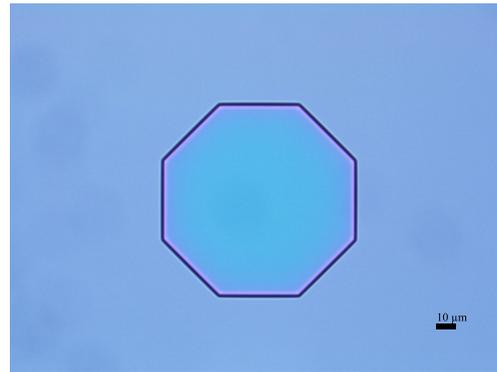
TEOS und O_2 abgeschieden, danach wurde jeweils für 4 min ein Rückätz-Schritt durchgeführt, bei dem nur O_2 in die Kammer gelassen wurde. Ziel des Rückätz-Schrittes war es zu verhindern, dass sich das TEOS an den oberen Rändern der Gräben und Löcher schloss, bevor die geätzten Strukturen vollständig mit dem TEOS-Oxid gefüllt waren. Aufgrund des hohen Aspekt-Verhältnisses war es jedoch auch mit den Rückätz-Schritten nicht möglich, die Gräben vollständig zu befüllen, bevor das TEOS-Oxid an den oberen Rändern zusammenwuchs (Abb. 4.17). Da aber die Ränder der Gräben und Löcher vollständig mit TEOS-Oxid bedeckt waren und im eingeschlossene Hohlraum aufgrund des Prozessdruckes ein Vakuum herrschte, war auch dann ein ausreichender Schutz der Kondensatoren gegeben, wenn diese nicht vollständig gefüllt waren.

4.12 Ätzen der Kontaktlöcher

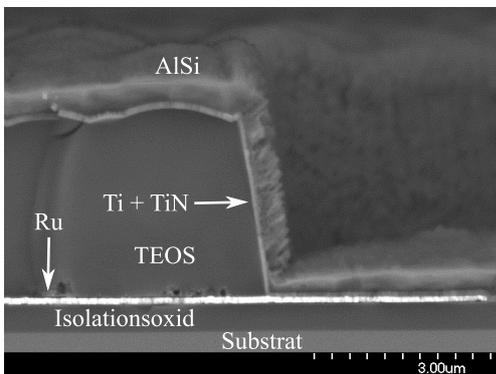
Die Kontaktlöcher wurden mit einem Plasma-Ätz-Verfahren mit den Gasen CHF_3 , CF_4 und Ar geöffnet. Beide Kontakte, die Öffnung auf die Gegenelektrode und die Öffnung auf das Si-Substrat, wurden in einem Schritt geätzt (Abb. 4.2(f)). Um auf dem Si-Substrat zu stoppen, musste zusätzlich das Isolationsoxid geöffnet werden. Die Gegenelektrode musste während der zusätzlichen Ätzzeit stabil gegenüber den Ätzgasen sein (Abb. 4.18). Von den möglichen leitenden ALD-Materialien war nur Ru ätzstabil, sodass es zwingend als oberste Schicht der Gegenelektrode abgeschieden werden musste.



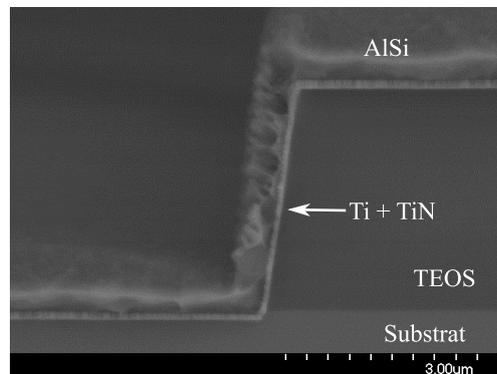
(a) Mikroskop-Aufnahme eines Ru-Kontaktes



(b) Mikroskop-Aufnahme eines Si-Kontaktes



(c) REM-Aufnahme eines Ru-Kontaktes mit Metallisierung



(d) REM-Aufnahme eines Si-Kontaktes mit Metallisierung

Abb. 4.18: Mikroskop- und REM-Aufnahmen von Ru- und Si-Kontakten

Die Zeit, die benötigt wurde bis auch das Si-Substrat frei lag, wurde mit Hilfe eines End-Punkt-Detektors (EPD) ermittelt. Um auch elektrisch zu testen, ob die Si-Kontaktpads frei lagen, wurden mit einem Spitzenmessplatz zwei Si-Kontakte angeschlossen. Wurde ein Kurzschluss über das Substrat gemessen, waren die Kontaktpads frei vom Isolationsoxid.

4.13 Metallisierung

Die Metallisierung der Kontaktpads wurde in einer Sputter-Anlage aufgebracht, also mit Hilfe eines physikalischen Abscheideverfahrens aus der Gasphase (Physical Vapor Deposition (PVD)) (Abb. 4.2(g)). Um einen guten Kontakt zum Ru bzw. zum Si zu erhalten, wurde unmittelbar bevor die Metallisierung abgeschlie-

den wurde, ein HF-Dip und ein Rücksputter-Schritt durchgeführt. Der HF-Dip dauerte 15 s und beim Rücksputter-Schritt wurde der Wafer 30 s mit Ar-Ionen beschossen. Als eigentliche Metallisierung wurden 1000 nm AlSi abgeschieden. Da es beim direkten Kontakt zwischen Si und Al zum sogenannten „Spiking“ kommen kann [121], wurde zum einen unter die eigentliche Metallisierung eine Barriere-Schicht aus 20 nm Ti und 80 nm TiN abgeschieden und zum anderen wurde kein reines Al, sondern das AlSi verwendet.

Zum Schluss wurde die Metallisierung in einem ICP-Ätzschritt strukturiert (Abb. 4.2(h)). Hierbei wurde der EPD genutzt, um zu erkennen, wann durch das AlSi, das TiN und das Ti geätzt wurde (Abb. 4.19). Gestoppt wurde im TEOS-Oxid, sodass der Prozess beendet war, nachdem das Si-Signal deutlich angestiegen war. Es wurde ein paar Minuten überätzt, da das TEOS-Oxid ausreichend dick war und auf diese Weise sichergestellt werden konnte, dass die Kondensator-Kontakte nicht untereinander kurzgeschlossen waren (Abb. 4.20).

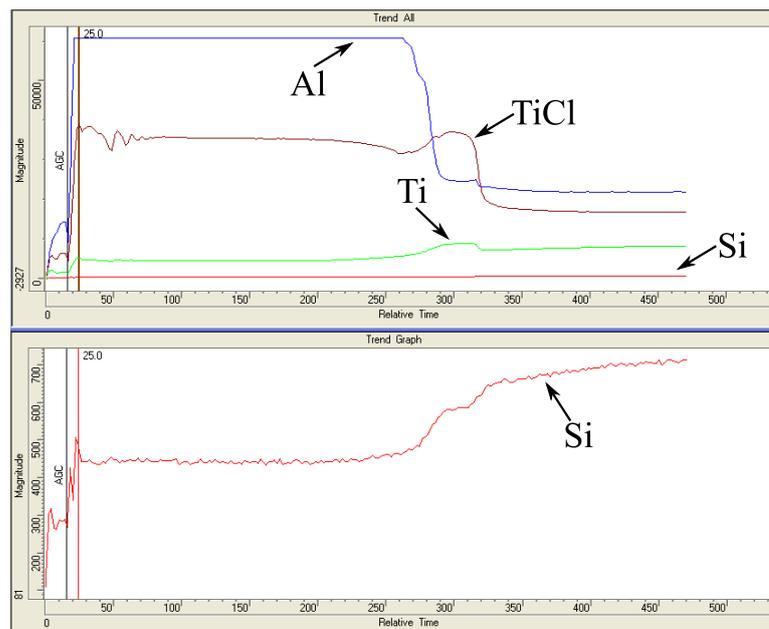
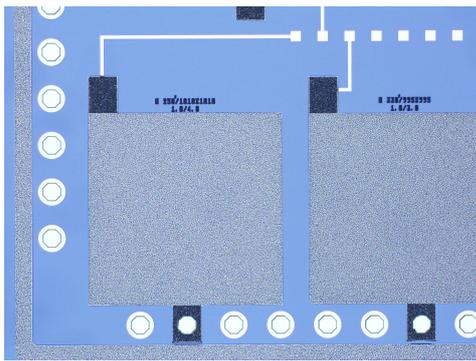
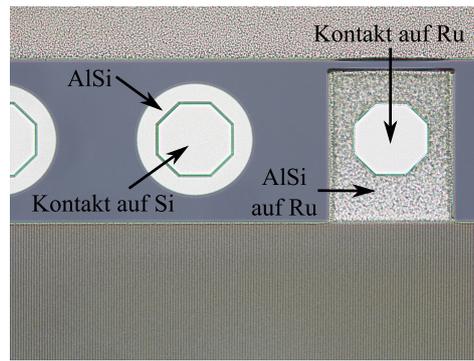


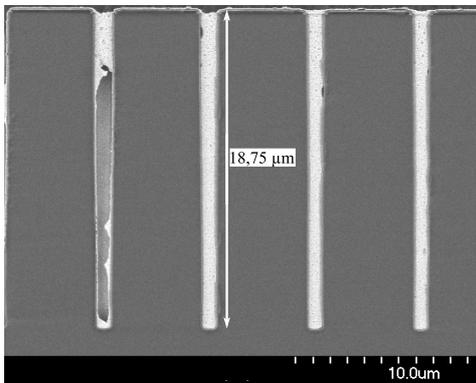
Abb. 4.19: EPD-Aufnahme während AlSi, TiN und Ti geätzt wurden



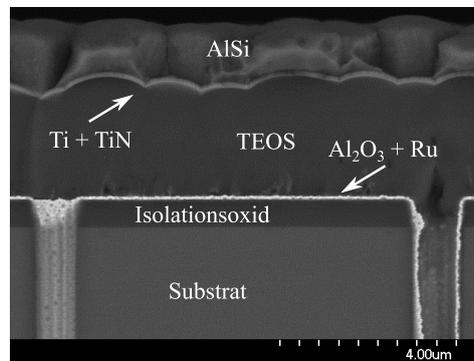
(a) Mikroskop-Aufnahme fertiger Kondensatoren



(b) Mikroskop-Aufnahme der Kontakte auf Si und Ru mit Metallisierung



(c) REM-Aufnahme fertiger Löcher-Strukturen



(d) Nahaufnahme fertiger Löcher-Strukturen

Abb. 4.20: Mikroskop- und REM-Aufnahmen fertiger Kondensatoren

Kapitel 5

Elektrische Charakterisierung

5.1 Messaufbau

Um die prozessierten Kondensatoren zu charakterisieren, wurden verschiedene elektrische Messungen auf Waferebene durchgeführt. Die Messungen erfolgten an zwei Spitzenmessplätzen (Abb. 5.1), bei denen die Wafer auf einem Thermochuck platziert und mit Vakuum fixiert wurden. Die elektrische Kontaktierung erfolgte über Messnadeln, mit denen die Kontaktpads angeschlossen wurden. Die Nadeln waren an den Armen von Manipulatoren befestigt, die über ein Triaxialkabel angeschlossen waren. Zudem war eine rückseitige Kontaktierung über den Chuck möglich. Bei beiden Messplätzen konnte der Chuck über eine externe Steuerung auf bis zu 200 °C (Messplatz I), bzw. auf bis zu 300 °C (Messplatz II) geheizt werden. Damit sich die Spitzenmessplätze bei höheren Temperaturen nicht aufheizen, wurden die Komponenten bei Messungen oberhalb der Raumtemperatur mit Druckluft gekühlt.

An Messplatz I wurden die Strom-Spannungs-Messungen (IV-Messungen) sowie die Kapazitäts-Spannungs-Messungen (CV-Messungen) mit einem B1500A Semiconductor Device Analyzer der Firma Agilent Technologies durchgeführt. Hierfür wurde die Messung über die Software EasyEXPERT, ebenfalls von der Firma Agilent Technologies, gesteuert, worüber auch der Wechsel zwischen IV- und CV-Messungen erfolgte, indem zwischen den verschiedenen Signal-Eingängen gewechselt wurde. Über eine Wafer-Map konnten die Messungen so eingestellt werden, dass dieselbe Position an verschiedenen Dies eines Wafers automatisch angefahren und gemessen werden konnte.

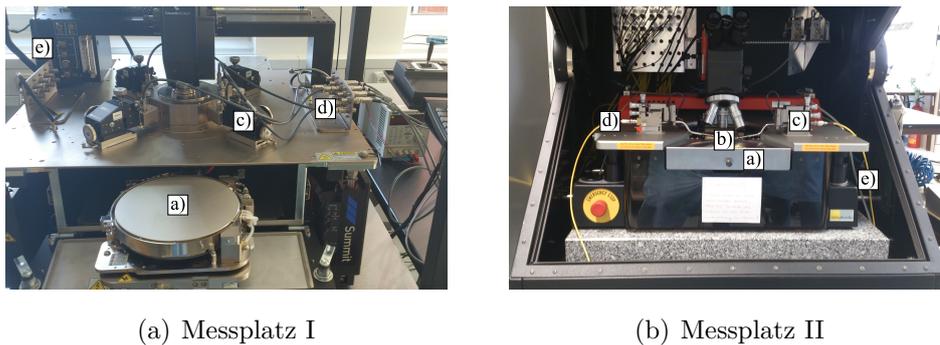


Abb. 5.1: Aufnahmen der beiden verwendeten Messplätze für die elektrische Charakterisierung: a) Thermochuck, b) Messnadeln, c) Manipulator, d) Triaxialkabel, e) Druckluft

An Messplatz II wurde für IV-Messungen ein Parameteranalyzer vom Typ HP 4155A und für CV-Messungen ein LCR-Meter vom Typ HP 4285A verwendet, beide wurden von der Firma Hewlett Packard hergestellt. Die manuell durchgeführten Messungen, bei denen jeder Kondensator separat angefahren und kontaktiert wurde, wurden über die Interactive Characterization Software (ICS) der Firma METRICS gesteuert. Die automatisch durchgeführten Messungen wurden über ein in LabVIEW (von der Firma National Instruments) geschriebenes Programm gesteuert.

Die Kapazitäten wurden mit einer AC-Spannung mit unterschiedlichen Frequenzen und einer Level-Spannung von 30 mV gemessen. Die Bias-Spannung wurde während einer Messung linear erhöht. Es gibt zwei Möglichkeiten die Kapazitäten zu messen: im parallelen oder im seriellen ESB. Welches ESB verwendet wird, hängt davon ab, welcher der beiden Widerstände den größeren Einfluss hat. Bei kleinen Kapazitäten, und somit großen Impedanzen, hat der parallel geschaltete Widerstand einen höheren Einfluss und das parallele ESB sollte verwendet werden. Bei großen Kapazitäten, und dementsprechend kleinen Impedanzen, dominiert der in Serie geschaltete Widerstand und das serielle ESB sollte verwendet werden. Eine Faustregel besagt, dass bei einer zu erwartenden Impedanz von größer als $10\text{ k}\Omega$ das parallele und bei einer zu erwartenden Impedanz von unter $10\ \Omega$ das serielle ESB verwendet werden sollte. Bei Impedanzen zwischen den beiden Werten soll den „Empfehlungen des (Kondensator-) Herstellers“ gefolgt werden.“ [122]

Für einen Kondensator mit einer $9\ \mu\text{m}$ tiefen L4-Struktur (Löcher, $1\ \mu\text{m}$ Durchmesser, $5\ \mu\text{m}$ Pitch) mit $30\ \text{nm}$ Al_2O_3 als Dielektrikum ergibt sich eine berechnete Impedanz Z_L von $281,17\ \Omega$:

$$\begin{aligned}
Z_L &= \frac{1}{2\pi \cdot f \cdot C} \\
&= \frac{1}{2\pi \cdot f \cdot \epsilon_0 \cdot \epsilon_r \cdot \frac{A_{\text{Pl}}}{d_{\text{Ox}}}} \\
&= \frac{1}{2\pi \cdot f \cdot \epsilon_0 \cdot \epsilon_r \cdot \frac{1\ \text{mm}^2 + N_L \cdot 2\pi \cdot r \cdot h}{d_{\text{Ox}}}} \\
&= \frac{1}{2\pi \cdot 100\ \text{kHz} \cdot \epsilon_0 \cdot 9 \cdot \frac{1\ \text{mm}^2 + 200^2 \cdot 2\pi \cdot 0,5\ \mu\text{m} \cdot 9\ \mu\text{m}}{30\ \text{nm}}} \\
&= 281,17\ \Omega
\end{aligned} \tag{5.1}$$

und für einen Kondensator mit einer $11,5\ \mu\text{m}$ tiefen G3-Struktur (Graben, $1\ \mu\text{m}$ Breite, $2\ \mu\text{m}$ Pitch) mit $30\ \text{nm}$ Al_2O_3 eine berechnete Impedanz Z_G von $47,86\ \Omega$:

$$\begin{aligned}
Z_G &= \frac{1}{2\pi \cdot f \cdot C} \\
&= \frac{1}{2\pi \cdot f \cdot \epsilon_0 \cdot \epsilon_r \cdot \frac{A_{\text{Pl}}}{d_{\text{Ox}}}} \\
&= \frac{1}{2\pi \cdot f \cdot \epsilon_0 \cdot \epsilon_r \cdot \frac{1\ \text{mm}^2 + N_G \cdot (2 \cdot 1\ \text{mm} \cdot h + 2\pi \cdot 0,5 \cdot b \cdot h)}{d_{\text{Ox}}}} \\
&= \frac{1}{2\pi \cdot 100\ \text{kHz} \cdot \epsilon_0 \cdot 9 \cdot \frac{1\ \text{mm}^2 + 500(2 \cdot 1\ \text{mm} \cdot 11,5\ \mu\text{m} + 2\pi \cdot 0,5 \cdot 1\ \mu\text{m} \cdot 11,5\ \mu\text{m})}{30\ \text{nm}}} \\
&= 47,86\ \Omega.
\end{aligned} \tag{5.2}$$

Dabei entspricht f der Frequenz, bei der gemessen wird, N_L der Anzahl an Löchern auf einer quadratischen Kondensatorfläche von $1\ \text{mm}^2$, N_G der Anzahl an Gräben auf einer quadratischen Kondensatorfläche von $1\ \text{mm}^2$, r dem Radius der Löcher, b der Breite der Gräben und h der Tiefe der geätzten Struktur. Die berechneten Impedanzen der anderen Geometrien (vgl. Kapitel 4.5) liegen zwischen den beiden hier genannten Werten.

Somit lagen alle berechneten Impedanzen genau in dem Bereich zwischen den eindeutigen Vorgaben zur Verwendung der verschiedenen ESB. Da es sich bei den berechneten Kapazitäten bzw. Impedanzen jedoch um ideale Werte handelte, war anzunehmen, dass die realen Kapazitäten geringer, bzw. die realen Impedanzen größer waren (vgl. Kapitel 2.1.1). Erste Messungen bestätigten, dass die realen Impedanzen größer ausfielen als die theoretisch berechneten (mindestens um den

Faktor fünf größer), sodass für die nachfolgenden Messungen mit dem parallelen ESB gemessen wurden.

Um zu gewährleisten, dass die Messergebnisse der beiden Messplätze vergleichbar zueinander sind, wurden jeweils der Leckstrom und die Kapazität bei offenen Nadeln gemessen (Abb. 5.2). Bei der IV-Messung liegen die gemessenen Stromwerte bei beiden Messplätzen im Bereich von 100 fA. Bei der CV-Messung liegen die Messwerte von Messplatz I etwas unter den Werten von Messplatz II, bei einer erwarteten Kapazität im nF-Bereich entspricht dies jedoch weniger als 15 ppm, sodass die Unterschiede der beiden Messplätze keinen Einfluss auf die Messergebnisse haben.

Gemessen wurde an mindestens 14 verschiedenen Dies, gleichmäßig über den Wafer verteilt. Bei den IV-Messungen wurde die Spannungsrampe grundsätzlich bei 0 V gestartet und anschließend in 0,25 V Schritten für den positiven Spannungsast erhöht, bzw. in 0,25 V Schritten für den negativen Spannungsast reduziert. Bei den CV-Messungen wurden beide Spannungsäste in einem Schritt gemessen. Die Messung wurde beim betragsmäßig größten negativen Spannungswert begonnen und dann in 0,25 V Schritten erhöht. Eine getrennte Messung war nicht möglich, da die Messwerte des positiven und des negativen Spannungsastes bei 0 V aufgrund von Einschalteteffekten nicht übereinstimmten.

Die Messungen einer Struktur variierten so lange, bis die im Oxid vorhandenen Haftstellen gefüllt waren, bzw. nicht mehr umgeladen wurden. Daher mussten die Messungen mindestens drei Mal wiederholt werden. Die im Folgenden gezeigten Messkurven, repräsentieren immer die letzte Messung.

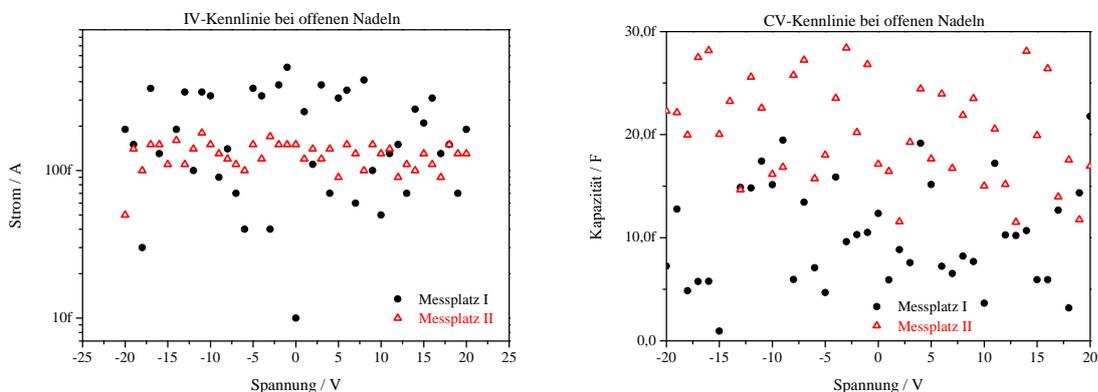


Abb. 5.2: Vergleich der Messplätze bei offenen Klemmen bei 25 °C

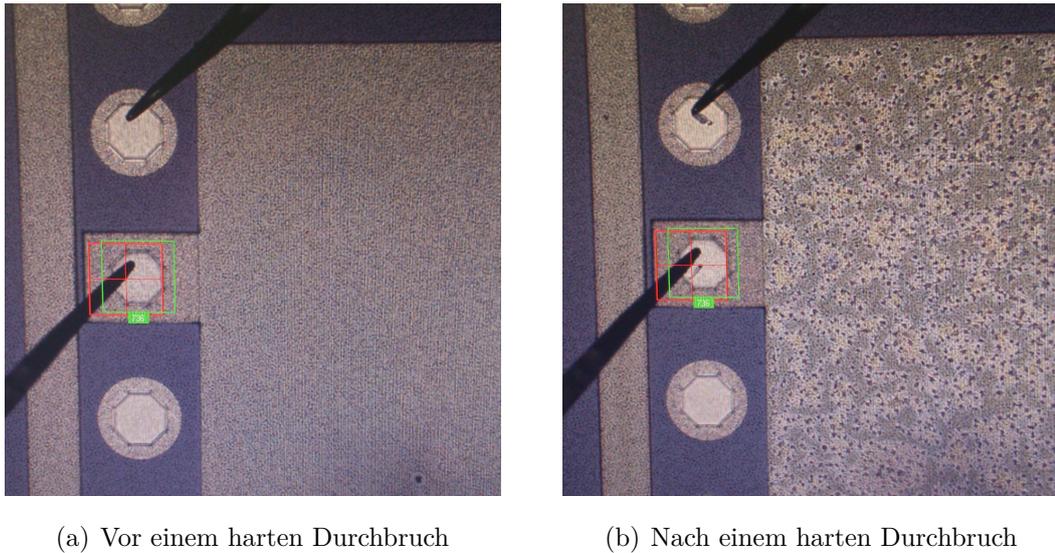


Abb. 5.3: Optische Detektion eines harten Durchbruchs

Die Spannungen wurden so gewählt, dass es im Oxid zu einem weichen und nicht zu einem harten Durchbruch kam. Wurde bei einer Struktur ein harter Durchbruch detektiert, wurde diese von weiteren Messungen ausgeschlossen. Ein harter Durchbruch kann auf verschiedene Weisen erkannt werden:

- es kann ein Kurzschlussverhalten gemessen werden, bei dem der Strom unmittelbar nach Anlegen der Spannung in die Sättigung steigt
- da sich das Material durch das Aufschmelzen des Oxids verändert, kann optisch ein Aufbrechen der Schicht ausgemacht werden, welches an der Messnadel beginnt und sich dann über die gesamte Kondensatorfläche ausbreitet (Abb. 5.3)
- der Wert des Quotienten von zwei aufeinander folgenden Strommessungen gibt Auskunft darüber, dass ein harter Durchbruch vorliegt (vgl. Kapitel 2.4.3)

5.2 CV-Messungen bei unterschiedlichen Frequenzen

Damit die verschiedenen Ergebnisse der CV-Messungen untereinander vergleichbar waren, musste zunächst die Frequenz der AC-Spannung festgelegt werden.

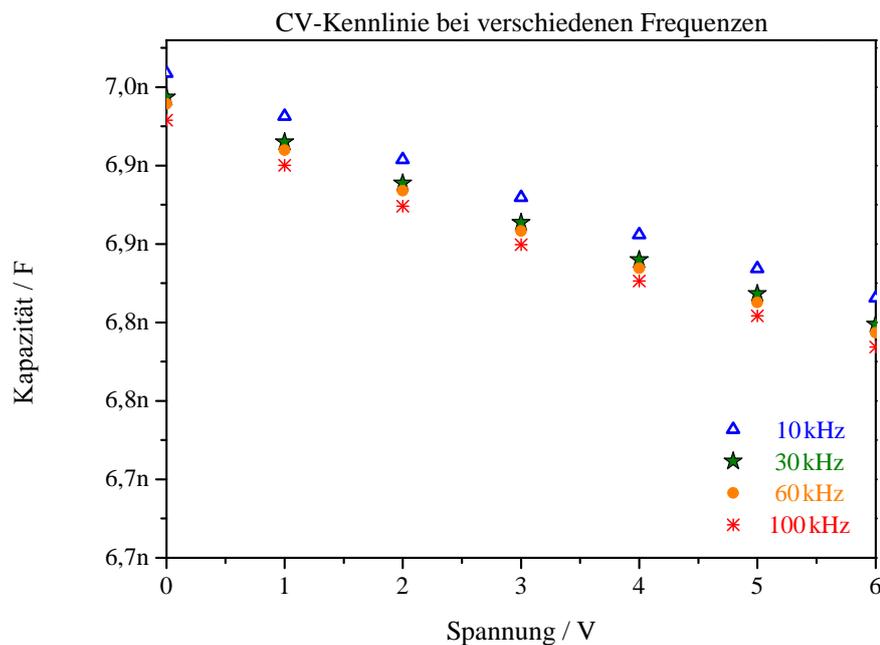


Abb. 5.4: CV-Kennlinie einer planaren Struktur bei Frequenzen zwischen 10 und 100 kHz (2×2 mm, 30 nm Al_2O_3 , $1 \mu\text{m}$ AlSi)

Hierfür wurde eine 2×2 mm große planare Struktur mit 30 nm Al_2O_3 als Dielektrikum und AlSi als Gegenelektrode bei Frequenzen zwischen 10 kHz und 100 kHz vermessen. Es war zu sehen, dass die Kapazität kontinuierlich mit zunehmender Frequenz abnahm, die Abnahme jedoch bei einer Frequenzerhöhung von 10 kHz auf 100 kHz nur 0,425 % betrug (Abb. 5.4). Dies liegt daran, dass die Polarisation des Dielektrikum dem Wechselfeld mit zunehmender Frequenz schlechter folgen kann und somit die relative Dielektrizitätskonstante ϵ_r abnimmt. Da der Unterschied der Kapazitäten minimal war, wurde entschieden die folgenden Messungen in Anlehnungen an verschiedene Veröffentlichungen (z. B. [13] [90] [91]) bei 100 kHz vorzunehmen.

5.3 Charakterisierung verschiedener Geometrien

Um die elektrischen Eigenschaften in Abhängigkeit von der geätzten Kondensator-Geometrie zu untersuchen, wurden vier verschiedene Kondensator-Typen vermessen: Löcher mit $1 \mu\text{m}$ Durchmesser und $5 \mu\text{m}$ Pitch (L4), Gräben mit einer Breite

von $1\ \mu\text{m}$ und einem Pitch von $2\ \mu\text{m}$ (G3), konzentrische Ringe mit einer Breite von $1\ \mu\text{m}$ und einem Pitch von $3\ \mu\text{m}$ (KR) und Kleeblätter mit $0,5\ \mu\text{m}$ Radius und einem Pitch von $2,7\ \mu\text{m}$ (KB1). Die IV- und CV-Kennlinien, aufgenommen bei Kondensatoren mit $30\ \text{nm}\ \text{Al}_2\text{O}_3$ als Dielektrikum und einem Stapel aus TiAlCN und Ru als Gegenelektrode, sind in Abb. 5.5 dargestellt.

Es ist zu sehen, dass die Struktur L4 den geringsten Leckstrom aufwies und die Struktur G3 den größten Kapazitätsbelag. Dies ist mit den unterschiedlichen Flächen zu begründen. Eine $1\ \text{x}\ 1\ \text{mm}$ große L4 Struktur, mit einer Tiefe von $9\ \mu\text{m}$, hat eine Fläche von $2,13\ \text{mm}^2$, was einen idealen Kapazitätsbelag von $5,66\ \text{nF}/\text{mm}^2$ ergibt. Eine $1\ \text{x}\ 1\ \text{mm}$ große G3 Struktur, mit einer Tiefe von $11,5\ \mu\text{m}$ hat hingegen eine Fläche von $6,77\ \text{mm}^2$, was einen idealen Kapazitätsbelag von $17,98\ \text{nF}/\text{mm}^2$ ergibt. Aufgrund der Verluste bei realen Kondensatoren (vgl. Kapitel 2.1.1), sind beide Kapazitätsbeläge geringer als der theoretisch berechnete Wert, sie liegen dennoch in der richtigen Größenordnung.

Auffällig ist, dass die Kapazitätsbeläge der G3-Strukturen weitaus mehr streuen als die Kapazitätsbeläge der anderen Strukturen. Aufgrund der großen Fläche der Gräbenstrukturen, scheint es bei ihnen größere prozessbedingte Schwankungen zu geben.

Da verschiedene Messungen gezeigt haben, dass die IV-Kennlinien der L4-Strukturen und die CV-Kennlinien der G3-Strukturen am zuverlässigsten aufgenommen werden konnten, werden die IV-Kennlinien im Folgenden anhand der L4-Strukturen dargestellt und die CV-Kennlinien anhand der G3-Strukturen.

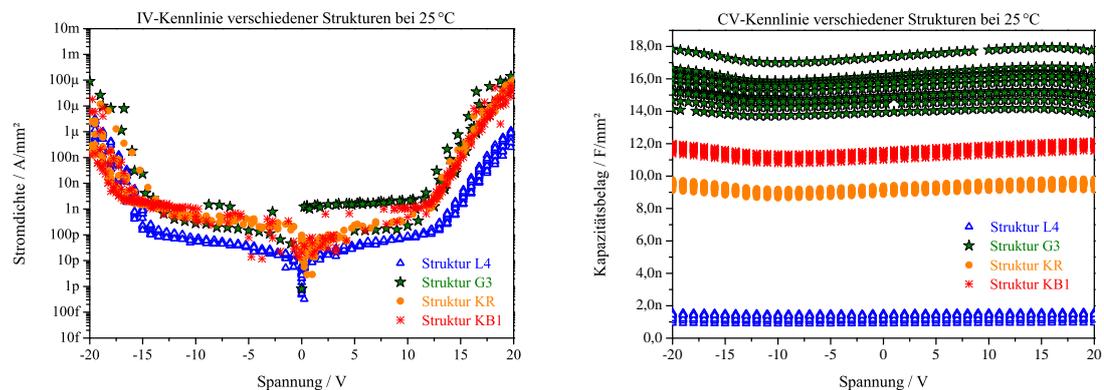


Abb. 5.5: Vergleich verschiedener Geometrien ($30\ \text{nm}\ \text{Al}_2\text{O}_3$, $40\ \text{nm}\ \text{TiAlCN}$, $50\ \text{nm}\ \text{Ru}$)

5.4 Charakterisierung des Leckstroms

Für die Charakterisierung des Leckstroms wurde eine L4-Struktur mit 30 nm Al_2O_3 als Dielektrikum verwendet. Die IV-Kurven bei unterschiedlichen Temperaturen sind in Abb. 5.6 dargestellt. Mit zunehmender Temperatur nahm der Leckstrom zu und die Durchbruchspannung ab. Dies ist durch den Einfluss der Temperatur auf die Leckstrommechanismen zu erklären (vgl. Kapitel 2.3). Die leichten Unterschiede zwischen positivem und negativem Ast kommen durch unterschiedliche Rauigkeiten und unterschiedliche chemische Zusammensetzungen der beiden Interfaces zustande [31]. Eine höhere Rauigkeit bedeutet eine größere Oberfläche und somit auch eine größere Anzahl an Grenzflächendefekten [29]. Zudem bewirken verschiedenen Austrittsarbeiten der unterschiedlichen Materialien eine Asymmetrie [89]. Durch geeignetes Auftragen und Umrechnen der Messwerte sollte überprüft werden, ob Fowler-Nordheim-Tunneln, Schottky-Emission oder Poole-Frenkel-Emission der dominierende Leckstrommechanismus war.

Um zu überprüfen, ob Fowler-Nordheim-Tunneln dominant war, wurde der natürliche Logarithmus des Quotienten aus Stromdichte und quadratischer elektrischer Feldstärke ($\ln(\frac{J_{\text{FN}}}{E_{\text{Ox}}^2})$) gegen den Kehrwert der elektrischen Feldstärke ($\frac{1}{E_{\text{Ox}}}$) aufgetragen (vgl. Kapitel 2.3.2). Abb. 5.7 ist zu entnehmen, dass kein linearer Verlauf vorlag, sodass das Fowler-Nordheim-Tunneln nicht der einzig dominante Leckstrommechanismus war. Die Effekte, die um den Nullpunkt herum zu sehen sind, sind auf Durchbrüche zurückzuführen.

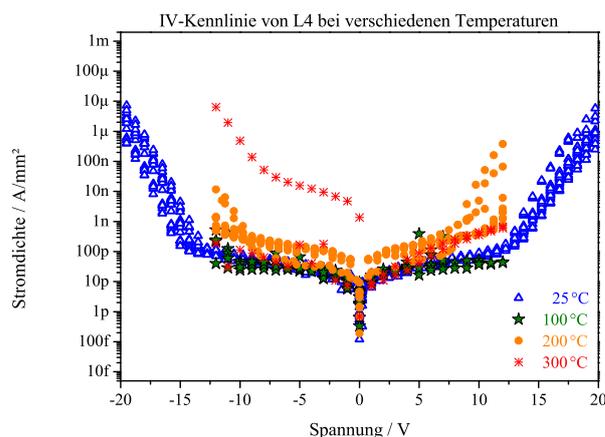


Abb. 5.6: IV-Kennlinie einer L4-Struktur bei unterschiedlichen Temperaturen (30 nm Al_2O_3 , 40 nm TiAlCN , 50 nm Ru)

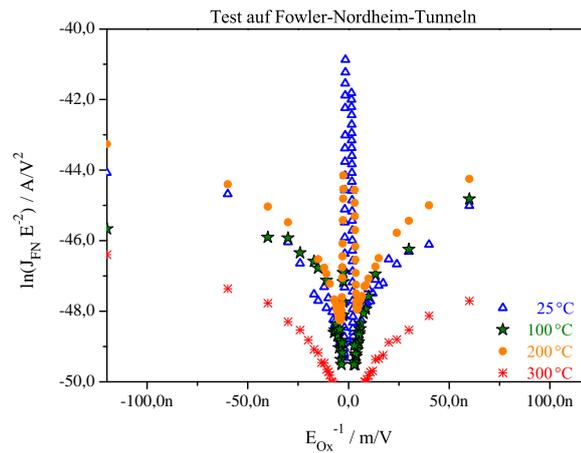


Abb. 5.7: Test auf Fowler-Nordheim-Tunneln (L4-Struktur, 30 nm Al_2O_3 , 40 nm TiAlCN, 50 nm Ru)

Für die Überprüfung hinsichtlich Schottky-Emission wurde der natürliche Logarithmus der Stromdichte ($\ln(J_{\text{SE}})$) gegen die Wurzel der elektrischen Feldstärke ($\sqrt{E_{\text{Ox}}}$) aufgetragen und für die Überprüfung hinsichtlich Poole-Frenkel-Emission der natürliche Logarithmus aus dem Quotienten aus Stromdichte und elektrischer Feldstärke ($\ln\left(\frac{J_{\text{PF}}}{E_{\text{Ox}}}\right)$). Die linearen Bereiche der Messkurven wurden jeweils durch Ausgleichsgerade angenähert (Abb. 5.8). Mit den Steigungen der Ausgleichsgeraden und den zur Geradengleichung umgestellten Berechnungen der Stromdichten J_{SE} (Gl. (2.22)) und J_{PF} (Gl. (2.24)), konnten die optischen Anteile der relativen Dielektrizitätskonstante ϵ_{op} ermittelt werden. Die jeweiligen Steigungen der

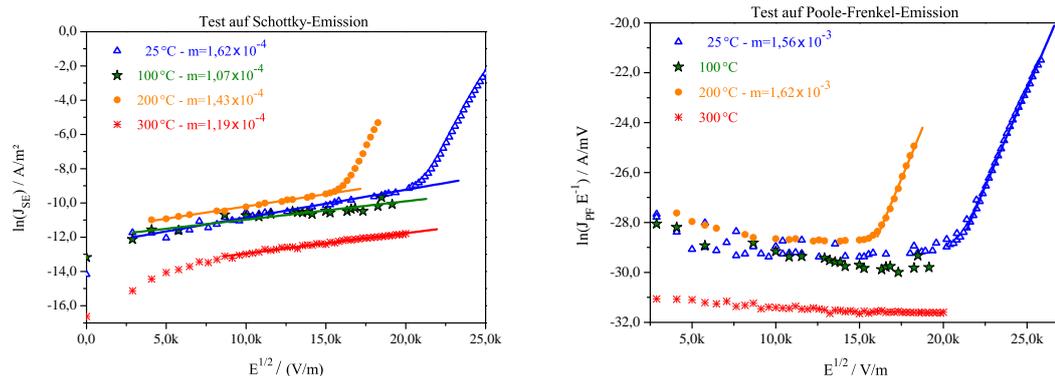


Abb. 5.8: Test auf Schottky- und Poole-Frenkel-Emission über den optischen Anteil der relativen Dielektrizitätskonstante (L4-Struktur, 30 nm Al_2O_3 , 40 nm TiAlCN, 50 nm Ru)

Tabelle 5.1: Berechneter optischer Anteil der relativen Dielektrizitätskonstante aus den gemessenen Leckstrom-Messwerten

Leckstrommechanismus	Temperatur	Steigung der Geraden	Berechnetes ϵ_{op}
Schottky-Emission	25 °C	$1,62 \times 10^{-4}$	83,2
	100 °C	$1,07 \times 10^{-4}$	121,7
	200 °C	$1,43 \times 10^{-4}$	42,4
	300 °C	$1,19 \times 10^{-4}$	41,7
Poole-Frenkel-Emission	25 °C	$1,56 \times 10^{-3}$	3,59
	200 °C	$1,62 \times 10^{-3}$	1,32

Ausgleichsgeraden und die daraus berechneten Werte für ϵ_{op} sind Tab. 5.1 zu entnehmen.

Der Brechungsindex von Al_2O_3 liegt im Bereich von 1,63-1,83 [123] [124], der theoretische Wert von ϵ_{op} beträgt somit 2,66 - 3,35. Die berechneten Werte aus der Gleichung für die Schottky-Emission entsprachen nicht den theoretischen Werten, sodass Schottky-Emission als dominanter Leckstrommechanismus ausgeschlossen werden konnte. Beim Anlegen einer höheren Feldstärke (≥ 400 MV/m), stimmten die mit der Poole-Frenkel-Emission berechneten Werte für ϵ_{op} relativ gut mit den theoretischen Werten überein, sodass in diesem Bereich die Poole-Frenkel-Emission der dominante Leckstrommechanismus war. Dieses Ergebnis passt zu Untersuchungen, bei denen Oxid-Haftstellen in high-k-Materialien als hauptverantwortlich für den Leckstrom detektiert wurden [31]. Dies bestätigte sich auch bei dem Auftragen des natürlichen Logarithmus der Stromdichte ($\ln(J_{PF})$) gegen den Kehrwert der Temperatur ($\frac{1}{T}$). Für die Messwerte bei einer elektrischen Feldstärke von 400 MV/m konnte ein annähernd linearer Verlauf ausgemacht werden (Abb. 5.9).

Im Bereich der unteren Feldstärken gab es keinen einzig dominanten Leckstrommechanismus, der Leckstrom setzte sich wahrscheinlich aus einer Kombination aus Fowler-Nordheim-Tunneln und Schottky-Emission zusammen. Ab einer anliegenden elektrischen Feldstärke von 400 MV/m, was im vorliegenden Fall einer Spannung von ca. 12 V entsprach, dominierte die Poole-Frenkel-Emission. Dieses Verhalten war bei allen gemessenen Temperaturen, soweit eine Beurteilung möglich war, identisch.

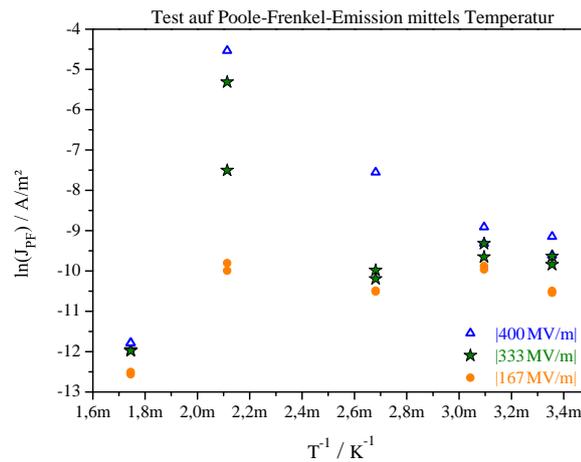


Abb. 5.9: Test auf Poole-Frenkel-Emission mittels Temperatur-Plot (L4-Struktur, 30 nm Al_2O_3 , 40 nm TiAlCN, 50 nm Ru)

5.5 Einfluss der Dotierstoffkonzentration auf Kapazitätsmessungen

Die ersten CV-Messungen zeigten, dass die gemessenen Kapazitäten auf einem Substrat mit einer Dotierung von $1,7 \times 10^{19} \text{ cm}^{-3}$ einen spannungsabhängigen Verlauf aufwiesen. Die theoretisch berechneten Werte (Oxid-Kapazität, Flachbandspannung, Fermi-niveau, Schwellenspannung, maximale Weite der Raumladungszone, minimale Kapazität der Raumladungszone, minimale Kapazität des MOS-Kondensators) einer Graben-Struktur G3 mit 30 nm Al_2O_3 als Dielektrikum und Ru-Gegenelektrode sind Tab. 5.2 zu entnehmen. Für die Austrittsarbeiten Φ_M und Φ_{Si} sind 4,71 eV (Ru) und 4,85 eV (Si) angenommen worden [119].

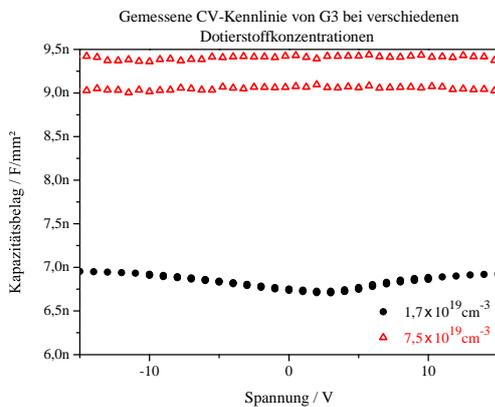
Um der Spannungsabhängigkeit entgegen zu wirken, wurden Substrate mit einer noch höheren Dotierung von ca. $7,5 \times 10^{19} \text{ cm}^{-3}$ verwendet. Die hierbei theoretisch zu erwartenden Werte sind ebenfalls Tab. 5.2 zu entnehmen.

Der Vergleich zwischen gemessenen CV-Kennlinien bei einer Dotierstoffkonzentration von $1,7 \times 10^{19} \text{ cm}^{-3}$ und einer von $7,5 \times 10^{19} \text{ cm}^{-3}$, ist in Abb. 5.10(a) zu sehen. Nebenstehend, in Abb. 5.10(b), ist zudem die annähernde theoretische CV-Kennlinie bei den zwei unterschiedlichen Dotierstoffkonzentrationen dargestellt. Bei den gemessenen Kurven ist zu sehen, dass bei der geringeren Dotierstoffkonzentration eine Spannungsabhängigkeit im Bereich von -15 V bis 15 V auftrat, bei der höheren jedoch kaum, was mit den theoretischen Überlegungen

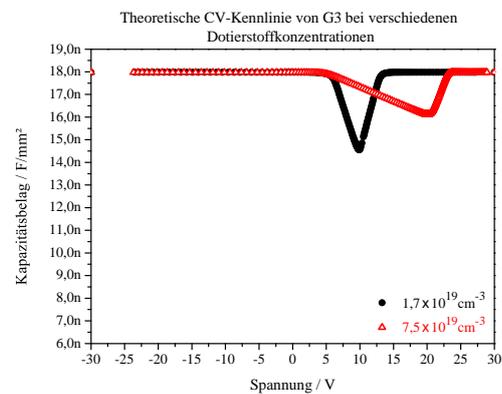
Tabelle 5.2: Theoretisch berechnete Werte bei einer Dotierstoffkonzentration von $1,7 \times 10^{19} \text{ cm}^{-3}$ und von $7,5 \times 10^{19} \text{ cm}^{-3}$ (G3-Struktur, 30 nm Al_2O_3 als Dielektrikum, Ru als Gegenelektrode)

Parameter	Gleichung zur Berechnung	$1,7 \times 10^{19} \text{ cm}^{-3}$	$7,5 \times 10^{19} \text{ cm}^{-3}$
C_{Ox}	(2.1)	17,98 nF	17,98 nF
U_{FB}	(2.5)	-0,14 V	-0,14 V
Φ_{F}	(2.7)	0,54 V	0,57 V
U_{th}	(2.6)	10,07 V	20,87 V
d_{RLZ}	(2.8)	8,91 nm	4,39 nm
C_{RLZ}	(2.9)	76,67 nF	155,60 nF
C_{min}	(2.10)	14,56 nF	16,12 nF

übereinstimmte. Dass die gemessenen Kapazitäten bei einer Dotierstoffkonzentration von $7,5 \times 10^{19} \text{ cm}^{-3}$ größer waren als bei einer Dotierstoffkonzentration von $1,7 \times 10^{19} \text{ cm}^{-3}$, ist zum einen durch Schwankungen in der Prozessierung zu erklären. Zum anderen ist es möglich, dass sich bei der niedrigen Dotierung über den gesamten Spannungsbereich eine Raumladungszone ausgedehnt hat, wodurch die Gesamtkapazität verringert wurde.



(a) Gemessene CV-Kennlinie



(b) Berechnete CV-Kennlinie

Abb. 5.10: Vergleich zwischen CV-Kennlinien mit Dotierstoffkonzentrationen von $1,7 \times 10^{19} \text{ cm}^{-3}$ und $7,5 \times 10^{19} \text{ cm}^{-3}$ (G3-Struktur, 30 nm Al_2O_3 , 40 nm TiAlCN, 50 nm Ru)

5.6 Temperatureinfluss auf die CV-Kennlinien

In Abb. 5.11 ist die CV-Kennlinie einer G3-Struktur mit 30 nm Al_2O_3 als Dielektrikum und einem Stapel aus TiAlCN und Ru als Gegenelektrode bei unterschiedlichen Temperaturen dargestellt. Die Unterbrechungen der 300 °C-Messkurven sind auf Messartefakte der LabVIEW-Steuerung zurückzuführen. Es ist zu sehen, dass die Kapazität der Kondensatoren tendenziell mit steigender Temperatur zunahm. Zum einen ist dies damit zu erklären, dass die Schicht der high-k-Dielektrika sich bei höheren Temperaturen verdichtet, die Dicke somit abnimmt und die Kapazität steigt (vgl. Kapitel 2.7). Zum anderen nimmt die relative Dielektrizitätskonstante mit steigender ionischer Suszeptibilität zu, die wiederum proportional zur Temperatur ist (vgl. Kapitel 2.2.1).

Die Spannungsabhängigkeiten von G3-Strukturen mit 30 nm Al_2O_3 als Dielektrikum auf einem Substrat mit einer Dotierung von $7,5 \times 10^{19} \text{ cm}^{-3}$ bei unterschiedlichen Temperaturen sind in Abb. 5.12 dargestellt. Für die CV-Messungen sind jeweils quadratische Ausgleichsfunktionen angepasst worden, um die Spannungskoeffizienten zu ermitteln (Gl. (2.11)). Die approximierten Werte für C_{0V} wichen lediglich um 2–4 % von den tatsächlich gemessenen Werten ab. Mit zunehmender Temperatur nahmen auch die Spannungskoeffizienten zu. Dies ist damit zu erklären, dass sich die Bänder bei höheren Temperaturen aufgrund der höheren Energien leichter absenken.

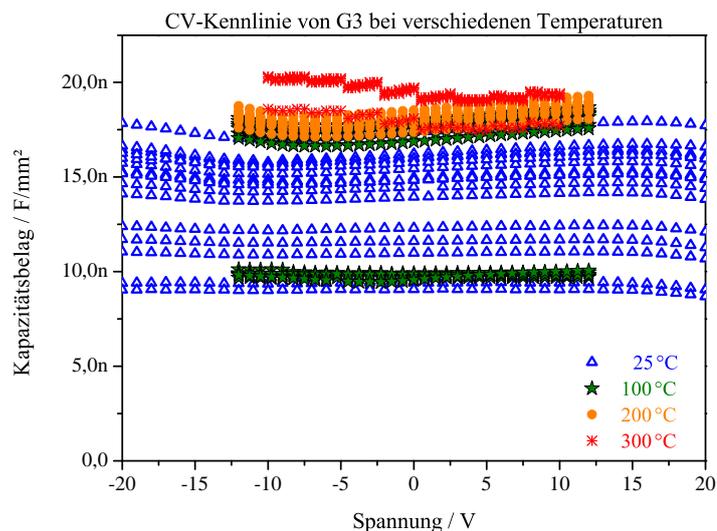


Abb. 5.11: CV-Kennlinien bei unterschiedlichen Temperaturen (G3-Struktur, 30 nm Al_2O_3 , 40 nm TiAlCN, 50 nm Ru)

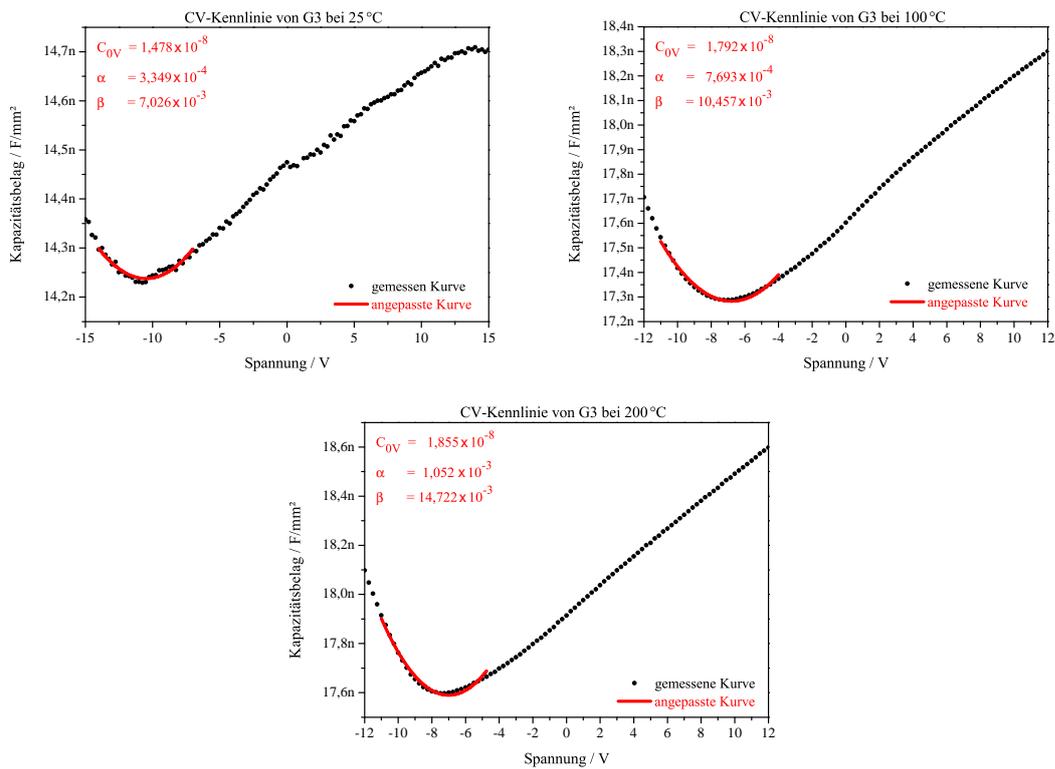


Abb. 5.12: Bestimmung der Spannungskoeffizienten bei unterschiedlichen Temperaturen (G3-Struktur, 30 nm Al₂O₃, 40 nm TiAlCN, 50 nm Ru)

5.7 Einfluss einer Kantenverrundung

An scharfen oder spitzen Kanten kann beim Anlegen einer elektrischen Spannung eine Felderhöhung stattfinden, welche das elektrische Verhalten eines Kondensators negativ beeinflussen kann. Beim Ätzen der Gräben und Löcher sind am unteren Ende der geätzten Strukturen nahezu rechtwinklige Kanten entstanden, die eine Felderhöhung, und somit einen schnelleren elektrischen Durchbruch, begünstigen konnten. Zudem war in den Gräben und Löchern das typische wellenförmige Profil (Scallops) des DRIE-Prozesses zu finden, welches ebenfalls spitze Kanten generierte.

Um die Kanten abzurunden, wurde nach dem Ätzen thermisches Oxid aufgewachsen und anschließend mit einem HF-Dip entfernt (vgl. Kapitel 4.6). Der Vergleich der IV- und der CV-Kennlinien einer Probe ohne Kantenverrundung und einer Probe mit Kantenverrundung ist in Abb. 5.13 zu sehen.

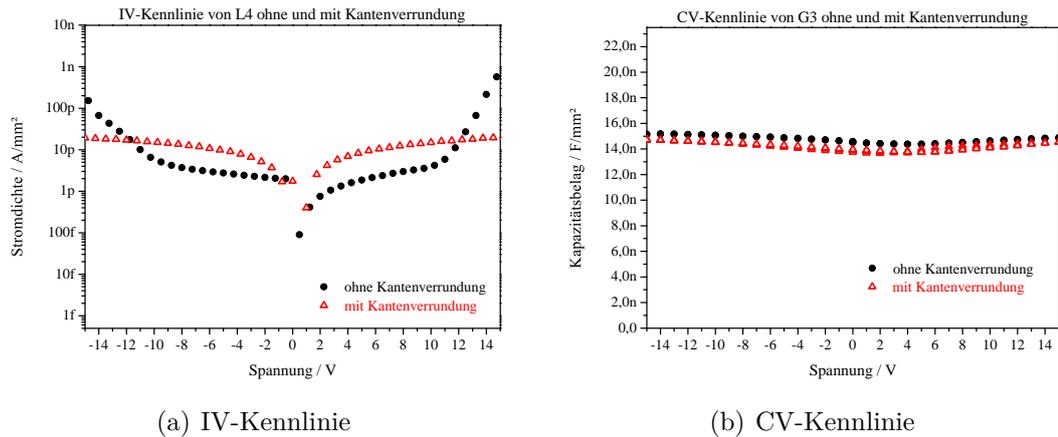


Abb. 5.13: Vergleich zwischen Strukturen ohne und mit Kantenverrundung (30 nm Al_2O_3 , 50 nm Ru)

Bei der Probe mit Kantenverrundung floss ein etwas höherer Leckstrom als bei der Probe ohne Kantenverrundung, was mit der Streuung zwischen verschiedenen Wafern erklärt werden kann. Das Durchbruchverhalten der Probe mit Kantenverrundung war hingegen sehr viel besser (Abb. 5.13(a)). Im angelegten Spannungsbereich von -15 V bis 15 V war kein Durchbruch auszumachen. Die Probe ohne Kantenverrundung hingegen zeigte bei ca. -10 V und bei ca. 10 V einen weichen Durchbruch. Die CV-Charakteristiken der beiden Proben unterschieden sich kaum voneinander (Abb. 5.13(b)).

Auch wenn der Leckstrom bei der Probe mit Kantenverrundung etwas höher war als bei der Probe ohne Kantenverrundung, war das Durchbruchverhalten deutlich besser, sodass nach Möglichkeit die Kantenverrundung mit in den Technologieprozess etabliert werden sollte.

5.8 Einfluss eines HF-Dips vor der Abscheidung des Dielektrikums

Da Verunreinigungen und ein natives Oxid auf dem Si unter Umständen die elektrische Charakteristik des Kondensators negativ beeinflussen konnten, wurde getestet, ob ein kurzer HF-Dip unmittelbar vor der Abscheidung des Dielektrikums einen positiven Effekt hatte. Die IV-Kennlinie zweier Proben, eine ohne und eine mit HF-Dip, ist in Abb. 5.14 zu sehen. Es ist zu erkennen, dass kaum ein Un-

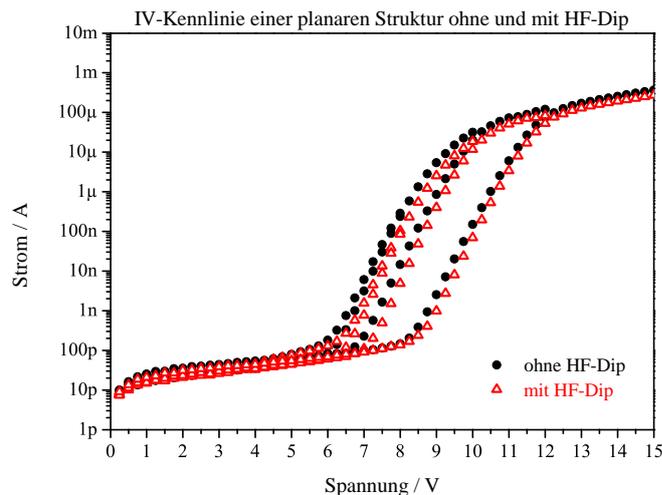


Abb. 5.14: IV-Kennlinie einer planaren Struktur ohne und mit HF-Dip (2 x 2 mm, 30 nm Al₂O₃, 1 μm AlSi)

terschied zwischen der Probe ohne HF-Dip und der Probe mit HF-Dip zu sehen ist. Auch die CV-Messung wurde durch einen HF-Dip kaum positiv beeinflusst, sodass dieser Schritt im Prozess nicht zwingend notwendig war. Wurde jedoch die Kantenverrundung durchgeführt, konnte darauf geachtet werden, dass das Entfernen des thermischen Oxids mittels HF-Dip unmittelbar vor dem Abscheiden des Dielektrikums durchgeführt wurde.

5.9 Variation verschiedener Dielektrika

Es wurden Kondensatoren mit insgesamt sechs unterschiedlichen Dielektrika gefertigt:

- 1) 30 nm Al₂O₃
- 2) 30 nm Ta₂O₅
- 3) 5 nm Al₂O₃ – 5 nm Ta₂O₅ – 5 nm Al₂O₃ – 5 nm Ta₂O₅ – 5 nm Al₂O₃
- 4) 10 nm Al₂O₃ – 10 nm ZrO₂ – 10 nm Al₂O₃
- 5) 5 nm Al₂O₃ – 20 nm ZrO₂ – 5 nm Al₂O₃
- 6) 30 nm ZrO₂

Zunächst wurden die Eigenschaften von reinem Al₂O₃ und reinem Ta₂O₅ als Dielektrika untersucht. Hierfür wurden planare Kondensatoren mit einer Fläche von 0,5 x 0,5 mm, mit jeweils 30 nm Al₂O₃ oder Ta₂O₅ als Dielektrikum und Ru als Gegenelektrode gefertigt. Es zeigte sich, dass die Kondensatoren mit Al₂O₃

als Dielektrikum im Vergleich zu den Kondensatoren mit Ta_2O_5 als Dielektrikum ein sehr viel besseres Leckstrom- und Durchbruchverhalten aufwiesen, jedoch einen deutlich geringeren Kapazitätsbelag besaßen (Abb. 5.15). Dies lässt sich mit der geringeren relativen Dielektrizitätskonstante und der größeren Bandlücke von Al_2O_3 im Gegensatz zu Ta_2O_5 erklären (vgl. Kapitel 2.2.1). Zudem beträgt der Band-Offset zwischen Ta_2O_5 und Si nur $0,35\text{ eV}$, wodurch es schlechter isoliert (vgl. Kapitel 2.2.4).

Der Leckstrom der Kondensatoren mit Ta_2O_5 als Dielektrikum war bereits bei 25°C größer als der Leckstrom der Kondensatoren mit Al_2O_3 bei einer Temperatur von 300°C . Diese Variante kam für die Trench-Kondensatoren nicht in Frage und somit wurde reines Ta_2O_5 als Dielektrikum in Kombination mit 3D-integrierten Kondensatoren nicht getestet.

Da ZrO_2 extern beschichtet werden musste, wurden die anderen Materialien bzw. Materialkombinationen als Dielektrika direkt anhand von 3D-integrierten Kondensatoren untersucht. Es wurden fünf Wafer gefertigt, die sich bei der Prozessierung lediglich in der Wahl des Dielektrikums unterschieden. Die Gesamtdicke des Dielektrikums war nahezu identisch und betrug ca. 30 nm . Die Gräben wurden auf eine Tiefe von $11,5\ \mu\text{m}$ geätzt und als Gegenelektrode wurden zunächst 40 nm TiAlCN abgeschieden und anschließend 50 nm Ru .

Die folgenden Messungen bei 25°C haben bestätigt, dass der Leckstrom mit zunehmender relativer Dielektrizitätskonstante, und damit abnehmender Bandlücke, gestiegen und die Durchbruchspannung gesunken ist (Abb. 5.16(a)). Der

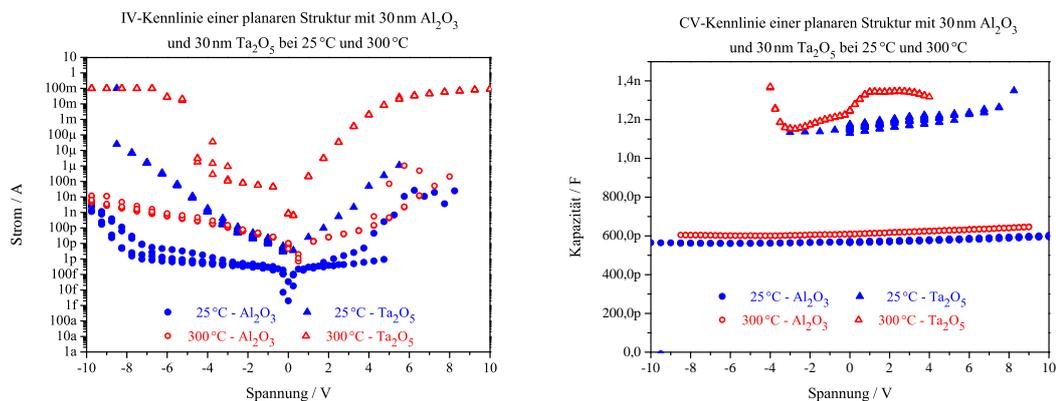


Abb. 5.15: Vergleich zwischen 30 nm Al_2O_3 und 30 nm Ta_2O_5 als Dielektrikum bei einer planaren Struktur ($0,5 \times 0,5\text{ mm}$) bei 25 und 300°C

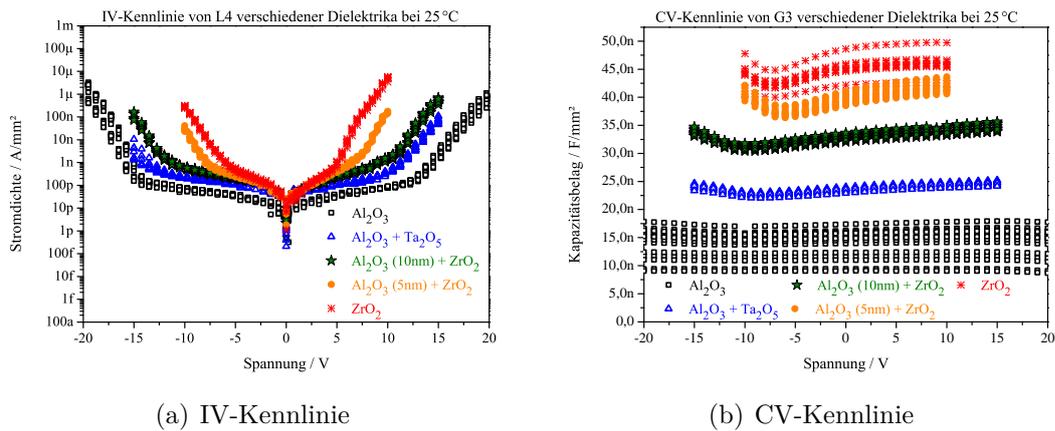


Abb. 5.16: Vergleich zwischen Kondensatoren mit unterschiedlichen Dielektrika

Leckstrom war bei den Kondensatoren mit Al_2O_3 am geringsten und bei den mit ZrO_2 am größten. Bei den Kondensatoren mit reinem ZrO_2 als Dielektrikum, also ohne Barriere aus Al_2O_3 , kam der hohe Leckstrom zusätzlich dadurch zustande, dass im ZrO_2 viele Sauerstoffleerstellen vorhanden sind [125] und sich am Interface zum Si offene Bindungen befinden [120]. Dies kommt aufgrund der höheren Elektronegativität des Si (im Gegensatz zum ZrO_2) zustande, wodurch sich der Sauerstoff aus dem ZrO_2 leicht lösen kann, um eine Verbindung mit dem Si einzugehen. Zurück bleibt eine nicht abgesättigte Bindung, die als Haftstelle den Leckstrom begünstigt. Die Barriere aus Al_2O_3 hält die Ladungsträger von den Haftstellen fern, sodass der Leckstrom bei einer Kombination aus ZrO_2 und Al_2O_3 geringer ausfällt. Zudem ist aus der Literatur bekannt, dass Al_2O_3 den Strom aus Löchern unterdrücken kann [126]. Schichtstapel aus verschiedenen

Tabelle 5.3: Parameter von Kondensatoren mit verschiedenen Dielektrika

Dielektrikum	Leckstrom bei 5 V	weiche Durchbruchspannung (pos. / neg.)	Kapazitätsbelag
Al_2O_3	30 pA	13 V / -14,5 V	13 nF
Al_2O_3 und Ta_2O_5	100 pA	9,7 V / -12,7 V	23 nF
Al_2O_3 (10 nm) und ZrO_2	200 pA	10,7 V / -11,6 V	33 nF
Al_2O_3 (5 nm) und ZrO_2	300 pA	7,1 V / -7,8 V	40 nF
ZrO_2	900 pA	5 V / -5,5 V	45 nF

Materialien haben außerdem den Vorteil, dass die Strompfade, die sich über die Korngrenzen ausbreiten, geblockt werden [10].

Auf der anderen Seite ist der Kapazitätsbelag mit zunehmender relativen Dielektrizitätskonstante angestiegen, sodass er bei der Probe mit reinem ZrO_2 am größten war (Abb. 5.16(b)). Der Leckstrom bei 5 V, die Spannung, bei der es zu einem weichen Durchbruch gekommen ist, und der Kapazitätsbelag der Kondensatoren mit verschiedenen Dielektrika sind Tab. 5.3 zu entnehmen.

5.10 Variation verschiedener Gegenelektroden

Für die Gegenelektrode kamen zwei Material-Varianten in Frage: reines Ru, wobei dieses mit einem glatten Interface abgeschieden werden musste (vgl. Kapitel 4.8.2), oder ein Stapel aus TiAlCN und Ru. In Abb. 5.17 sind die IV-Kennlinien von Kurzläufer-Strukturen mit 50 nm Ru oder 80 nm TiAlCN bei 25 °C und bei 300 °C zu sehen. Die Messkurven bei 300 °C wurden nur bis 15 V (Ru) bzw. bis 10 V (TiAlCN) aufgenommen. Das Ru in dem Stapel aus TiAlCN und Ru diente als Ätzstopp für das gleichzeitige Öffnen der Kontakte beim vollständigen Prozessablauf, sodass bei den Kurzläufer-Strukturen darauf verzichtet wurde. Als

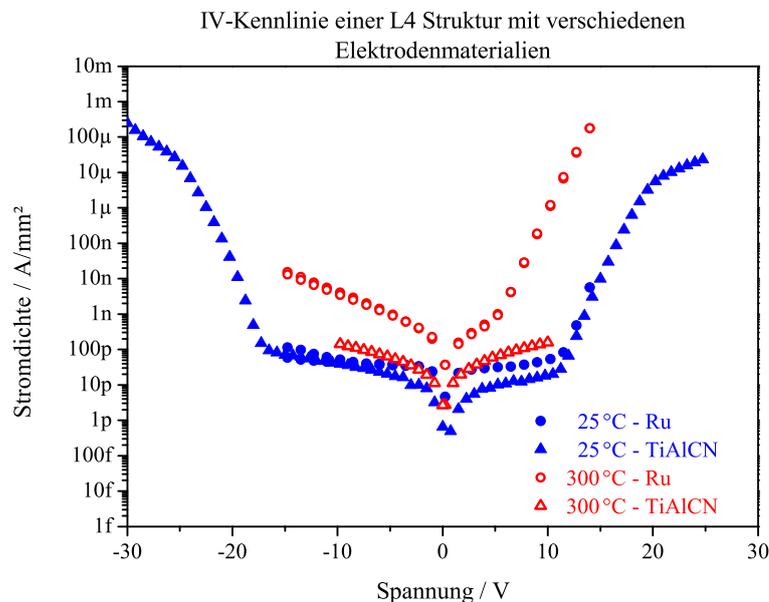


Abb. 5.17: IV-Kennlinie verschiedener Elektrodenmaterialien bei unterschiedlichen Temperaturen (L4-Struktur, 30 nm Al_2O_3)

Dielektrikum wurde in beiden Fällen 30 nm Al_2O_3 verwendet und bei den vermessenen Kondensatoren handelte es sich um L4-Strukturen.

Es ist zu sehen, dass der Leckstrom der Probe mit TiAlCN aufgrund der Barriere-Eigenschaft (vgl. Kapitel 2.5.7) geringer war als der Leckstrom der Probe mit Ru als Elektrodenmaterial. Der Unterschied ist besonders bei der Messung bei 300 °C sichtbar. Der Leckstrom der TiAlCN-Probe war um eine ganze Größenordnung geringer als der Leckstrom der Ru-Probe.

5.11 Einfluss von Temperungen

Es wurde der Einfluss von drei verschiedenen Temperungen bei 400 °C, um die CMOS-Kompatibilität zu wahren, auf das elektrische Verhalten des Kondensators untersucht: Der Einfluss einer Temperung in O_3 -Atmosphäre für 7 min zwischen der Abscheidung des Dielektrikums und der Abscheidung der Gegenelektrode, der Einfluss einer Temperung in N_2 -Atmosphäre für 2 h nachdem die Kondensatoren strukturiert wurden und der Einfluss einer Temperung in Formiergas für 30 min, ebenfalls nachdem die ALD-Schichten strukturiert und die Kondensatoren separiert wurden.

Die Temperung in einer O_3 -Atmosphäre erfolgte an planaren Kondensatoren (0,5 x 0,5 mm), nachdem 30 nm Ta_2O_5 als Dielektrikum deponiert und bevor Ru als Gegenelektrode abgeschieden wurde. Die Temperung erfolgte, ebenso wie die Abscheidungen, in der ALD-Anlage. Der Leckstrom der getemperten Probe war etwas geringer als der Leckstrom der Probe ohne O_3 -Temperung (Abb. 5.18), der

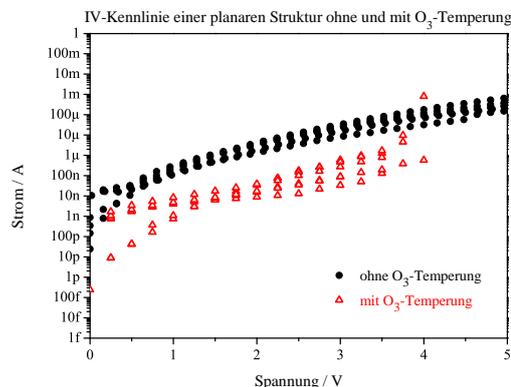


Abb. 5.18: IV-Kennlinie einer planaren Struktur ohne und mit O_3 -Temperung (0,5 x 0,5 mm, 30 nm Ta_2O_5 , 50 nm Ru)

Kapazitätsbelag der getemperten Probe hat jedoch so gestreut, dass ein direkter Vergleich zwischen ungetempertem und getempertem Probe nicht möglich war. Dass der Leckstrom verringert wurde lag an den O-Atomen, welche Sauerstoff-Leerstellen im Ta_2O_5 -Gitter aufgefüllt und offene Bindungen abgesättigt haben.

In Abb. 5.19 sind die IV- und CV-Kennlinien von Proben ohne und mit der Temperung in N_2 -Atmosphäre verglichen. Für die Untersuchungen wurden planare Strukturen mit der Größe von $0,5 \times 0,5 \text{ mm}$ mit reinem Al_2O_3 als Dielektrikum verwendet. Der Leckstrom der getemperten Probe war um ca. eine Größenordnung geringer und die Kapazität nahm um ca. 35 % zu. Die Verbesserung der elektrischen Eigenschaften ist damit zu erklären, dass es durch den Temperatureinfluss zu einer Neuarrangierung der Bindungen kommt und somit Leerstellen gefüllt und zuvor offene Bindungen abgesättigt werden (vgl. Kapitel 2.2.2 und Kapitel 2.7). Da es sich bei dem hier untersuchten Dielektrikum zudem um Al_2O_3 handelte, konnten die offenen Bindungen durch dissoziierte OH-Gruppen abgesättigt werden.

Die Untersuchung der Temperung in Formiergas wurde an Kurzläufern der 3D-integrierten Kondensatoren mit $30 \text{ nm Al}_2\text{O}_3$ als Dielektrikum und Ru als Gegenelektrode durchgeführt. Durch die Temperung konnte der Leckstrom reduziert werden, allerdings nahm auch der Kapazitätsbelag der getemperten Strukturen ab (Abb. 5.20). Das H_2 im Formiergas hat die Oxid-Haftstellen gefüllt (vgl. Kapitel 2.7), durch den Einbau von Fremdatomen in das Al_2O_3 -Gitter wurde dann jedoch die relative Dielektrizitätskonstante ϵ_r herabgesetzt, wodurch der Kapazitätsbelag reduziert wurde.

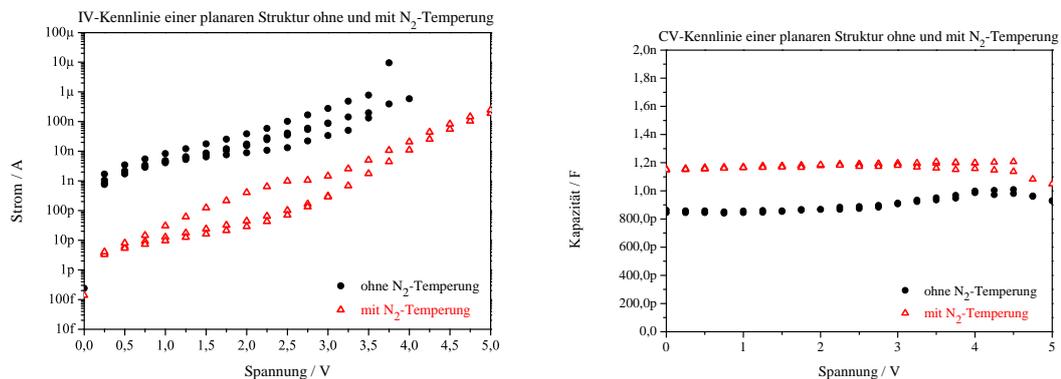


Abb. 5.19: Vergleich einer planaren Struktur ohne und mit N_2 -Temperung ($0,5 \times 0,5 \text{ mm}$, $30 \text{ nm Al}_2\text{O}_3$, 50 nm Ru)

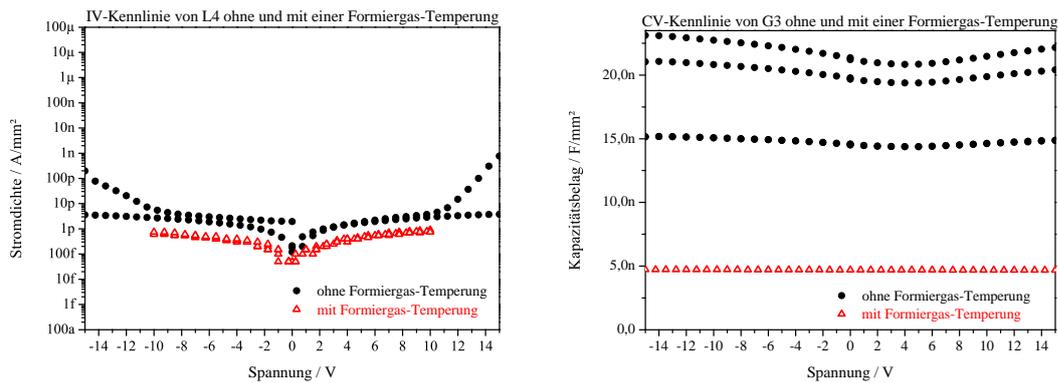


Abb. 5.20: Vergleich zwischen Kondensatoren ohne und mit Formiergas-Temperung (30 nm Al₂O₃, 50 nm Ru)

Die Messungen haben gezeigt, dass eine Temperung in N₂-Atmosphäre für 2 h bei 400 °C sinnvoll ist, da sowohl der Leckstrom, als auch der Kapazitätsbelag verbessert wurden. Eine Temperung in O₃-Atmosphäre verbesserte den Leckstrom, bei den hier verwendeten sehr dünnen Schichten bestand bei Kontakt mit Sauerstoff jedoch das Risiko, dass das Interface zum Si oxidieren würde, wodurch sich eine Interface-Schicht aus SiO₂ bilden konnte, die als in Reihe geschaltete Kapazität wirken und den Kapazitätsbelag herabsetzen würde (vgl. Kapitel 2.7). Auch eine Temperung in Formiergas zeigte keinen positiven Einfluss auf den Kapazitätsbelag, sodass sowohl die Temperung in O₃-, als auch die Temperung in Formiergas-Atmosphäre für diesen Prozess als nicht hilfreich zu erachten waren.

Kapitel 6

Zusammenfassung

Im Rahmen dieser Arbeit wurde ein Hochtemperatur-Trench-Kondensator für den Einsatz bei Umgebungstemperaturen von bis zu 300 °C entwickelt. Durch eine 3D-Integration, durch neuartige Materialkombinationen und durch verschiedene zusätzliche Prozessanpassungen, konnte ein großer Kapazitätsbelag, bei gleichzeitig geringem Leckstrom und hoher Durchbruchspannung, realisiert werden. Die 3D-Integration erfolgte mittels DRIE-Prozess und die verschiedenen Materialien wurden aufgrund des hohen Aspekt-Verhältnisses mit dem ALD-Verfahren abgeschieden. Zudem konnte die Herstellung CMOS-kompatibel durchgeführt werden, um einen Post-CMOS-Prozess zu realisieren.

Es wurde der gesamte Prozessablauf, sowie jeder einzelne Prozess-Schritt, entwickelt und optimiert. Die elektrische Charakterisierung der Kondensatoren erfolgte anhand von IV- und CV-Messungen, jeweils bei Temperaturen zwischen 25 und 300 °C.

Mit CV-Messungen wurde der Einfluss der Dotierstoffkonzentration des Substrats auf den Kapazitätsbelag untersucht. Es stellte sich heraus, dass die zunächst verwendeten Substrate zu schwach dotiert waren, um einen spannungsabhängigen Kapazitätsverlauf zu vermeiden. Substrate mit einem Widerstand von weniger als 0,001 Ωcm zeigten im Bereich von -15 bis 15 V kaum noch eine Spannungsabhängigkeit. Der quadratische Spannungskoeffizient lag zwischen $3,349 \times 10^{-4}$ (25 °C) und $1,052 \times 10^{-3}$ (200 °C).

Der DRIE-Prozess wurde so optimiert, dass bei Gräben ein Aspekt-Verhältnis von bis zu 25:1 und bei Löchern in Aspekt-Verhältnis von bis zu 18:1 erzielt werden konnte. Hierbei diente das Isolationsoxid gleichzeitig als Hartmaske. Das

Öffnen der Hartmaske und der DRIE-Prozess an sich wurden so aufeinander abgestimmt, dass auch nach dem Ätzen die gewünschte Schichtdicke des Isolationsoxids stehen geblieben ist. Ein zusätzlicher Oxidations- und ein zusätzlicher Ätzschritt rundeten die durch den DRIE-Prozess entstandenen Kanten ab, wodurch das elektrische Verhalten der Kondensatoren verbessert werden konnte. Bei geeignetem Timing, konnte der Ätzschritt des Kantenverrundens gleichzeitig das Si von nativem Oxid befreien, sodass die Dielektrika kontrollierter auf dem Si aufwachsen konnten.

Für die Wahl des geeigneten Dielektrikums wurden verschiedene high-k-Materialien, separat oder in Kombination als Stapel, getestet. Die high-k-Materialien mit sehr hoher relativen Dielektrizitätskonstante (Ta_2O_5 und ZrO_2) konnten nicht separat abgeschieden werden, da der Leckstrom sehr hoch und die Durchbruchspannung sehr niedrig waren. Am besten geeignet war eine Kombination aus entweder $2 \times 10 \text{ nm Al}_2\text{O}_3$ mit ZrO_2 , oder ein Stapel aus alternierend $5 \text{ nm Al}_2\text{O}_3$ und $5 \text{ nm Ta}_2\text{O}_5$.

Als Elektrodenmaterial standen TiN, TiAlCN und Ru zur Auswahl. Der Ru-Abscheidungsprozess wurde optimiert, sodass ein glattes Interface zum darunterliegenden Dielektrikum erreicht wurde. Bezüglich des Leckstromverhaltens hat sich eine Barriere aus TiAlCN als hilfreich erwiesen, das Ru wurde dennoch als Ätzstopp für das spätere Öffnen der Kontakte benötigt.

Um die elektrischen Eigenschaften weiter zu verbessern, wurden Temperungen in O_3 -, H_2 - und N_2 -Atmosphäre bei CMOS-kompatiblen Temperaturen durchgeführt. Die Temperung in N_2 hat eine deutliche Reduzierung des Leckstroms um eine Größenordnung bewirkt, sodass sie in den Prozessablauf etabliert wurde.

Die Charakterisierung des Leckstroms bei unterschiedlichen Temperaturen ergab, dass im unteren Feldstärken-Bereich ($< 400 \text{ MV/m}$) kein Leckstrommechanismus dominierte und eine Kombination aus dem Fowler-Nordheim-Tunneln und der Schottky-Emission vorlag. Bei größeren Feldstärken dominierte die Poole-Frenkel-Emission.

Der Leckstrom einer L4-Struktur (Löcher-Struktur mit einem Radius von $1 \mu\text{m}$ und einem Pitch von $5 \mu\text{m}$), mit einem Aspekt-Verhältnis von $9:1$, als Dielektrikum ein Stapel aus alternierend $5 \text{ nm Al}_2\text{O}_3$ und $5 \text{ nm Ta}_2\text{O}_5$ (Schichtdicke insgesamt: 25 nm), mit 40 nm TiAlCN und 50 nm Ru als Gegenelektrode, betrug bei 5 V und 25°C 80 pA/mm^2 . Wurde die Temperatur auf 300°C erhöht, betrug er

3 nA/mm². Die Spannung, bei der ein weicher Durchbruch stattgefunden hatte, lag bei 11 V (25 °C) bzw. bei 8,5 V (300 °C).

Der Kapazitätsbelag einer G3-Struktur (Graben-Struktur mit einer Breite von 1 μm und einem Pitch von 2 μm), mit einem Aspekt-Verhältnis von 12 : 1, als Dielektrikum einen Stapel aus alternierend 5 nm Al₂O₃ und 5 nm Ta₂O₅ (Schichtdicke insgesamt: 25 nm), mit 40 nm TiAlCN und 50 nm Ru als Gegenelektrode, betrug bei 25 °C 24 nF/mm² und bei 300 °C 28 nF/mm².

Kapitel 7

Diskussion und Ausblick

Wird der hier vorgestellte Kondensator mit den Anforderungen laut Roadmap an MIM-Kondensatoren im Jahr 2021 verglichen (vgl. Kapitel 3.2), sind die erzielten Ergebnisse sehr gut. Der Kapazitätsbelag liegt mit 24 nF/mm^2 über den geforderten 12 nF/mm^2 und der Leckstrom liegt mit 80 pA/mm^2 unter den geforderten 100 pA/mm^2 . Der Spannungskoeffizient liegt mit 335 ppm/V^2 über den geforderten 100 ppm/V^2 , jedoch handelt es sich hierbei nicht um einen MIM-Kondensator im klassischen Sinne. Zudem wurde der Spannungskoeffizient über den gesamten Spannungsbereich ermittelt. Soll der Kondensator nicht über den gesamten Bereich betrieben werden, ist die Spannungsabhängigkeit des Kapazitätsbelages um einiges geringer.

Im Vergleich zu den in der Vergangenheit vorgestellten Kondensatoren, sind die erzielten Ergebnisse ebenfalls sehr gut. Die in der Literatur vorgestellten Kondensatoren mit einem ähnlich hohen Kapazitätsbelag wiesen größtenteils einen höheren Leckstrom auf (z. B. [11] [98] [99]), oder waren nicht für den Betrieb bei Temperaturen von bis zu 300°C ausgelegt (z. B. [104]). Auch die Spannungsabhängigkeit dieses Kondensators ist in den meisten Fällen besser als bei den zuvor vorgestellten MIM-Kondensatoren (z. B. [14] [35] [91]).

Ein besonders großer Vorteil dieses entwickelten Hochtemperatur-Trench-Kondensators ist der einfache Herstellungsprozess, im Vergleich zu den Kondensatoren, die z. B. in [36] oder in [75] vorgestellt wurden. Dadurch, dass die Anzahl an verwendeten Lithografie-Ebenen so gering wie möglich gehalten wurde, ist die Produktion vergleichsweise günstig. Zudem sind die einzelnen Prozess-Schritte so gewählt, dass sehr leicht Modifikationen durchgeführt werden können, ohne

dass der gesamte Prozessablauf umgestellt werden muss. Auf diese Weise können die einzelnen elektrischen Parameter der Kondensatoren individuell angepasst werden. Das Dielektrikum kann einfach gegen ein anderes ALD-Material ausgetauscht werden, da der Ätzschritt zur Strukturierung der Kondensatoren rein physikalisch, also nicht selektiv, gewählt ist (vgl. Kapitel 4.9). Auch kann das Aspekt-Verhältnis der geätzten Strukturen, je nach Anforderung, auf bis zu 25 : 1 erhöht werden.

Bevor die Kondensatoren in Schaltungen verbaut werden können, müssen noch weitere Tests mit ihnen durchgeführt werden. Es muss ein Überblick über ihre Ausfallwahrscheinlichkeiten erlangt werden. Dies kann einerseits mit Langzeitmessungen geschehen, auf der anderen Seite können sie z. B. durch Temperaturzyklen gestresst werden.

Die Ergebnisse in Kombination mit ZrO_2 sahen sehr vielversprechend aus, sodass überlegt werden sollte, diesen Prozess auch auf der eigenen ALD-Anlage zu installieren. Hierfür müsste, neben der Materialanschaffung, der Prozess entweder eingekauft, oder selber entwickelt werden.

Auch die Aufbau- und Verbindungstechnik sollte in Kombination mit den Kondensatoren getestet werden. Hierfür müssten temperaturfeste Bumps galvanisch aufgebracht werden. Anschließend könnten die Kondensatoren über Flip-Chip-Bonden in ein Keramikgehäuse gebondet werden.

Anhang A

Anhang

A.1 Kondensatorvarianten

Tabelle A.1: Gräben (G), verbundene Gräben (VG) und konzentrische Ringe (KR)

Breite	Pitch	Gräben	Verbundene Gräben	Konzentrische Ringe
0,8 μm	1,8 μm	G1	VG5, VG9	KR
0,8 μm	2,8 μm	G2	VG6	
0,8 μm	3,8 μm	G12	VG7	
0,8 μm	4,8 μm	G13	VG8	
1,0 μm	2,0 μm	G3, G7	VG10	
1,0 μm	3,0 μm	G4	VG11	
1,0 μm	4,0 μm	G5	VG12	
1,0 μm	5,0 μm	G6	VG13	
1,2 μm	2,2 μm	G8	VG1	
1,2 μm	3,2 μm	G9	VG2	
1,2 μm	4,2 μm	G10	VG3	
1,2 μm	5,2 μm	G11	VG4	

Tabelle A.2: Löcher im 90° Winkel (L), im 60° Winkel (L60) und in asymmetrischer Anordnung (LA)

Durchmesser	Pitch	90° Löcher	60° Löcher	Asym. Löcher
0,8 μm	1,8 μm	L1		
0,8 μm	2,8 μm	L2		
0,8 μm	3,8 μm	L3		
0,8 μm	4,8 μm	L5		
1,0 μm	2,0 μm	L8	L60	LA
1,0 μm	3,0 μm	L7		
1,0 μm	4,0 μm	L6		
1,0 μm	5,0 μm	L4		
1,2 μm	2,2 μm	L9		
1,2 μm	3,2 μm	L10		
1,2 μm	4,2 μm	L11		
1,2 μm	5,2 μm	L12		

Tabelle A.3: Kleeblattstrukturen (KB), zusammengesetzt aus 4 Kreisen

Durchmesser der vier Kreise	Pitch	Kleeblattstruktur
0,5 μm	2,7 μm	KB1
0,5 μm	3,7 μm	KB3
0,6 μm	3,0 μm	KB2

Literaturverzeichnis

- [1] JOHARI, H. ; AYAZI, F.: High-Density Embedded Deep Trench Capacitors in Silicon With Enhanced Breakdown Voltage. In: *IEEE Transactions on Components and Packaging Technologies* 32 (2009), Nr. 4, 808-815. <http://dx.doi.org/10.1109/tcapt.2009.2024210>. – DOI 10.1109/tcapt.2009.2024210. – ISSN 1521-3331
- [2] ROOZEBOOM, F. ; DEKKERS, W. ; LAMY, Y. ; KLOOTWIJK, J. H. ; GRUNSVEN, E. van ; KIM, H. D.: System-in-package integration of passives using 3D through-silicon vias. In: *Solid State Technology* 51 (2008), Nr. 5, S. 38-47. – ISSN 0038-111X
- [3] STINY, L.: *Passive elektronische Bauelemente - Aufbau, Funktion, Eigenschaften, Dimensionierung und Anwendung*. Springer Vieweg, 2015
- [4] ROBERTSON, J.: High dielectric constant gate oxides for metal oxide Si transistors. In: *Reports on Progress in Physics* 69 (2006), Nr. 2, S. 327-396. <http://dx.doi.org/10.1088/0034-4885/69/2/r02>. – DOI 10.1088/0034-4885/69/2/r02. – ISSN 0034-4885
- [5] LEE, S. H. ; KIM, H. K. ; KANG, M. G. ; KANG, C. Y. ; LEE, S. G. ; LEE, Y. H. ; YOON, J. R.: Development and Electrical Properties of $(\text{Ca}_{0,7}\text{Sr}_{0,3})(\text{Zr}_{0,8}\text{Ti}_{0,2})\text{O}_3$ Thin Film Applied to Embedded Decoupling Capacitors. In: *IEEE Electron Device Letters* 35 (2014), Nr. 7, 777-779. <http://dx.doi.org/10.1109/led.2014.2320295>. – DOI 10.1109/led.2014.2320295. – ISSN 0741-3106
- [6] STAUFFER, L.: Fundamentals of Semiconductor C-V Measurements. In: *EE-Evaluation Engineering* 47 (2008), Nr. 12, S. 20-23. – ISSN 0149-0370

- [7] ZAUNERT, F.: *Simulation und vergleichende elektrische Bewertung von planaren und 3D-MOS-Strukturen mit high-k Gate Dielektrika*, Technische Universität Darmstadt, Fachbereich Elektrotechnik und Informationstechnik, Diss., 23. November 2009
- [8] BIBA, J.: *Herstellung und Charakterisierung von high-k Metal-Gate CMOS Transistoren*, Fakultät für Elektrotechnik und Informationstechnik der Universität der Bundeswehr München, Diss., 2012
- [9] *MOS-Capacitance versus VGB*. http://kevinfronczak.com/documents/Interview_Questions/interview_mos_cap.png. – Opened on September 14th, 2016
- [10] PARK, I. S. ; RYU, K. M. ; JEONG, J. ; AHN, J.: Dielectric Stacking Effect of Al₂O₃ and HfO₂ in Metal-Insulator-Metal Capacitor. In: *IEEE Electron Device Letters* 34 (2013), Nr. 1, 120-122. <http://dx.doi.org/10.1109/led.2012.2228162>. – DOI 10.1109/led.2012.2228162. – ISSN 0741–3106
- [11] YU, X. F. ; ZHU, C. X. ; HU, H. ; CHIN, A. ; LI, M. F. ; CHO, B. J. ; KWONG, D. L. ; FOO, P. D. ; YU, M. B.: A High-Density MIM Capacitor (13 fF/μm²) Using ALD HfO₂ Dielectrics. In: *IEEE Electron Device Letters* 24 (2003), Nr. 2, 63-65. <http://dx.doi.org/10.1109/led.2002.808159>. – DOI 10.1109/led.2002.808159. – ISSN 0741–3106
- [12] HU, H. ; ZHU, C. ; LU, Y. F. ; LI, M. F. ; CHO, B. J. ; CHOI, W. K.: A High Performance MIM Capacitor Using HfO₂ Dielectrics. In: *IEEE Electron Device Letters* 23 (2002), Nr. 9, 514-516. <http://dx.doi.org/10.1109/led.2002.802602>. – DOI 10.1109/led.2002.802602. – ISSN 0741–3106
- [13] BECU, S. ; CREMER, S. ; AUTRAN, J. L.: Capacitance non-linearity study in Al₂O₃ MIM capacitors using an ionic polarization model. In: *Microelectronic Engineering* 83 (2006), Nr. 11-12, 2422-2426. <http://dx.doi.org/10.1016/j.mee.2006.10.049>. – DOI 10.1016/j.mee.2006.10.049. – ISSN 0167–9317
- [14] KIM, S. J. ; CHO, B. J. ; LI, M. F. ; YU, X. F. ; ZHU, C. X. ; CHIN, A. ; KWONG, D. L.: PVD HfO₂ for High-Precision MIM Capacitor Applications. In: *IEEE Electron Device Letters* 24 (2003), Nr. 6, 387-389. <http://dx.doi.org/10.1109/led.2003.1192812>. – DOI 10.1109/led.2003.1192812. – ISSN 0741–3106

- doi.org/10.1109/led.2003.813381. – DOI 10.1109/led.2003.813381. – ISSN 0741–3106
- [15] In: BÖGE, W. (Hrsg.) ; PLASSMANN, W. (Hrsg.): *Dielektrische Eigenschaften*. Wiesbaden : Vieweg+Teubner, 2007. – ISBN 978–3–8348–9217–1, 245-248
- [16] ROBERTSON, J.: High dielectric constant oxides. In: *European Physical Journal-Applied Physics* 28 (2004), Nr. 3, 265-291. <http://dx.doi.org/10.1051/epjap:2004206>. – DOI 10.1051/epjap:2004206. – ISSN 1286–0042
- [17] DING, S. J. ; XU, J. ; HUANG, Y. ; SUN, Q. Q. ; ZHANG, D. W. ; LI, M. F.: Electrical characteristics and conduction mechanisms of metal-insulator-metal capacitors with nanolaminated Al₂O₃-HfO₂ dielectrics. In: *Applied Physics Letters* 93 (2008), Nr. 9, 3. <http://dx.doi.org/10.1063/1.2969399>. – DOI 10.1063/1.2969399. – ISSN 0003–6951
- [18] WEINREICH, W.: *Herstellung und Charakterisierung ultradünner ZrO₂-basierter Schichten als Isolatoren in Metall-Isolator-Metall Kondensatoren*, Friedrich-Alexander-Universität Erlangen Nürnberg, Diss., 2013
- [19] AALTONEN, T.: *Atomic Layer Deposition of Noble Metal Thin Films*, University of Helsinki Finland, Diss., 2005
- [20] SUH, D. ; CHOI, D. Y. ; WEBER, K. J.: Al₂O₃/TiO₂ stack layers for effective surface passivation of crystalline silicon. In: *Journal of Applied Physics* 114 (2013), Nr. 15, 8. <http://dx.doi.org/10.1063/1.4825258>. – DOI 10.1063/1.4825258. – ISSN 0021–8979
- [21] JAIN, P. ; RYMASZEWSKI, E. J.: Embedded Thin Film capacitors - Theoretical Limits. In: *IEEE Transactions on Advanced Packaging* 25 (2002), Nr. 3, S. 454–458. <http://dx.doi.org/10.1109/tadvp.2002.806800>. – DOI 10.1109/tadvp.2002.806800. – ISSN 1521–3323
- [22] KIM, J. B. ; KWON, D. R. ; CHAKRABARTI, K. ; LEE, C. ; OH, K. Y. ; LEE, J. H.: Improvement in Al₂O₃ dielectric behavior by using ozone as an oxidant for the atomic layer deposition technique. In: *Journal of Applied*

- Physics* 92 (2002), Nr. 11, 6739-6742. <http://dx.doi.org/10.1063/1.1515951>. – DOI 10.1063/1.1515951. – ISSN 0021–8979
- [23] WEN-JIE, Q. ; RENEE, N. ; BYOUNG HUN, L. ; LAEGU, K. ; YONGJOO, J. ; ONISHI, K. ; NGAI, T. ; BANERJEE, S. ; LEE, J. C.: MOSCAP and MOSFET characteristics using ZrO₂ gate dielectric deposited directly on Si. In: *International Electron Devices Meeting 1999. Technical Digest, IEEE*, Dec. 1999. – ISBN 0–7803–5410–9, 145-148
- [24] SUGURO, K. ; IMAI, K. ; KOYAMA, M. ; YAMADA, K.: *High Dielectric Capacitor Having Low Current Leakage*. Kawasaki, Japan : Patent, February 1993. – US 5,189,503
- [25] SHEN, Y. D. ; LI, Y. W. ; ZHANG, J. Z. ; ZHU, X. ; HU, Z. G. ; CHU, J. H.: Excellent insulating behavior Al₂O₃ thin films grown by atomic layer deposition efficiently at room temperature. In: *Optoelectronics and Advanced Materials-Rapid Communications* 6 (2012), Nr. 5-6, S. 618–622. – ISSN 1842–6573
- [26] DEAL, B. E.: Standardized Terminology for Oxide Charges Associated with Thermally Oxidized Silicons. In: *IEEE Transactions on Electron Devices* 27 (1980), Nr. 3, 606-608. <http://dx.doi.org/10.1109/t-ed.1980.19908>. – DOI 10.1109/t-ed.1980.19908. – ISSN 0018–9383
- [27] LAI, S. K. ; YOUNG, D. R.: Effects of avalanche injection of electrons into silicon dioxide - generation of fast and slow interface states. In: *Journal of Applied Physics* 52 (1981), Nr. 10, 6231-6240. <http://dx.doi.org/10.1063/1.328565>. – DOI 10.1063/1.328565. – ISSN 0021–8979
- [28] PANANAKAKIS, G. ; GHIBAUDO, G. ; KIES, R. ; PAPADAS, C.: Temperature-Dependence of the Fowler-Nordheim-Current in Metal-Oxide-Degenerate Semiconductor Structures. In: *Journal of Applied Physics* 78 (1995), Nr. 4, 2635-2641. <http://dx.doi.org/10.1063/1.360124>. – DOI 10.1063/1.360124. – ISSN 0021–8979
- [29] GRELLA, K.: *Zuverlässigkeit von CMOS-Bauelementen auf SOI für den Betrieb bei 250 °C*, Universität Duisburg-Essen, Diss., 2013

- [30] SOMMER, S. P.: *Plasma Charging Damage bei Bauteilen höchster Zuverlässigkeitsanforderungen*, Universität Duisburg-Essen, Diss., 25.05. 2010
- [31] KWON, H.-M. ; KWON, S.-K. ; JEONG, K.-S. ; OH, S.-K. ; OH, S.-H. ; CHOI, W.-I. ; KIM, T.-W. ; KIM, D.-H. ; KANG, C.-Y. ; LEE, B. H. ; KIRSCH, P. ; LEE, H.-D.: A Correlation Between Oxygen Vacancies and Reliability Characteristics in a Single Zirconium Oxide Metal-Insulator-Metal Capacitor. In: *IEEE Transactions on Electron Devices* 61 (2014), Nr. 8, 2619-2627. <http://dx.doi.org/10.1109/ted.2014.2326423>. – DOI 10.1109/ted.2014.2326423. – ISSN 0018–9383
- [32] QIANG, L. ; DONGGUN, P. ; KALNITSKY, A. ; CHANG, C. ; CHIA-CHENG, C. ; SING PIN, T. ; TSU-JAE, K. ; CHENMING, H.: Leakage Current Comparison Between Ultra-Thin Ta₂O₅ Films and Conventional Gate Dielectrics. In: *IEEE Electron Device Letters* 19 (1998), Nr. 9, 341-342. <http://dx.doi.org/10.1109/55.709635>. – DOI 10.1109/55.709635. – ISSN 0741–3106
- [33] YOTA, J.: ALD HfO₂ and Al₂O₃ as MIM Capacitor Dielectric for GaAs HBT Technology. In: *ECS Transactions* 53 (2013), Nr. 1, 281-294. <http://dx.doi.org/10.1149/05301.0281ecst>. – DOI 10.1149/05301.0281ecst
- [34] PAN, S. ; DING, S. J. ; HUANG, Y. ; HUANG, Y. J. ; ZHANG, D. W. ; WANG, L. K. ; LIU, R.: High-temperature conduction behaviors of HfO₂/TaN-based metal-insulator-metal capacitors. In: *Journal of Applied Physics* 102 (2007), Nr. 7, 5. <http://dx.doi.org/10.1063/1.2786712>. – DOI 10.1063/1.2786712. – ISSN 0021–8979
- [35] ISHIKAWA, T. ; KODAMA, D. ; MATSUI, Y. ; HIRATANI, M. ; FURUSAWA, T. ; HISAMOTO, D.: High-Capacitance Cu/Ta₂O₅/Cu MIM Structure for SoC Applications Featuring a Single-Mask Add-on Process. In: IEEE, ETATS-UNIS Piscataway N. Piscataway NJ (Hrsg.): *International Electron Devices Meeting, San Francisco CA, ETATS-UNIS (08/12/2012)*, 2002, S. 940–942
- [36] MATTERS-KAMMERER, M. K. ; JINESH, K. B. ; RIJKS, T. ; ROOZEBOOM, F. ; KLOOTWIJK, J. H.: Characterization and Modeling of Atomic Layer Deposited High-Density Trench Capacitors in Silicon. In: *IEEE Transactions*

- on *Semiconductor Manufacturing* 25 (2012), Nr. 2, 247-254. <http://dx.doi.org/10.1109/tsm.2012.2183903>. – DOI 10.1109/tsm.2012.2183903. – ISSN 0894-6507
- [37] ROOZEBOOM, F.: Passive and Heterogeneous Integration Techniques for 3D System-in-Package Applications. In: *12th Annual Pan Pacific Microelectronics Symposium*, 2007, S. 4
- [38] JEDEC, STANDARD: *Procedure of Characterizing Time-Dependent Dielectric Breakdown of Ultra-Thin Gate Dielectrics*. August 2003
- [39] In: RITALA, M. ; NIINISTO, J.: *Chapter 4 Atomic Layer Deposition*. The Royal Society of Chemistry, 2009. – ISBN 978-0-85404-465-8, 158-206
- [40] NIINISTO, L. ; PAIVASAARI, J. ; NIINISTO, J. ; PUTKONEN, M. ; NIEMINEN, M.: Advanced electronic and optoelectronic materials by Atomic Layer Deposition: An overview with special emphasis on recent progress in processing of high- κ dielectrics and other oxide materials. In: *Physica Status Solidi a-Applied Research* 201 (2004), Nr. 7, 1443-1452. <http://dx.doi.org/10.1002/pssa.200406798>. – DOI 10.1002/pssa.200406798. – ISSN 0031-8965
- [41] BOHR, M. T. ; CHAU, R. S. ; GHANI, T. ; MISTRY, K.: The high- κ solution. In: *IEEE Spectrum* 44 (2007), Nr. 10, 29-35. <http://dx.doi.org/10.1109/mspec.2007.4337663>. – DOI 10.1109/mspec.2007.4337663. – ISSN 0018-9235
- [42] YLIVAARA, O. M. E. ; LIU, X. W. ; KILPI, L. ; LYYTINEN, J. ; SCHNEIDER, D. ; LAITINEN, M. ; JULIN, J. ; ALI, S. ; SINTONEN, S. ; BERDOVA, M. ; HAIMI, E. ; SAJAVAARA, T. ; RONKAINEN, H. ; LIPSANEN, H. ; KOSKINEN, J. ; HANNULA, S. P. ; PUURUNEN, R. L.: Aluminum oxide from trimethylaluminum and water by atomic layer deposition: The temperature dependence of residual stress, elastic modulus, hardness and adhesion. In: *Thin Solid Films* 552 (2014), 124-135. <http://dx.doi.org/10.1016/j.tsf.2013.11.112>. – DOI 10.1016/j.tsf.2013.11.112. – ISSN 0040-6090
- [43] SUNTOLA, T. ; ANTSON, J.: *Method for Producing Compound Thin Films*. Patent, Nov. 1977. – US 4,058,430

- [44] JOHNSON, R. W. ; HULTQVIST, A. ; BENT, S. F.: A brief review of atomic layer deposition: from fundamentals to applications. In: *Materials Today* 00 (2014), May, Nr. 0, 11. <http://dx.doi.org/http://dx.doi.org/10.1016/j.mattod.2014.04.026>. – DOI <http://dx.doi.org/10.1016/j.mattod.2014.04.026>. – ISSN 1369–7021
- [45] HÄMÄLÄINEN, J.: *Atomic Layer Deposition of Noble Metal Oxide and Noble Metal Thin Films*, University of Helsinki Finland, Diss., 2013
- [46] BARRON, A.: *Schematic representation of an ALD process*. Jul 13, 2009
- [47] OTT, A. W. ; KLAUS, J. W. ; JOHNSON, J. M. ; GEORGE, S. M.: Al₂O₃ thin film growth on Si(100) using binary reaction sequence chemistry. In: *Thin Solid Films* 292 (1997), Nr. 1-2, 135-144. [http://dx.doi.org/10.1016/s0040-6090\(96\)08934-1](http://dx.doi.org/10.1016/s0040-6090(96)08934-1). – DOI 10.1016/s0040-6090(96)08934-1. – ISSN 0040–6090
- [48] KIM, W.-H. ; PARK, S.-J. ; KIM, D. Y. ; KIM, H.: Atomic Layer Deposition of Ruthenium and Ruthenium-oxide Thin Films by Using a Ru(EtCp)₂ Precursor and Oxygen Gas. In: *Journal of the Korean Physical Society* 55 (2009), Nr. 1, 32-37. <http://dx.doi.org/10.3938/jkps.55.32>. – DOI 10.3938/jkps.55.32. – ISSN 0374–4884
- [49] AALTONEN, T. ; ALEN, P. ; RITALA, M. ; LESKELA, M.: Ruthenium Thin Films Grown by Atomic Layer Deposition. In: *Chemical Vapor Deposition* 9 (2003), Nr. 1, 45-49. <http://dx.doi.org/10.1002/cvde.200290007>. – DOI 10.1002/cvde.200290007. – ISSN 0948–1907
- [50] ZHOU, M. ; CHEN, T. ; TAN, J. J. ; RU, G. P. ; JIANG, Y. L. ; RAN, L. ; QU, X. P.: Effect of Pretreatment of TaN Substrates on Atomic Layer Deposition Growth of Ru Thin Films. In: *Chinese Physics Letters* 24 (2007), Nr. 5, S. 1400–1402. – ISSN 0256–307X
- [51] HONG, T. E. ; CHOI, S.-H. ; YEO, S. ; PARK, J.-Y. ; KIM, S.-H. ; CHEON, T. ; KIM, H. ; KIM, M.-K. ; KIM, H.: Atomic Layer Deposition of Ru Thin Films Using a Ru(0) Metallorganic Precursor and O₂. In: *ECS Journal of Solid State Science and Technology* 2 (2013), Nr. 3, P47-P53. <http://dx.doi.org/10.1021/j3-ay0000000>.

- [//dx.doi.org/10.1149/2.001303jss](http://dx.doi.org/10.1149/2.001303jss). – DOI 10.1149/2.001303jss. – ISSN 2162–8769
- [52] KUKLI, K. ; AARIK, J. ; AIDLA, A. ; JOGI, I. ; ARROVAL, T. ; LU, J. ; SAJAVAARA, T. ; LAITINEN, M. ; KIISLER, A. A. ; RITALA, M. ; LESKELA, M. ; PECK, J. ; NATWORA, J. ; GEARY, J. ; SPOHN, R. ; MEIERE, S. ; THOMPSON, D. M.: Atomic layer deposition of Ru films from bis(2,5-dimethylpyrrolyl)ruthenium and oxygen. In: *Thin Solid Films* 520 (2012), Nr. 7, 2756-2763. <http://dx.doi.org/10.1016/j.tsf.2011.11.088>. – DOI 10.1016/j.tsf.2011.11.088. – ISSN 0040–6090
- [53] WANG, H. T. ; GORDON, R. G. ; ALVIS, R. ; ULFIG, R. M.: Atomic Layer Deposition of Ruthenium Thin Films from an Amidinate Precursor. In: *Chemical Vapor Deposition* 15 (2009), Nr. 10-12, 312-319. <http://dx.doi.org/10.1002/cvde.200906789>. – DOI 10.1002/cvde.200906789. – ISSN 0948–1907
- [54] AALTONEN, T. ; RITALA, M. ; TUNG, Y. L. ; CHI, Y. ; ARSTILA, K. ; MEINANDER, K. ; LESKELA, M.: Atomic layer deposition of noble metals: Exploration of the low limit of the deposition temperature. In: *Journal of Materials Research* 19 (2004), Nr. 11, 3353-3358. <http://dx.doi.org/10.1557/jmr.2004.0426>. – DOI 10.1557/jmr.2004.0426. – ISSN 0884–2914
- [55] JUPPO, M. ; ALEN, P. ; RITALA, M. ; LESKELA, M.: Trimethylaluminum as a Reducing Agent in the Atomic Layer Deposition of Ti(Al)N Thin Films. In: *Chemical Vapor Deposition* 7 (2001), Nr. 5, 211-217. [http://dx.doi.org/10.1002/1521-3862\(200109\)7:5<211::aid-cvde211>3.0.co;2-1](http://dx.doi.org/10.1002/1521-3862(200109)7:5<211::aid-cvde211>3.0.co;2-1). – DOI 10.1002/1521-3862(200109)7:5<211::aid-cvde211>3.0.co;2-1. – ISSN 0948–1907
- [56] ELAM, J. W. ; SCHUISKY, M. ; FERGUSON, J. D. ; GEORGE, S. M.: Surface chemistry and film growth during TiN atomic layer deposition using TDMAT and NH₃. In: *Thin Solid Films* 436 (2003), Nr. 2, 145-156. [http://dx.doi.org/10.1016/s0040-6090\(03\)00533-9](http://dx.doi.org/10.1016/s0040-6090(03)00533-9). – DOI 10.1016/s0040-6090(03)00533-9. – ISSN 0040–6090
- [57] UHM, J. ; JEON, H.: TiN Diffusion Barrier Grown by Atomic Layer Deposition Method for Cu Metallization. In: *Japanese Journal of Applied*

- Physics Part 1-Regular Papers Short Notes & Review Papers* 40 (2001), Nr. 7, 4657-4660. <http://dx.doi.org/10.1143/jjap.40.4657>. – DOI 10.1143/jjap.40.4657. – ISSN 0021-4922
- [58] KIM, J. ; HONG, H. ; GHOSH, S. ; OH, K. Y. ; LEE, C.: Physical Properties of Highly Conformal TiN Thin films Grown by Atomic Layer Deposition. In: *Japanese Journal of Applied Physics Part 1-Regular Papers Short Notes & Review Papers* 42 (2003), Nr. 3, 1375-1379. <http://dx.doi.org/10.1143/jjap.42.1375>. – DOI 10.1143/jjap.42.1375. – ISSN 0021-4922
- [59] RITALA, M. ; ASIKAINEN, T. ; LESKELA, M. ; JOKINEN, J. ; LAPPALAINEN, R. ; UTRIAINEN, M. ; NIINISTO, L. ; RISTOLAINEN, E.: Effects of intermediate zinc pulses on properties of TiN and NbN films deposited by atomic layer epitaxy. In: *Applied Surface Science* 120 (1997), Nr. 3-4, 199-212. [http://dx.doi.org/10.1016/s0169-4332\(97\)00387-5](http://dx.doi.org/10.1016/s0169-4332(97)00387-5). – DOI 10.1016/s0169-4332(97)00387-5. – ISSN 0169-4332
- [60] LIM, H. S. ; KANG, S. B. ; JEON, I. S. ; CHOI, G. H. ; PARK, Y. W. ; LEE, S. I. ; MOON, J. T.: Atomic layer deposition- and chemical vapor deposition-TiN top electrode optimization for the reliability of Ta₂O₅ and Al₂O₃ metal insulator silicon capacitor for 0,13 μm technology and beyond. In: *Japanese Journal of Applied Physics Part 1-Regular Papers Short Notes & Review Papers* 40 (2001), Nr. 4B, 2669-2673. <http://dx.doi.org/10.1143/jjap.40.2669>. – DOI 10.1143/jjap.40.2669. – ISSN 0021-4922
- [61] PETROV, I. ; MOJAB, E. ; ADIBI, F. ; GREENE, J. E. ; HULTMAN, L. ; SUNDGREN, J. E.: Interfacial reactions in epitaxial Al/Ti_{1-x}Al_xN (0 ≤ x ≤ 0,2) model diffusion-barrier structures. In: *Journal of Vacuum Science & Technology a-Vacuum Surfaces and Films* 11 (1993), Nr. 1, 11-17. <http://dx.doi.org/10.1116/1.578277>. – DOI 10.1116/1.578277. – ISSN 0734-2101
- [62] EIZENBERG, M. ; LITTAU, K. ; GHANAYEM, S. ; MAK, A. ; MAEDA, Y. ; CHANG, M. ; SINHA, A. K.: TiCN: A new chemical vapor deposited contact barrier metallization for submicron devices. In: *Applied Physics Letters* 65 (1994), Nr. 19, 2416-2418. <http://dx.doi.org/10.1063/1.112693>. – DOI 10.1063/1.112693. – ISSN 0003-6951

- [63] EIZENBERG, M. ; LITTAU, K. ; GHANAYEM, S. ; LIAO, M. ; MOSELY, R. ; SINHA, A. K.: Chemical vapor deposited TiCN: A new barrier metallization for submicron via and contact applications. In: *Journal of Vacuum Science & Technology a-Vacuum Surfaces and Films* 13 (1995), Nr. 3, 590-595. <http://dx.doi.org/10.1116/1.579791>. – DOI 10.1116/1.579791. – ISSN 0734–2101
- [64] HILLERINGMANN, U.: *Silizium-Halbleitertechnologie*. Vieweg+Teubner, 2008
- [65] LAERMER, F. ; SCHILP, A.: *Method of Anisotropically Etching Silicon*. Stuttgart, Germany : Patent, March 1996. – US 5,501,893
- [66] KOK, A. ; HANSEN, T. E. ; HANSEN, T. ; JENSEN, G. U. ; LIETAER, N. ; MIELNIK, M. ; STORAS, P.: High aspect ratio deep RIE for novel 3D radiation sensors in high energy physics applications. In: *IEEE Nuclear Science Symposium Conference 2009*. NEW YORK : IEEE, 2009 (IEEE Nuclear Science Symposium Conference Record). – ISBN 978–1–4244–3961–4, 1623-1627
- [67] ZHOU, R. C. ; ZHANG, H. X. ; HAO, Y. L. ; WANG, Y. Y.: Simulation of the Bosch process with a string-cell hybrid method. In: *Journal of Micromechanics and Microengineering* 14 (2004), Nr. 7, 851-858. <http://dx.doi.org/10.1088/0960-1317/14/7/003>. – DOI 10.1088/0960–1317/14/7/003. – ISSN 0960–1317
- [68] LAERMER, F. ; SCHILP, A. ; FUNK, K. ; OFFENBERG, M.: Bosch deep silicon etching: Improving uniformity and etch rate for advanced MEMS applications. In: *12th IEEE International Conference on Micro Electro Mechanical Systems (MEMS 99)*. NEW YORK : IEEE, 1999 (Proceedings: IEEE Micro Electro Mechanical Systems). – ISBN 1084–6999 0–7803–5194–0, 211-216
- [69] PARASURAMAN, J. ; SUMMANWAR, A. ; MARTY, F. ; BASSET, P. ; ANGELESCU, D. E. ; BOUROUINA, T.: Deep reactive ion etching of sub-micrometer trenches with ultra high aspect ratio. In: *Microelectronic Engineering* 113 (2014), 35-39. <http://dx.doi.org/10.1016/j.mee.2013.06.010>. – DOI 10.1016/j.mee.2013.06.010. – ISSN 0167–9317

- [70] BRUNET, M. ; DUBREUIL, P. ; SCHEID, E. ; SANCHEZ, J. L.: Development of fabrication techniques for high-density integrated MIM capacitors in power conversion equipment. In: *Conference on Micromachining and Microfabrication Process Technology XI* Bd. 6109. BELLINGHAM : Spie-Int Soc Optical Engineering, 2006 (Proceedings of the Society of Photo-Optical Instrumentation Engineers (Spie)). – ISBN 0277-786X 0-8194-6151-2, Q1090-Q1090
- [71] HU, J. ; WONG, H. S. P.: Effect of annealing ambient and temperature on the electrical characteristics of atomic layer deposition $\text{Al}_2\text{O}_3 / \text{In}_{0,53}\text{Ga}_{0,47}$ metal-oxide-semiconductor capacitors and MOSFETs. In: *Journal of Applied Physics* 111 (2012), Nr. 4, 8. <http://dx.doi.org/10.1063/1.3686628>. – DOI 10.1063/1.3686628. – ISSN 0021-8979
- [72] ASLAM, M.: Electron self-trapping in SiO_2 . In: *Journal of Applied Physics* 62 (1987), Nr. 1, 159-162. <http://dx.doi.org/10.1063/1.339839>. – DOI 10.1063/1.339839. – ISSN 0021-8979
- [73] RAFI, J. M. ; ZABALA, M. ; BELDARRAIN, O. ; CAMPABADAL, F.: Deposition Temperature and Thermal Annealing Effects on the Electrical Characteristics of Atomic Layer Deposited Al_2O_3 Films on Silicon. In: *Journal of the Electrochemical Society* 158 (2011), Nr. 5, G108-G114. <http://dx.doi.org/10.1149/1.3559458>. – DOI 10.1149/1.3559458. – ISSN 0013-4651
- [74] BLANK, O.: *Charakterisierung und Modellierung der Leckstrommechanismen in modernen DRAM high-k Materialien*, Universität der Bundeswehr München, Diss., 2006
- [75] KLOOTWIJK, J. H. ; JINESH, K. B. ; DEKKERS, W. ; VERHOEVEN, J. F. ; HEUVEL, F. C. d. ; KIM, H. D. ; BLIN, D. ; VERHEIJEN, M. A. ; WEE-MAES, R. G. R. ; KAISER, M. ; RUIGROK, J. J. M. ; ROOZEBOOM, F.: Ultrahigh Capacitance Density for Multiple ALD-Grown MIM Capacitor Stacks in 3-D Silicon. In: *IEEE Electron Device Letters* 29 (2008), Nr. 7, 740-742. <http://dx.doi.org/10.1109/led.2008.923205>. – DOI 10.1109/led.2008.923205. – ISSN 0741-3106

- [76] HOFMANN, K. ; YOUNG, D. R. ; RUBLOFF, G. W.: Hole trapping in SiO₂ films annealed in low-pressure oxygen atmosphere. In: *Journal of Applied Physics* 62 (1987), Nr. 3, 925-930. <http://dx.doi.org/10.1063/1.339702>. – DOI 10.1063/1.339702. – ISSN 0021–8979
- [77] ITSUMI, M.: Electron trapping in thin film of thermal SiO₂ at temperature Between 30 and 300 K. In: *Journal of Applied Physics* 54 (1983), Nr. 4, 1930-1936. <http://dx.doi.org/10.1063/1.332247>. – DOI 10.1063/1.332247. – ISSN 0021–8979
- [78] SATO, T. ; MIZUSHIMA, I. ; IBA, J. ; KITO, M. ; TAKEGAWA, Y. ; SUDO, A. ; TSUNASHIMA, Y.: Trench Transformation Technology using Hydrogen Annealing for Realizing Highly Reliable Device Structure with Thin Dielectric Films. In: *1998 Symposium on VLSI Technology Digest of Technical Papers*, IEEE, 1998, S. 206–207
- [79] CHEN, C.-C. ; TSAI, C.S. ; YU, C.H.: *Method for Forming a Shallow Trench with Tapered Profile and Round Corners for the Application of Shallow Trench Isolation (STI)*. Hsinchu, Taiwan : Patent, Sep. 15, 1998. – US 5,807,789
- [80] NGUYEN, P. L. ; SCHWEINFURTH, R. A.: *Etch Process to Produce Rounded Top Corners for Sub-Micron Silicon Trench Applications*. Santa Clara, Calif. : Patent, Dec. 1998. – US 5,843,846
- [81] LIM, C. W. ; SIAH, S. Y. ; LIM, E. H. ; LEE, K.-H. ; LOW, C. H.: *Method to Form Shallow Trench Isolation with Rounded Corners and Reduced Trench Oxide Recess*. Singapore, Singapore : Patent, May 8, 2001. – US 6,228,727 B1
- [82] CHIU, H.-K. ; CHEN, F.-C. ; TAO, H.-J.: *Top Corner Rounding for Shallow Trench Isolation*. Hsin-Chu, TW : Patent, Jul. 2001. – US 6,265,317 B1
- [83] PEIDOUS, I. V.: *Shallow Trench Isolation of MOSFETs with Reduced Corner Parasitic Currents*. Singapore, Singapore : Patent, Nov. 23, 1999. – US 5,989,978

- [84] YOO, C.-S. ; LEE, R. Y. ; TSAI, J. H.: *Method of Forming a Shallow Trench Isolation that has Rounded and Protected Corners*. Hsin-Chu, TW : Patent, Mar. 2000. – US 6,033,969
- [85] OLSEN, C. S.: *Trench-Diffusion Corner Rounding in a Shallow-Trench (STI) Process*. San Jose, Calif., USA : Patent, Nov. 21, 2000. – US 6,150,234
- [86] LEE, K.-Y. ; THEI, K.-B. ; CHEN, B.-F.: *Method for Making a Trench Isolation Having a Conformal Liner Oxide and Top and Bottom Rounded Corners for Integrated Circuits*. Hsin-Chu, Taiwan : Patent, Aug. 29, 2000. – US 6,110,793
- [87] VASSILIEV, V. ; PEIDOUS, I.: *Method of Filling Shallow Trenches*. Singapore, Singapore : Patent, Jan. 30, 2001. – US 6,180,490 B1
- [88] VOSS, L. F. ; SHAO, Q. S. ; CONWAY, A. M. ; REINHARDT, C. E. ; GRAFF, R. T. ; NIKOLIC, R. J.: Smooth Bosch Etch for Improved Si Diodes. In: *IEEE Electron Device Letters* 34 (2013), Nr. 10, 1226-1228. <http://dx.doi.org/10.1109/led.2013.2278374>. – DOI 10.1109/led.2013.2278374. – ISSN 0741–3106
- [89] FAZAN, P. C. ; MATHEWS, V. K. ; SANDLER, N. ; LO, G. Q. ; KWONG, D. L.: A High-C Capacitor (20,4 fF/ μm^2) with Ultrathin CVD-Ta₂O₅ Films Deposited on Rugged Poly-Si for High Density DRAMs. In: *International Electron Devices Meeting 1992. Technical Digest*, IEEE, 1992. – ISBN 0–7803–0817–4, 263-266
- [90] CHEN, S. B. ; LAI, C. H. ; CHIN, A. ; HSIEH, J. C. ; LIU, J.: High-Density MIM Capacitors Using Al₂O₃ and AlTiOx Dielectrics. In: *IEEE Electron Device Letters* 23 (2002), Nr. 4, 185-187. <http://dx.doi.org/10.1109/55.992833>. – DOI 10.1109/55.992833. – ISSN 0741–3106
- [91] DING, S. J. ; HU, H. ; LIM, H. F. ; KIM, S. J. ; YU, X. F. ; ZHU, C. X. ; LI, M. F. ; CHO, B. J. ; CHAN, D. S. H. ; RUSTAGI, S. C. ; YU, M. B. ; CHIN, A. ; KWONG, D. L.: High-Performance MIM Capacitor Using ALD high- κ HfO₂-Al₂O₃ Laminate Dielectrics. In: *IEEE Electron Device Letters* 24 (2003), Nr. 12, 730-732. <http://dx.doi.org/10.1109/led.2003.820664>. – DOI 10.1109/led.2003.820664. – ISSN 0741–3106

- [92] HU, H. ; ZHU, C. X. ; YU, X. F. ; CHIN, A. ; LI, M. F. ; CHO, B. J. ; KWONG, D. L. ; FOO, P. D. ; YU, M. B. ; LIU, X. Y. ; WINKLER, J.: MIM Capacitors Using Atomic-Layer-Deposited High- κ $(\text{HfO}_2)_{1-x} (\text{Al}_2\text{O}_3)_x$ Dielectrics. In: *IEEE Electron Device Letters* 24 (2003), Nr. 2, S. 60–62. <http://dx.doi.org/10.1109/led.2002.807703>. – DOI 10.1109/led.2002.807703. – ISSN 0741–3106
- [93] KIM, S. J. ; CHO, B. J. ; YU, M. B. ; LI, M. F. ; XIONG, Y. Z. ; ZHU, C. ; CHIN, A. ; KWONG, D. L.: High Capacitance Density ($> 17 \text{ fF}/\mu\text{m}^2$) Nb_2O_5 -based MIM Capacitors for Future RF IC Applications. In: *VLSI Technology, 2005. Digest of Technical Papers, 2005*, S. 56–57
- [94] SHARMA, H. ; SETHI, K. ; RAJ, P. M. ; TUMMALA, R.: Fabrication and characterization of novel silicon-compatible high-density capacitors. In: *Journal of Materials Science-Materials in Electronics* 23 (2012), Nr. 2, 528–535. <http://dx.doi.org/10.1007/s10854-011-0431-9>. – DOI 10.1007/s10854-011-0431-9. – ISSN 0957–4522
- [95] YOTA, J. ; SHEN, H. ; RAMANATHAN, R.: Characterization of atomic layer deposition HfO_2 , Al_2O_3 , and plasma-enhanced chemical vapor deposition Si_3N_4 as metal-insulator-metal capacitor dielectric for GaAs HBT technology. In: *Journal of Vacuum Science & Technology A* 31 (2013), Nr. 1, 9. <http://dx.doi.org/10.1116/1.4769207>. – DOI 10.1116/1.4769207. – ISSN 0734–2101
- [96] ZHANG, Q.-X. ; ZHU, B. ; DING, S.-J. ; LU, H.-L. ; SUN, Q.-Q. ; ZHOU, P. ; ZHANG, W.: Full ALD $\text{Al}_2\text{O}_3/\text{ZrO}_2/\text{SiO}_2/\text{ZrO}_2/\text{Al}_2\text{O}_3$ Stacks for High-Performance MIM Capacitors. In: *IEEE Electron Device Letters* 35 (2014), Nr. 11, 1121–1123. <http://dx.doi.org/10.1109/led.2014.2359195>. – DOI 10.1109/led.2014.2359195. – ISSN 0741–3106
- [97] TSENG, V. F. G. ; XIE, H. K.: Increased Multilayer Fabrication and RF Characterization of a High-Density Stacked MIM Capacitor Based on Selective Etching. In: *IEEE Transactions on Electron Devices* 61 (2014), Nr. 7, S. 2302–2308. <http://dx.doi.org/10.1109/ted.2014.2325491>. – DOI 10.1109/ted.2014.2325491. – ISSN 0018–9383

- [98] ROOZEBOOM, F. ; DEKKERS, W. ; JINESH, K. ; BESLING, W. ; LAMY, Y. ; KLOOTWIJK, J. ; VERHEIJEN, M. ; KIM, H.-D. ; BLIN, D.: Ultrahigh-density ($>0,4 \mu\text{F}/\text{mm}^2$) trench capacitors in silicon. In: *First Int. Workshop on Power Supply On Chip (PowerSoC08)*. Cork, Ireland, 2008, S. 52
- [99] GEISELBRECHTINGER, A. ; BUYUKTAS, K. ; ALLERS, K. H. ; HARTUNG, W.: A high-performance trench capacitor integrated in a passive integration technology. In: *Semiconductor Science and Technology* 24 (2009), Nr. 1, 8. <http://dx.doi.org/10.1088/0268-1242/24/1/015010>. – DOI 10.1088/0268-1242/24/1/015010. – ISSN 0268-1242
- [100] BUNEL, C. ; POMMIER, M. ; JACQUELINE, S.: Low Profile Integrated Passive Devices with 3D High Density Capacitors Ideal for Embedded and Die Stacking Solutions. In: *Electronic System-Integration Technology Conference (ESTC)*, 2012
- [101] WANG, H. J. ; WAN, L. X. ; YU, D. Q. ; GUIDOTTI, D. ; HE, R. ; DAI, F. W. ; CAO, L. Q. ; ZHANG, X. ; ZHAO, N. ; GUO, X. P.: Three-dimensional PN junction capacitor for passive integration. In: *Applied Physics Letters* 99 (2011), Nr. 5, 3. <http://dx.doi.org/10.1063/1.3610489>. – DOI 10.1063/1.3610489. – ISSN 0003-6951
- [102] BUNEL, C. ; LENOIRE, L.: Silicon Capacitors with extremely high stability and reliability ideal for high temperature applications. In: *Fraunhofer IMS Workshop 2012, High Temperature Electronics*, 2012, S. 35
- [103] VEGA, D. ; REINA, J. ; PAVON, R. ; RODRIGUEZ, A.: High-Density Capacitor Devices Based on Macroporous Silicon and Metal Electroplating. In: *IEEE Transactions on Electron Devices* 61 (2014), Nr. 1, 116-122. <http://dx.doi.org/10.1109/ted.2013.2290065>. – DOI 10.1109/ted.2013.2290065. – ISSN 0018-9383
- [104] BURKE, M. ; BLAKE, A. ; DJARA, V. ; O'CONNELL, D. ; POVEY, I. M. ; CHERKAOUI, K. ; MONAGHAN, S. ; SCULLY, J. ; MURPHY, R. ; HURLEY, P. K. ; PEMBLE, M. E. ; QUINN, A. J.: High aspect ratio iridescent three-dimensional metal-insulator-metal capacitors using atomic layer deposition. In: *Journal of Vacuum Science & Technology A* 33 (2015), Nr. 1, 5. <http://dx.doi.org/10.1116/1.2578888>. – DOI 10.1116/1.2578888. – ISSN 0734-2155

//dx.doi.org/10.1116/1.4891319. – DOI 10.1116/1.4891319. – ISSN 0734–2101

- [105] ROOZEBOOM, F. ; KEMMEREN, A. ; VERHOEVEN, J. F. C. ; HEUVEL, F. C. d. ; KLOOTWIJK, J. ; KRETSCHMAN, H. ; FRIC, T. ; GRUNSVEN, E. C. E. ; BARDY, S. ; BUNEL, C. ; CHEVRIE, D. ; LECORNEC, F. ; LEDAIN, S. ; MURRAY, F. ; PHILIPPE, P.: Passive and heterogeneous integration towards a Si-based System-in-Package concept. In: *Thin Solid Films* 504 (2006), Nr. 1-2, S. 391–396. <http://dx.doi.org/10.1016/j.tsf.2005.09.103>. – DOI 10.1016/j.tsf.2005.09.103. – ISSN 0040–6090
- [106] ROOZEBOOM, F. ; KLOOTWIJK, J. H. ; KEMMERER, A. L. A. M. ; REEFMANN, J. F. C. M. D.; Verhoeven V. D.; Verhoeven: *Integrated Capacitor Arrangement for Ultrahigh Capacitance Values*. Caen (FR) : Patent, Dec. 2011. – US 8,085,524 B2
- [107] *Integrated Passive Devices Technology Breakthrough by IPDiA*. IPDiA, 2010
- [108] TESSON, O. ; LECORNEE, F.: *Multilayer Structure and Method of Producing the Same*. Caen (FR) : Patent, Dec. 16, 2010. – US 2010/0316911 A1
- [109] GUIRAUD, L. ; LECORNEC, F. ; KLOOTWIJK, J.H. ; ROOZEBOOM, F. ; CHEVRIE, D.D.R.: *Electronic Device Having Electrode With High Area Density And Improved Mechanical Stability*. Caen (FR) : Patent, Oct. 2012. – US 8,283,750 B2
- [110] MATTERS-KAMMERER, M.: *Trench Capacitor Device Suitable for Decoupling Applications in High-Frequency Operation*. Caen (FR) : Patent, Nov. 23, 2010. – US 7,839,622 B2
- [111] KLOOTWIJK, J. H. ; ROOZEBOOM, F. ; RUIGROK, J. ; REEFMAN, D.: *Integration Substrate With A Ultra-High-Density Capacitor And A Through-Substrate Via*. Caen (FR) : Patent, May 20, 2014. – US 8,729,665 B2
- [112] NEUILLY, F. ; LECORNEC, F.: *Ultra High Density Capacity Comprising Pillar-Sharped Capacitors Formed on Both Sides of a Substrate*. Eindhoven (NL), Jul. 24, 2012. – US 8,227,847 B2

- [113] TIAN, L. ; BARRY, S. W. ; YING, X.: *Deep Trench Capacitor With Conformal-Deposited Conductive Layer Having Compressive Stress*. Patent, Jul. 16, 2013. – US 8,478,405 B2
- [114] CHENG, K. ; KIM, B. Y. ; NAEEM, M. D. ; NORUM, J. P.: *Enhanced Capacitance Trench Capacitor*. Armonk, NY (US) : Patent, Jul. 2012. – US 2012/0187465 A1
- [115] TSAI, T.-C. ; HSU, C.-L. ; CHENG, Y.-F.: *Method for Fabricating a High-Density Capacitor*. Hsin-Chu (TW) : Patent, Oct. 28, 2003. – US 6,638,830 B1
- [116] ELLUL, J. P. ; TRAN, K. ; BERGMONT, A.: *Devices Cost Method for Forming High Density Passive Capacitors for Replacement of Discrete Board Capacitors Using a Minimum Cost 3D Wafer-to-Wafer Modular Integration Scheme*. Sunnyvale, CA (US) : Patent, May 17, 2011. – US 7,943,473 B2
- [117] CHENG, K. ; ERVIN, J. ; PEI, C. ; TODI, R. M. ; WANG, G.: *Multilayer MIM Capacitor*. Armonk, NY (US) : Patent, Feb. 26, 2015. – US 2015/0054130 A1
- [118] *Resistivity & Mobility Calculator/Graph for Various Doping Concentrations in Silicon*. Brigham Young University, Department of Electrical & Computer Engineering. www.cleanroom.byu.edu/ResistivityCal.phtml. – Opened on September 12th, 2016
- [119] BERGMANN, L. ; KASSING, R. ; SCHAEFER, C. ; BLÜGEL, S. ; ZWEITE (Hrsg.): *Lehrbuch der Experimentalphysik Band 6 Festkörper*. Walter de Gruyter, 2005
- [120] PUTHENKOVILAKAM, R. ; CARTER, E. A. ; CHANG, J. P.: First-principles exploration of alternative gate dielectrics: Electronic structure of ZrO_2/Si and ZrSiO_4/Si interfaces. In: *Physical Review B* 69 (2004), Nr. 15, 11. <http://dx.doi.org/10.1103/PhysRevB.69.155329>. – DOI 10.1103/PhysRevB.69.155329. – ISSN 1098–0121
- [121] FRANSSILA, S. ; FIRST (Hrsg.): *Introduction to Micro Fabrication*. John Wiley & Sons, Ltd, 2004

- [122] HEWLETT PACKARD (Hrsg.): *HP 4284A Precision LCR Meter, Operation Manual (Including Option 001, 002, 006, 201, 202, 301)*. Sixth Edition. Hewlett Packard, August 1998
- [123] *Brechungsindex von Al₂O₃*. Filmetrics. <http://www.filmetrics.de/refractive-index-database/Al2O3>. Version:2016. – Geöffnet am 21.09.2016
- [124] OPTICSERVICE (Hrsg.): *Technisches Datenblatt Aluminiumoxid*. Hammerstraße29, 63636 Brachtal, Deutschland: OpticService
- [125] BHUYIAN, M. N. ; MISRA, D. ; TAPILY, K. ; CLARK, R. D. ; CONSIGLIO, S. ; WAJDA, C. S. ; NAKAMURA, G. ; LEUSINK, G. J.: Reliability of ALD Hf_{1-x}Zr_xO₂ Deposited by Intermediate Annealing or Intermediate Plasma Treatment. In: *Semiconductors, Dielectrics, and Metals for Nanoelectronics 11* 58 (2013), Nr. 7, 17-29. <http://dx.doi.org/10.1149/05807.0017ecst>. – DOI 10.1149/05807.0017ecst. – ISSN 1938–5862
- [126] MAIKAP, S. ; LEE, H. Y. ; WANG, T. Y. ; TZENG, P. J. ; WANG, C. C. ; LEE, L. S. ; LIU, K. C. ; YANG, J. R. ; TSAI, M. J.: Charge trapping characteristics of atomic-layer-deposited HfO₂ films with Al₂O₃ as a blocking oxide for high-density non-volatile memory device applications. In: *Semiconductor Science and Technology 22* (2007), Nr. 8, 884-889. <http://dx.doi.org/10.1088/0268-1242/22/8/010>. – DOI 10.1088/0268-1242/22/8/010. – ISSN 0268–1242