

Ein Beitrag zur Anwendung von InAs Nanodraht- Feldeffekttransistoren in hochfrequenten Schaltungen

Von der Fakultät für Ingenieurwissenschaften der
Universität Duisburg-Essen
zur Erlangung des akademischen Grades eines

Doktor-Ingenieurs (Dr. Ing.)

genehmigte Dissertation

von

Diplom-Ingenieur
Kai Blekker
aus Nordhorn

Referent: Prof. Dr. rer. nat. F.-J. Tegude
Korreferent: Prof. Dr. rer. nat. R. Schmechel
Tag der mündlichen Prüfung: 13.04.2016

1	Einleitung	3
2	Grundlagen	7
2.1	Wachstum und strukturelle Eigenschaften der InAs Nanodrähte	7
2.2	Feldunterstützte Anordnung von Nanodrähten	13
2.3	Grundlagen zur Bauelementtechnologie	16
2.3.1	Elektronenstrahlolithographie	17
2.3.2	Plasma-unterstützte Abscheidung von Siliziumnitrid	22
2.4	Funktionsweise und Kenngrößen des Nanodraht-Feldeffekttransistors.....	24
2.4.1	Kenngrößen im Gleichspannungsbereich.....	28
2.4.2	Kenngrößen im Hochfrequenzbereich.....	30
2.5	Analoge und digitale Grundsaltungen	32
2.5.1	Die Inverterschaltung	32
2.5.2	Das Abtast-Halte-Glied	34
3	InAs Einzeldraht- und Drahtarray-Feldeffekttransistoren.....	37
3.1	Herstellung der Nanodraht-Feldeffekttransistoren.....	37
3.2	Untersuchungen im Gleichspannungsbereich	45
3.3	Untersuchungen im Hochfrequenzbereich	51
4	InAs Nanodraht-Feldeffekttransistoren in Schaltungen.....	61
4.1	Modellierung von Drahtarray-Feldeffekttransistoren	61
4.2	Inverterschaltungen	65
4.2.1	Herstellung der Inverterschaltungen	65
4.2.2	Messergebnisse der Inverterschaltungen.....	67
4.3	Abtast-Halte-Glieder	80
4.3.1	Der MIS-Heterostruktur-Feldeffekttransistor.....	80
4.3.2	Herstellung der Abtast-Halte-Glieder	83
4.3.3	Messergebnisse der Abtast-Halte-Glieder.....	86
5	Zusammenfassung.....	94
6	Anhang	96
6.1	Zu Kapitel 3.....	96
6.2	Zu Kapitel 4.....	100
7	Literaturverzeichnis.....	113
7.1	Verwendete Literatur.....	113
7.2	Veröffentlichungen im Rahmen dieser Arbeit	130

1 Einleitung

Die Leistungsfähigkeit höchstintegrierter Schaltungen als Basis der heutigen Informations- und Kommunikationstechnologie konnte in den vergangenen Jahrzehnten enorm gesteigert werden. Damit einhergehend nahm auch ihr Stellenwert in unserem täglichen Leben zu und der Bedarf an immer schnelleren sowie energiesparenderen Schaltungen ist groß. Allerdings beruhen die Entwicklungen der letzten Jahrzehnte im Wesentlichen auf einer Reduzierung der Strukturgrößen [1], die sich langsam dem physikalischen Auflösungsvermögen der Fertigungsmethoden annähern. Zudem sind bei einer fortschreitenden Miniaturisierung nur noch geringe Verbesserungen für die aktuelle Silizium-CMOS-Technologie (Complementary Metall-Oxide-Semiconductor) zu erwarten, da das elektrische Verhalten der Transistoren als Kernelement integrierter Schaltungen zunehmend durch Kurzkanaleffekte beeinträchtigt wird [2, 3]. Auf letztere geht auch ein immer größerer Anteil der gesamten Leistungsaufnahme zurück.

Für langfristige Weiterentwicklungen werden verschiedene Ansätze verfolgt, die überwiegend in den Bereich der Nanotechnologie fallen. Hierzu gehört auch die Verwendung von Halbleiter-Nanodrähten als Ladungsträgerkanal von Transistoren, die ein deutlich höheres Leistungspotential als die derzeitigen planaren Silizium-MOSFETs (Metall-Oxide-Semiconductor Field-Effect Transistor) bieten [4, 5]. Bei den Nanodrähten handelt es sich um quasi-eindimensionale, drahtförmige Halbleiterstrukturen, deren Herstellung mittels selbst-organisiertem epitaktischen Wachstums erfolgen kann („Bottom-Up“). Die Durchmesser der Nanodrähte sind dabei nicht durch das Auflösungsvermögen der herkömmlichen Strukturierungsmethoden begrenzt. Für die Anwendung von Nanodrähten in elektronischen oder auch opto-elektronischen Bauelementen kommt der zylinderförmigen Geometrie sowie dem daraus resultierenden, großen Oberfläche zu Volumen Verhältnis eine besondere Bedeutung zu. Sie bieten sich etwa für hochsensible Gassensoren [6, 7], Akkumulatoren mit hoher Zyklenfestigkeit [8, 9] und für Solarzellen mit höchster Effizienz [10, 11, 12] an. Als Ladungsträgerkanal in einem Transistor eröffnet ein Nanodraht die Möglichkeit, eine den Kanal umschließende Gate-Elektrode auszubilden und hierdurch eine deutlich bessere Steuerwirkung zu erzielen. Beeinträchtigungen durch Kurzkanaleffekte sind erst bei erheblich kleineren Strukturgrößen als bei planaren mikroelektronischen Transistoren zu erwarten [13, 14, 15, 16].

Feldeffekttransistoren aus Nanodrähten unterschiedlicher Materialien wie etwa Si (Silizium) [17], ZnO (Zinkoxid) [18] oder InAs (Indiumarsenid) wurden untersucht. Erwartungsgemäß konnten sehr gute elektrische Eigenschaften für InAs Nanodrahttransistoren gezeigt werden [z.B. 19, 20, 21, 22]. InAs weist eine der höchsten Elektronenbeweglichkeiten aller Halbleiter sowie eine Bandlücke von lediglich 0,36 eV auf. Es eignet sich damit hervorragend für Bauelemente mit sehr guten Hochfrequenzeigenschaften bei niedriger Betriebsspannung bzw. Leistungsaufnahme und wird bislang etwa als Kanalmaterial in mikroelektronischen Transistoren mit höchsten Grenzfrequenzen verwendet [23, 24, 25]. Für Nanodrahtbauelemente ist InAs darüber hinaus sehr interessant, da das Fermi-Niveau an der Oberfläche im Leitungsband „gepinnt“ ist [26, 27] und es hier somit zu einer Anreicherung von Elektronen kommt. Dies ermöglicht eine hohe Leitfähigkeit selbst bei kleinsten Drahtdurchmessern, die für eine optimale Gate-Kontrolle erstrebenswert sind. So erreichen InAs Nanodraht-Feldeffekttransistoren im Gleichspannungsbereich eine herausragende Verstärkungsfähigkeit [21, 28], die bezogen auf die Kanalweite zu den höchsten aller für Feldeffekttransistoren erreichten Werte zählt, und eine Unterschwellsteigung nahe dem theoretischen Minimum [22].

Nachdem die Charakterisierung nanoelektronischer Transistoren lange Zeit auf den Gleichspannungsbereich beschränkt war, konnten in jüngerer Vergangenheit auch Hochfrequenzmessungen berichtet werden. Eine Vorreiterrolle kam hier Transistoren aus Kohlenstoff-Nanoröhren zu, für die bereits früh eine Stromverstärkung bis in den Gigahertz-Bereich gezeigt wurde [29, 30]. Werden für die Transistoren einzelne Nanodrähte oder Nanoröhren verwendet, so nehmen die erforderlichen Zugangsstrukturen für die Hochfrequenzmessung deutlich größeren Einfluss auf das Messergebnis als der intrinsische Nanodraht- bzw. Nanoröhren-Transistor selbst. Prinzipiell können Messwerte diesbezüglich durch „de-embedding“-Techniken korrigiert werden, jedoch fällt der Eingriff hier so massiv aus, dass bereits kleinste Ungenauigkeiten die extrahierten Grenzfrequenzen stark verfälschen. Die Arbeitsgruppe von G. Dambrine konnte zeigen, dass eine zuverlässigere Charakterisierung im Hochfrequenzbereich möglich wird, wenn für einen Transistor parallel mehrere Nanoröhren den Kanal bilden (Nanoröhrenarray-Feldeffekttransistoren) und so deutlich höhere Signalleistungen vorliegen [29, 31, 32].

In den meisten Untersuchungen werden die Nanodrähte für die Herstellung der Transistoren vom Wachstums- auf ein Trägersubstrat transferiert. Besteht keine Kontrolle über die Positionierung der Nanodrähte auf dem Trägersubstrat, können diese nur in sehr zeitaufwändigen Prozessen einzeln mit den erforderlichen Strukturen versehen werden und

weder Drahtarray-Feldeffekttransistoren noch eine Integration in Schaltungen sind systematisch zu realisieren. Daher wurden Techniken entwickelt, die eine definierte Anordnung der Nanodrähte auf dem Trägersubstrat erlauben [33] oder sogar gänzlich auf einen Transfer verzichten. Für Letzteres werden die Nanodrähte in der benötigten Anzahl an vorgegebenen Positionen gewachsen und dort zu vertikalen Transistoren verarbeitet, wie bereits früh für InAs Nanodrähte umgesetzt [19]. Zusätzlich zu der vorliegenden Arbeit wurden mit diesem Ansatz mittlerweile auch InAs Drahtarray-Feldeffekttransistoren für Hochfrequenzuntersuchungen bereitgestellt [34, 35, 36] und jüngst in erste einfache Schaltungen eingebunden [37].

Hierbei geht allerdings der wesentliche Gewinn des Bottom-Up-Ansatzes verloren: Die Definition der Keime für das geordnete Wachstum erfordert den Einsatz höchstauflösender Lithographie, die gleichzeitig auch den Nanodrahtdurchmesser begrenzt. Zudem resultieren aus der vertikalen Struktur eine sehr aufwändige Prozessabfolge sowie große parasitäre Kapazitäten, die zu einer Herabsetzung der Grenzfrequenzen führen [36]. Die beträchtlichen Temperaturen, die beim Wachstum der InAs Nanodrähte bis zu 600°C erreichen, erschweren zudem eine Co-Integration mit anderen Bauelementen, und für eine Fertigung auf Si-Substraten als Grundvoraussetzung für eine kommerzielle Anwendung [38] müssten zuvor InAs Pufferschichten aufgewachsen werden, um eine Kristallqualität vergleichbar mit der auf InAs Substraten zu erreichen [39]. Sollen hochfrequente Nanodrahttransistoren Eingang in eine großtechnische Nutzung finden, für die Herstellungsaufwand und -kosten möglichst gering zu halten sind, erscheint somit ein Transfer mit gezielter Anordnung der Nanodrähte auf dem Trägersubstrat vielversprechender. Die Nanodrähte können etwa mit Hilfe elektrischer Felder zwischen vorstrukturierten Elektroden platziert werden [33, 40, 41]. Dies ermöglicht einen geringen Technologieaufwand für das Aufbringen der erforderlichen Strukturen und die Einbindung in Schaltungen, ohne die üblichen Prozesstemperaturen zu überschreiten oder die Hochfrequenzeigenschaften durch zusätzliche parasitäre Kapazitäten zu beeinträchtigen.

Die vorliegende Arbeit soll einen Beitrag zur Integration von InAs Nanodraht-Feldeffekttransistoren in hochfrequente elektronische Schaltungen leisten. Hierzu werden InAs Einzeldraht- sowie Drahtarray-Feldeffekttransistoren umfassend untersucht und für hochfrequente Anwendungen weiterentwickelt. Zusätzlich werden elementare Schaltungen aus Nanodrahttransistoren einschließlich einer erstmaligen Co-Integration mit mikroelektronischen Transistoren realisiert. Sowohl für die Herstellung der Drahtarray-

Feldeffekttransistoren als auch der Schaltungen erfolgt die Anordnung der Nanodrähte feldunterstützt.

Diese Arbeit gliedert sich wie folgt: In Kapitel 2 werden die Grundlagen zum Wachstum der Nanodrähte, zu ihrer feldunterstützten Anordnung, zur Prozesstechnologie, sowie zu den InAs Nanodraht-Feldeffekttransistoren und den untersuchten Schaltungen erörtert. Kapitel 3 behandelt die Herstellung der Einzeldraht- sowie Drahtarray-Feldeffekttransistoren und deren Untersuchung im Gleichspannungs- bis in den Hochfrequenzbereich. Die technologische Umsetzung in Schaltungen sowie deren Charakterisierung sind Gegenstand von Kapitel 4. Eine Zusammenfassung dieser Arbeit findet sich in Kapitel 5.

2 Grundlagen

In Abb. 2.1 ist schematisch der Aufbau eines Nanodraht-Feldeffekttransistors (Nanowire Field-Effect Transistor, NWFET) in der sogenannten Ω -Gate-Konfiguration gezeigt. Für die Herstellung des Transistors werden zunächst die Nanodrähte gewachsen, diese anschließend auf ein Trägersubstrat transferiert und dort mit den Ohmschen Kontakten Drain und Source sowie der Gate-Elektrode versehen. Letztere kann in Form einer Metall-Isolator-Halbleiter(Metall-Insulator-Semiconductor, MIS)-Struktur realisiert werden, bei der eine isolierende Schicht (blau) zwischen dem Nanodraht und der metallischen Gate-Elektrode liegt. Der halbleitende Nanodraht dient dem Transistor als Ladungsträgerkanal, dessen Leitfähigkeit über den Feldeffekt eingestellt wird.

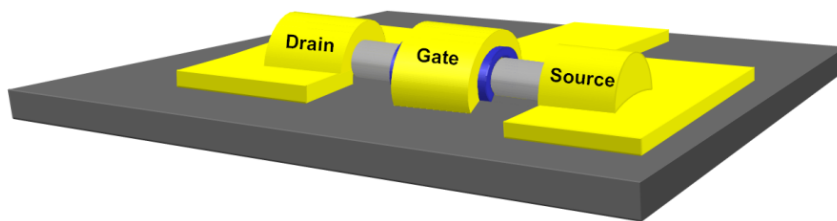


Abb. 2.1: Aufbau eines Nanodraht-Feldeffekttransistors in Ω -Gate-Konfiguration.

In den folgenden Unterkapiteln werden zuerst das epitaktische Wachstum der verwendeten InAs Nanodrähte einschließlich ihrer strukturellen Eigenschaften beschrieben. Es folgen die Grundlagen zum geordneten Transfer der Nanodrähte sowie zur Strukturierung der Kontakte und zur Abscheidung der Gate-Isolation. Anschließend werden die Funktionsweise des Nanodrahttransistors auf Basis der MIS-Elektrostatik, die Parameterextraktion im Gleichspannungs- bis Hochfrequenzbereich und zuletzt die Grundlagen zu den untersuchten Schaltungen erklärt.

2.1 Wachstum und strukturelle Eigenschaften der InAs

Nanodrähte

Für diese Arbeit wurden die InAs Nanodrähte ausschließlich in einer kommerziellen Anlage für metallorganische Gasphasenepitaxie (Metall-Organic Vapour-Phase Epitaxy, MOVPE) und unter Verwendung von Gold-Wachstumskeimen als Senke für die gasförmigen

Quellenmaterialien hergestellt. Im Folgenden sind der Wachstumsprozess und die daraus resultierenden strukturellen Eigenschaften grundlegend beschrieben. Eine detaillierte Ausführung über das Wachstum von III/V-Nanodrähten mittels MOVPE findet sich etwa in [42]. Dort werden auch alternative Methoden wie die „Selective Area Epitaxie“ und das oxidunterstützte Wachstum von Nanodrähten vorgestellt.

Wachstum von InAs Nanodrähten

Das MOVPE-Wachstum von III/V-Halbleiternanodrähten mittels metallischer Keime wird meist mit dem Vapour-Liquid-Solid-Mechanismus (VLS) [43, 44] erklärt, der von Wagner und Ellis für Silizium-Nanodrähte eingeführt wurde: Auf das Wachstumssubstrat aufgebraute Nanopartikel bilden in einem Ausheizschritt eine eutektische Verbindung mit dem Substratmaterial und liegen nun als Tropfen einer flüssigen Metall-Halbleiter-Legierung vor. Werden anschließend die Quellgase eingeleitet, nehmen die Tropfen das Halbleitermaterial bis zur Übersättigung auf. In Folge dessen kristallisiert das überschüssige Halbleitermaterial an der Unterseite der Tropfen aus. Der Durchmesser der sich ausbildenden, drahtförmigen Strukturen ist somit auf die Größe der Tropfen beschränkt. Die Nanopartikel können mittels einfacher Verfahren wie der Inertgaskondensation [45, 46] in den benötigten Größen hergestellt werden.

Als Wachstumskeime für die InAs Nanodrähte dieser Arbeit wurden monodisperse Gold-Nanopartikel verwendet, die in Form einer wässrigen, kolloidalen Suspension kommerziell erhältlich sind. Für eine homogene und reproduzierbare Belegung des Wachstumssubstrates erfolgt die Deposition der Partikel üblicherweise durch ein Aufschleudern der Suspension. Allerdings reicht die Anhaftung auf der hydrophoben Oberfläche der verwendeten InAs Substrate dafür nicht aus, so dass die Suspension hier lediglich aufgeträufelt und das Wasser mittels einer Heizplatte verdampft wird. Dies führt allerdings zu einer inhomogenen Verteilung der Partikel und somit später auch zu einer inhomogenen Wachstumsdichte. In [47] wurde berichtet, dass eine einheitliche Verteilung der Gold-Partikel durch eine zusätzliche Behandlung der Substratoberfläche mit poly-L-Lysine zu erzielen ist.

Die entsprechend präparierten Wachstumssubstrate werden im Reaktor der MOVPE-Anlage zunächst bei einer Temperatur von 600°C und unter Arsen-Gegendruck ausgeheizt, so dass die Nanopartikel aus dem Substrat Indium aufnehmen und eine Gold-Indium-Legierung entsteht. Anschließend wird die Wachstumstemperatur von 390°C bis 420°C eingestellt und Trimethylindium (TMIn) als Gruppe III-Quellenmaterial sowie Tertiärbutylarsin (TBAs) als

Gruppe V-Quelle bei einem konstanten V/III-Verhältnis von 6,1 eingeleitet. Gemäß der Modellvorstellung des VLS-Wachstums nehmen die Wachstumskeime das Gruppe III-Material bis zur Übersättigung auf, so dass dieses in Richtung Substrat auskristallisiert. Gleichzeitig dienen die Wachstumskeime auch als Senke für das Gruppe V-Material. Ist die Temperatur ausreichend niedrig gewählt, kommt es nicht zu einem ganzflächigen Schichtwachstum, sondern nur zu einem selektiven, auf die Größe des Partikels beschränkten Wachstum. Im Falle der InAs Nanodrähte stellt sich bei einer Temperatur von 400°C eine Wachstumsrate von etwa 1 $\mu\text{m}/\text{min}$ ein, die mehr als eine Größenordnung oberhalb derer bei konventionellem Schichtwachstum liegt.

Die Gold-Indium-Legierung, die sich während des Ausheizenschrittes bildet, hat eine Schmelztemperatur von etwa 455°C [48]. Bei den für die InAs Nanodrähte verwendeten Wachstumstemperaturen liegt somit kein flüssiger Tropfen vor, was in Widerspruch zu der Annahme eines VLS-Mechanismus steht. In [49] wurde mittlerweile gezeigt, dass bei goldunterstütztem MOVPE-Wachstum von InAs Nanodrähten anstelle eines VLS- ein VSS(Vapour-Solid-Solid)-Prozess vorliegt. Statt der zunächst angenommenen katalytischen Zerlegung der Quellgase an der Grenzfläche des flüssigen Tropfens gemäß [44], scheint der feste Nanopartikel hiernach nur eine Ansammlung der zerlegten Materialien zu begünstigen und auf diese Weise ein epitaktisches Wachstum zu initiieren.

Die Abb. 2.2 zeigt einen Ausschnitt einer Probe mit InAs Nanodrähten bei Verwendung eines (001) orientieren InAs Substrates und Gold-Wachstumspartikel mit einem Durchmesser von 50 nm.

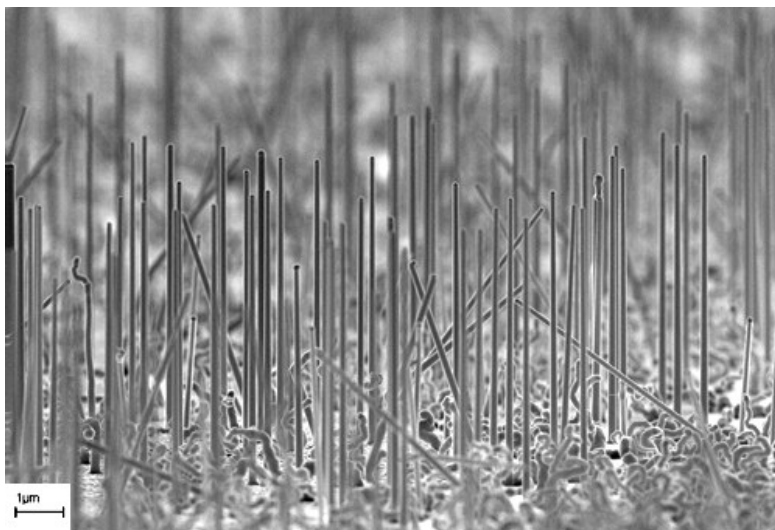


Abb. 2.2: InAs Nanodrähte auf (001) InAs Substrat.

Die Nanodrähte in dem abgebildeten Ausschnitt weisen eine Länge von etwa 10 μm und ein Aspektverhältnis von 1:200, also einen nahezu konstanten Durchmesser auf. Allerdings wachsen nicht alle Nanodrähte mit einem Durchmesser entsprechend der verwendeten Partikelgröße. Bei den hohen Temperaturen des Ausheizschrittes scheinen vereinzelt Partikel zusammenzulaufen, einhergehend mit einem Zuwachs der Partikelgröße und damit des Nanodrahtdurchmessers. Des Weiteren tritt neben dem beschriebenen Nanodrahtwachstum immer auch ein unerwünschtes additives Schichtwachstum an den Seitenflächen der Drähte auf, das zu einem Anstieg des Nanodrahtdurchmessers zum Substrat hin führt. Dieses sogenannte „Tapering“ nimmt zwar mit fallender Wachstumstemperatur erheblich ab [42], konnte allerdings nicht vollständig unterdrückt werden und ist zudem nicht für alle Nanodrähte eines Wachstumssubstrates gleich stark ausgeprägt. Eine Erklärung hierfür könnte in der sehr inhomogenen Wachstumsdichte liegen: Je dichter die Nanodrähte angeordnet sind, desto mehr Indium wird von den Gold-Nanopartikeln für das VSS-Wachstum eingesammelt und steht somit nicht für das additive Schichtwachstum zur Verfügung [42]. Das zusätzliche Halbleitermaterial verändert je nach Dicke und Leitfähigkeit die elektrischen Eigenschaften des Nanodrahtes und damit auch des Transistors.

In Abb. 2.2 ist zudem deutlich zu erkennen, dass nicht alle Nanodrähte in die gleiche Kristallrichtung gewachsen sind. Auf Substraten mit (001) orientierter Oberfläche wachsen die Nanodrähte zu einem großen Teil senkrecht, also in die $\langle 001 \rangle$ -Richtung. Zusätzlich tritt ein Wachstum in die verschiedenen $\langle 111 \rangle$ - und $\langle 112 \rangle$ -Richtungen auf, die um Winkel von $54,74^\circ$ bzw. $35,26^\circ$ gegenüber der Senkrechten geneigt sind. Grundsätzlich ist beim Wachstum von III/V-Halbleiternanodrähten die $\langle 111 \rangle$ -B-Richtung mit geringster freier Oberflächenenergie [50] bevorzugt. Neuere Untersuchungen zeigen jedoch Möglichkeiten auf, die Wachstumsrichtung über das V/III-Verhältnis [51] oder auch das Material der Wachstumskeime [52] vorzugeben. Wie im Folgenden genauer beschrieben ist, nimmt die Wachstumsrichtung der Nanodrähte erheblichen Einfluss auf deren Kristallstruktur, Kristalldefekte sowie Defektdichten, und damit auch auf die elektrischen Eigenschaften der Nanodrahttransistoren.

Strukturelle Eigenschaften von InAs Nanodrähten

Die strukturellen Eigenschaften der verwendeten InAs Nanodrähte wurden mittels hochauflösender Transmissions-Elektronenmikroskopie (HRTEM) untersucht [53].

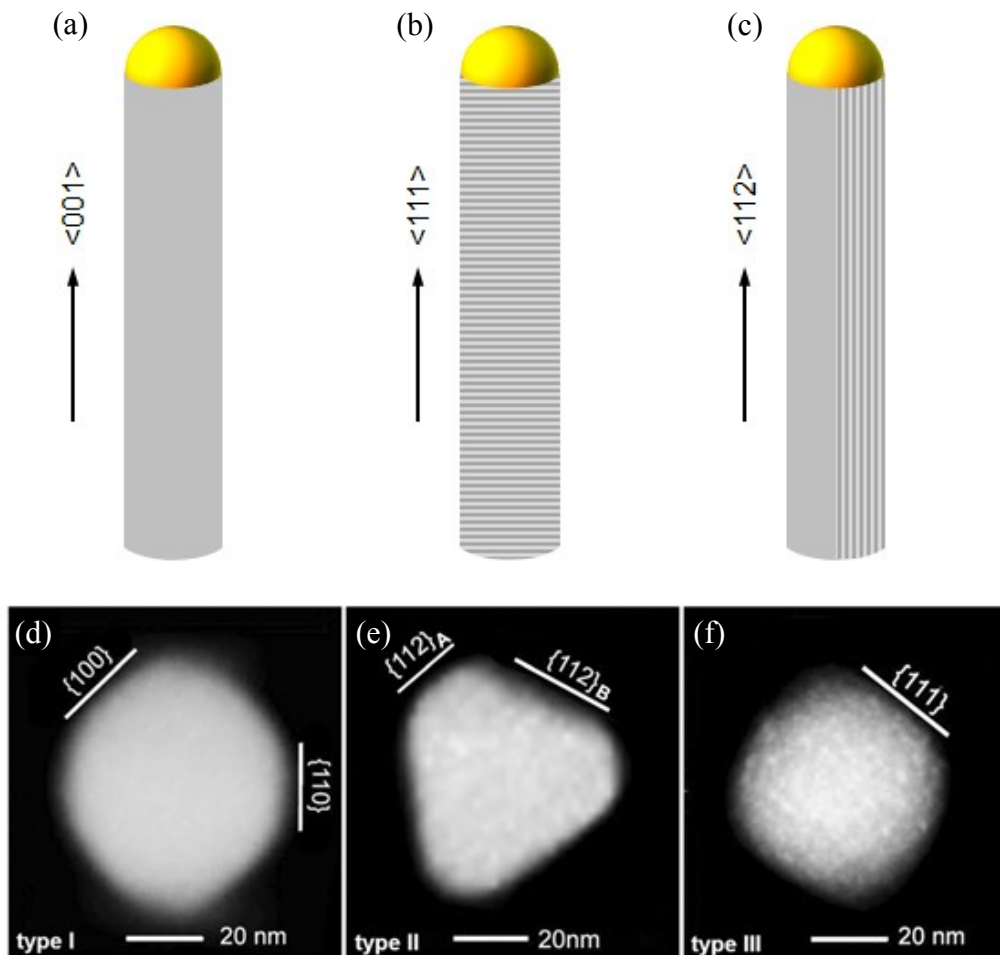


Abb. 2.3: Kristallstruktur der verwendeten InAs Nanodrähte: reines Zinkblende-Gitter bei Wachstum in $\langle 001 \rangle$ -Richtung (a), Wechsel zwischen Zinkblende- und Wurtzit-Gitter in $\langle 111 \rangle$ -Wachstumsrichtung (b), Bereiche mit Zinkblende-Gitter neben Bereichen mit Wechsel zwischen Zinkblende- und Wurtzit-Gitter senkrecht zur $\langle 112 \rangle$ -Wachstumsrichtung (c), und die zugehörigen Querschnitte (d, e und f; aus [53]).

Die höchste kristalline Güte liegt bei Wachstum in die $\langle 001 \rangle$ -Richtung vor. Diese Nanodrähte sind über die gesamte Länge frei von Stapelfehlern sowie Zwillingen und weisen, wie Bulk-InAs, ein Zinkblende-Gitter auf (a). Die Abbildung des Querschnittes lässt ausgeprägte $\{100\}$ - und $\{110\}$ -Seitenfacetten erkennen (d). Bei Wachstum in die $\langle 111 \rangle$ -Richtungen hingegen ist eine hohe Dichte an Stapelfehlern zu beobachten. Es tritt ein häufiger Wechsel zwischen Zinkblende- und Wurtzit-Gitter in Wachstumsrichtung auf (b), der auch in [49] berichtet wurde. Im Falle einer Zinkblende-Gitterstruktur weist InAs eine Bandlücke von 0,35 eV auf, während diese für das Wurtzit-Gitter um 120 meV, also 34%, größer ausfällt [54]. Die Querschnittsfläche ist bei gleicher Partikelgröße deutlich kleiner und fast dreieckig, da die sechs $\{112\}$ -Seitenfacetten abwechselnd eine stark unterschiedliche Breite aufweisen (e). Für die Nanodrähte mit den $\langle 112 \rangle$ -Wachstumsrichtungen finden sich zu etwa gleichen Teilen sowohl einkristalline Bereiche mit Zinkblende-Gitter, als auch Bereiche, in denen

wieder ein Wechsel zwischen Zinkblende und Wurtzit auftritt, hier allerdings senkrecht zur Wachstumsrichtung. Diese beiden Bereiche liegen in Richtung des Wachstums nebeneinander vor (c). Der Querschnitt erscheint nahezu rund (f).

Die mittels Transmissions-Elektronenmikroskopie untersuchten Nanodrähte haben einen (Partikel-)Durchmesser von 50 nm und wurden bei einer Temperatur von 400°C gewachsen. *Caroff et al.* [55] konnten für in $\langle 111 \rangle$ -Richtung gewachsene InAs Nanodrähte zeigen, dass die Kristallstruktur stark von der Wachstumstemperatur und der Partikelgröße abhängt. Die Nanodrähte wurden hier ebenfalls in einer MOVPE goldunterstützt gewachsen und die Partikelgrößen von 24 nm bis 84 nm sowie die Wachstumstemperaturen von 400°C bis 480°C variiert. Bei hohen Wachstumstemperaturen konnte ein Übergang der Gitterstruktur von rein Wurtzit bei den kleinsten Partikelgrößen, über einen häufigen Wechsel zwischen Wurtzit und Zinkblende in Wachstumsrichtung bei mittleren Durchmessern, bis hin zu rein Zinkblende bei großen Partikeln nachgewiesen werden. Mit Verringerung der Wachstumstemperatur nimmt insgesamt die Dichte einzelner Stapelfehler ab und der Anteil an Segmenten mit Wurtzit-Struktur steigt. So wachsen hier bei 400°C auch InAs Nanodrähte mit mittlerem Durchmesser einkristallin mit einer Wurtzit-Gitterstruktur anstelle des im vorangegangenen Abschnitt berichteten Wechsels zwischen Wurtzit und Zinkblende bei 50 nm Durchmesser und gleicher Wachstumstemperatur. Dieser Unterschied könnte in der (111)B orientierten Oberfläche des Wachstumssubstrates begründet sein oder in der Verwendung von Arsin als Gruppe-V Precursor. Es wurde bislang nicht weiter untersucht, ob auch auf einer (001)-Oberfläche und mit Tertiärbutylarsin Nanodrähte in $\langle 111 \rangle$ - und $\langle 112 \rangle$ -Wachstumsrichtung einkristallin wachsen, wenn die Temperatur unter 400°C gesenkt wird.

Da das Nanodrahtwachstum für diese Arbeit nicht auf eine Orientierung zu beschränken war und nach dem Transfer auf die Träger- bzw. Schaltungssubstrate keine Unterscheidung zwischen den Wachstumsrichtungen mehr möglich ist, werden für die Transistoren somit Nanodrähte mit stark unterschiedlicher kristalliner Güte und Querschnittsfläche verwendet. In $\langle 001 \rangle$ -Richtung gewachsene Nanodrähte mit einer defektfreien Zinkblende-Struktur versprechen hierbei die höchste Leitfähigkeit, während diese aufgrund der vielen Kristalldefekt im Falle der $\langle 111 \rangle$ - und $\langle 112 \rangle$ -Wachstumsrichtungen sowie der für erstere deutlich reduzierten Querschnittsfläche erheblich geringer ausfallen wird. Daher sind, insbesondere bei Transistoren die aus nur einem Nanodraht aufgebaut werden, Parameterstreuungen zu erwarten.

2.2 Feldunterstützte Anordnung von Nanodrähten

Eine definierte Anordnung der Nanodrähte auf den Trägersubstraten vereinfacht gegenüber einer ungeordneten Deposition nicht nur die Herstellung der Transistoren ganz erheblich, sondern ermöglicht zudem Drahtarray-Feldeffekttransistoren und auch komplexe Schaltungen systematisch zu realisieren. Die Nanodrähte können mechanisch vom Wachstumssubstrat entfernt, in Lösungsmittel dispergiert und mit einheitlicher Ausrichtung als geschlossener Film strömungsgesteuert [56, 57] oder mittels Langmuir-Blodgett-Technik [58, 59] auf dem Träger abgelegt werden. Der Nanodraht-Film ist anschließend etwa mit einem maskierten Ätzschritt zu strukturieren. Ein weiteres Verfahren stellt die feldunterstützte Anordnung dar, bei der die Nanodrähte mit Hilfe elektrischer Felder zwischen vorstrukturierten Elektroden platziert werden [33, 40, 41]. Dies erlaubt eine genaue Positionierung der Nanodrähte, deren Deposition einzeln oder auch in großer Anzahl und mit verschiedenen Orientierungen für eine uneingeschränkte Schaltungstopologie erfolgen kann. Die feldunterstützte Anordnung gilt als zuverlässigste und am besten zu kontrollierende Methode mit der Eignung für die Massenproduktion von Nanodraht- bzw. Nanoröhren-basierten Bauelementen [33].

In Abb. 2.4 ist schematisch der Ablauf der feldunterstützten Anordnung dargestellt. Die Suspension aus Lösungsmittel und Nanodrähten (Präparation siehe 3.1) wird auf das Schaltungssubstrat geträufelt (a), auf das zuvor die Elektroden aufgebracht wurden. Werden diese nun mit einer elektrischen Spannung versorgt, baut sich ein inhomogenes elektrisches Feld auf (b), das die Nanodrähte zu den Elektroden bewegt. Dort bleiben sie aufgrund von Van-der-Waals Kräften [60] haften, wenn die restliche Suspension entfernt wird (c).

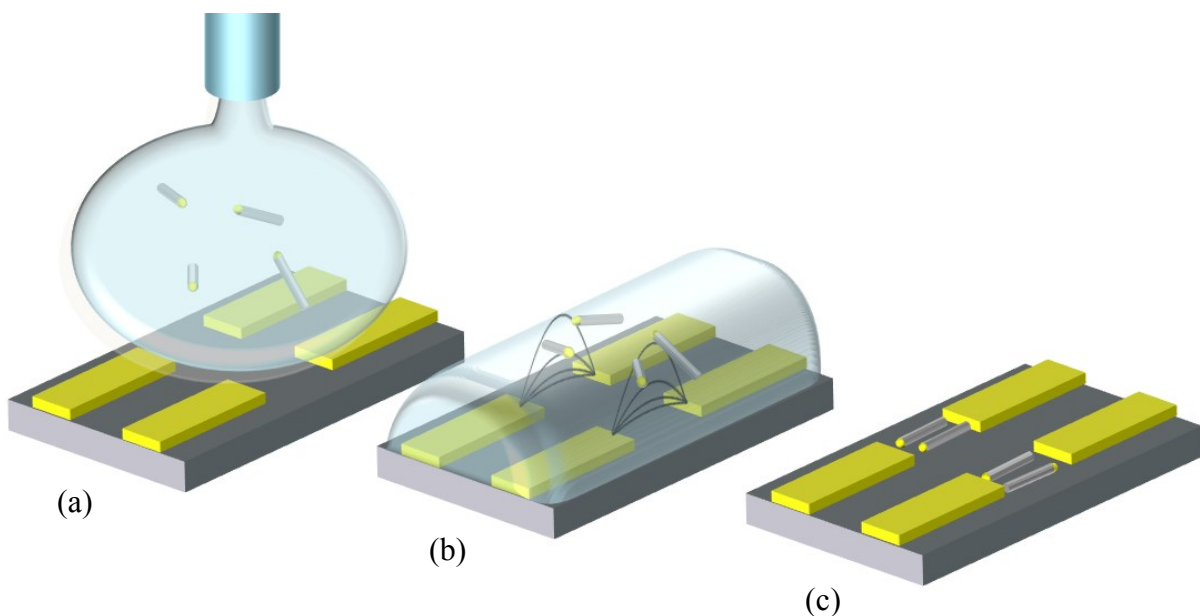


Abb. 2.4: Feldunterstützte Anordnung von Nanodrähten.

Die selektive Bewegung neutraler Partikel in flüssigen Medien, hervorgerufen durch ein inhomogenes elektrisches Feld, wird auch als Dielektrophorese bezeichnet [61]. Das elektrische Feld verschiebt in den Partikeln Ladungen (Polarisation), induziert also Dipolmomente. Da das elektrische Feld inhomogen ist, wirken auf die Ladungen bzw. Ladungsschwerpunkte unterschiedlich große Kräfte. Hieraus resultiert die Bewegung. Anisotrope Partikel, wie die Nanodrähte, erfahren zudem ein Drehmoment, das zu einer Ausrichtung parallel zu den Feldlinien führt. Weisen die Partikel eine höhere Polarisierbarkeit als die Flüssigkeit auf, so erfolgt die Bewegung gemäß dem Prinzip der minimalen Energie in Richtung größerer Feldstärken, andernfalls entgegen. Mittels Dielektrophorese können Partikel unterschiedlichster Formen und Materialien [62], selbst etwa biologische Zellen [63, 64], manipuliert werden.

Die dielektrophoretische Kraft \mathbf{F}_{DEP} hängt von den elektrischen Eigenschaften der Partikel und des flüssigen Mediums sowie von Größe und Form der Partikel ab. Für längliche Sphäroide, die bezüglich der Polarisierbarkeit eine sehr gute Näherung für Nanodrähte mit hohem Aspektverhältnis darstellen [65], gilt nach [62]

$$\mathbf{F}_{\text{DEP}} = c \varepsilon_M \text{Re}\{K\} \nabla (|\mathbf{E}_{\text{rms}}|^2) \quad (2.1)$$

mit dem Vorfaktor c , in den das Volumen des Nanodrahtes eingeht, der Permittivität des flüssigen Mediums ε_M , dem Clausius-Mossotti Faktor K und dem quadratischen Mittelwert des Betrages der elektrischen Feldstärke \mathbf{E}_{rms} . Der Clausius-Mossotti Faktor ist ein Maß für die Stärke des induzierten Dipolmomentes in Abhängigkeit der komplexen Permittivität des Nanodrahtes ε_N^* sowie der des umgebenden Mediums ε_M^* , und ergibt sich in axialer Richtung des Nanodrahtes gemäß [66] zu:

$$K = \frac{\varepsilon_N^* - \varepsilon_M^*}{\varepsilon_M^*} \quad (2.2)$$

Für die komplexe Permittivität des Nanodrahtes bzw. des Mediums wiederum gilt:

$$\varepsilon_{N,M}^* = \varepsilon_{N,M} - j \frac{\sigma_{N,M}}{\omega} \quad (2.3)$$

Dabei ist $\varepsilon_{N,M}$ die Permittivität des Partikels bzw. des Mediums, und $\sigma_{N,M}$ ihre elektrische Leitfähigkeit. Über die Kreisfrequenz ω geht die Signalfrequenz ein. Für den Realteil des Clausius-Mossotti Faktors in Gleichung 2.1 folgt damit:

$$\operatorname{Re}\{K\} = \frac{\omega^2 \varepsilon_M (\varepsilon_N - \varepsilon_M) - \sigma_M (\sigma_M - \sigma_N)}{\varepsilon_M^2 \omega^2 + \sigma_M^2} \quad (2.4)$$

Für ein zeitinvariantes elektrisches Feld ($\omega = 0$) vereinfacht sich Gleichung 2.4 zu:

$$\operatorname{Re}\{K\} = \frac{\sigma_N - \sigma_M}{\sigma_M} \quad (2.5)$$

und für den Grenzfall $\omega \rightarrow \infty$, als Näherung für ein Wechselfeld mit sehr hoher Frequenz, zu:

$$\lim_{\omega \rightarrow \infty} \operatorname{Re}\{K\} = \frac{\varepsilon_N - \varepsilon_M}{\varepsilon_M} \quad (2.6)$$

Demnach ist die dielektrophoretische Kraft bei niedriger Frequenz des Feldes umso größer, je höher die Leitfähigkeit der Nanodrähte gegenüber der des flüssigen Mediums ausfällt. Als Medium können etwa Isopropanol oder deionisiertes Wasser verwendet werden, die bei Raumtemperatur eine elektrische Leitfähigkeit von $5,8 \mu\text{S/m}$ bzw. $5,5 \mu\text{S/m}$ aufweisen [67, 68]. Diese liegt etliche Größenordnungen unterhalb der Leitfähigkeit der (unpassivierten) InAs Nanodrähte von bis zu 100 kS/m [69]. Bei umgekehrten Verhältnissen und damit negativen Realteil des Clausius-Mossotti Faktors würden die Nanodrähte in Richtung kleinerer Feldstärken, also von den Elektroden weg bewegt („negative Dielektrophorese“). Befinden sich Partikel mit unterschiedlicher Leitfähigkeit in dem Medium, so kann mittels Dielektrophorese eine Selektion vorgenommen werden, etwa zur Trennung metallischer und halbleitender Carbon-Nanoröhren [70].

Bei sehr hohen Frequenzen wirkt auf die Nanodrähte gemäß Gleichung 2.6 eine anziehende Kraft, wenn ihre (relative) Permittivität kleiner als die des flüssigen Mediums ist. Sowohl Isopropanol als auch deionisiertes Wasser mit $\varepsilon_{r,M} = 19,4$ [71] bzw. 80 [68] weisen jedoch eine größere relative Permittivität auf als InAs mit $14,5$ [72]. Bei sehr hohen Frequenzen wäre somit keine Anordnung der InAs Nanodrähte möglich. Aus Gleichung 2.4 ergibt sich, unter Annahme einer frequenzunabhängigen Permittivität [73], der in Abb. 2.5 dargestellte Verlauf des Realteils des Clausius-Mossotti Faktors. Erst ab einer Frequenz von etwa $1,5 \text{ GHz}$ kommt es zu einer negativen Dielektrophorese, allerdings ist bereits für Frequenzen oberhalb 10 kHz mit einer deutlichen Abnahme der dielektrophoretische Kraft zu rechnen.

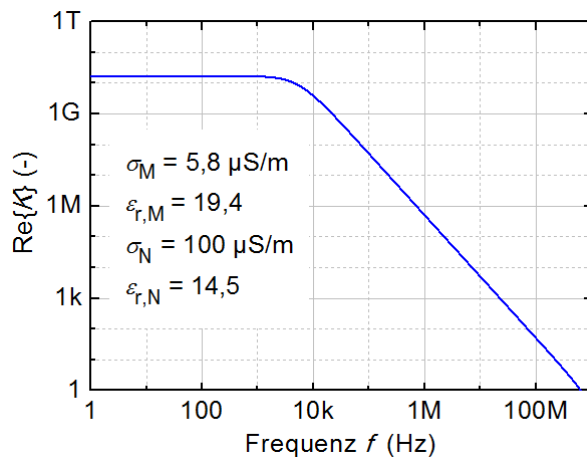


Abb. 2.5: Realteil des Clausius-Mossotti Faktors K in axialer Richtung eines InAs Nanodrahtes bei Verwendung von Isopropanol als Lösungsmittel.

Bei den vorangegangenen Betrachtungen wurde nur die Polarisierbarkeit in axialer Richtung des Nanodrahtes berücksichtigt. Aufgrund des hohen Aspektverhältnisses der verwendeten InAs Nanodrähte fällt der Realteil des Clausius-Mossotti Faktors K in radialer Richtung bei niedrigen Frequenzen auch bedeutend kleiner aus, weist aber eine schwächere Frequenzabhängigkeit auf und kann bei hohen Frequenzen merklichen Einfluss auf die Richtung der resultierenden dielektrophoretischen Kraft nehmen. Diese orientiert sich mit zunehmender Frequenz verstärkt in Richtung des Feldstärkegradienten. So wurde in [68] für sehr schmale Elektroden mit stark ausgeprägten Streufeldern berichtet, dass die angeordneten Nanodrähte für ein Wechselfeld mit niedriger Frequenz häufig nur mit einer der beiden Elektroden in Kontakt kommen und eine Orientierung entlang der Feldlinien des Streufeldes aufweisen. Bei größeren Frequenzen hingegen wurden die Elektroden bevorzugt entlang der Mittelachse überbrückt. Eine gezielte Ausnutzung der Polarisierbarkeit in radialer Richtung ermöglicht demnach eine präzisere Ausrichtung der Nanodrähte. Allerdings fällt der Betrag der resultierenden dielektrophoretischen Kraft bei hohen Frequenzen kleiner aus und somit sinkt die Ausbeute [68]. Es ist zu bedenken, dass etwa die Brownsche Bewegung [74, 75] der Anordnung der Nanodrähte entgegenwirkt.

2.3 Grundlagen zur Bauelemententechnologie

Nach dem Transfer der Nanodrähte auf das Trägersubstrat werden sie mit den Drain- und Source-Kontakten versehen. Für die feldunterstützt angeordneten Nanodrähte konnte zur Strukturdefinition optische Lithographie eingesetzt werden. Die Lackstrukturen wurden

mittels Lift-Off-Technik in die aufgedampfte Ohm-Metallisierung übertragen. Eine detaillierte Beschreibung dieser Standardtechnologien findet sich etwa in [76] und [77]. Für die ungeordnet deponierten Nanodrähte hingegen mussten die Strukturen mittels Elektronenstrahlolithographie definiert werden, die in 2.3.1 beschrieben ist.

Nach Strukturierung der Drain- und Source-Kontakte wird die isolierende Schicht für die MIS-Gate-Struktur abgeschieden. In der vorliegenden Arbeit fand ausschließlich Siliziumnitrid (SiN_x) als Isolationsschicht bzw. Gate-Dielektrikum Verwendung. Die Abscheidungen der SiN_x -Schichten erfolgte bei Raumtemperatur, so dass eine Strukturübertragung mittels Lift-Off-Technik möglich ist. Das Abscheideverfahren sowie die verwendete Anlage werden in 2.3.2 genauer dargestellt, da der Gate-Isolation eine besondere Bedeutung für die elektrischen Eigenschaften der Transistoren zukommt.

Abschließend sind die Gate-Elektroden aufzubringen. Diese wurden mittels Elektronenstrahlolithographie definiert, die eine bessere Auflösungen und Strukturtreue als die optische Lithographie bietet. Für die Nanodrahttransistoren ergibt sich die in Abb. 2.1 gezeigte Ω -förmige Gate-Elektrode. Die Schaltungen können weitere Strukturierungen erfordern, wie in 4.2 und 4.3 beschrieben ist.

2.3.1 Elektronenstrahlolithographie

Grundlagen

Bei der Elektronenstrahlolithographie (Electron Beam Lithography, EBL) wird ein Lack gemäß der zu erzeugenden geometrischen Strukturen mit Elektronen beschossen und hierdurch chemisch verändert. Diese „belichteten“ Bereiche weisen im folgenden Entwicklungsschritt eine andere Löslichkeit auf [78]. Die Elektronen werden aus einer Glühkathode oder Feldemissionsquelle gewonnen, in einem elektrischen Feld von mehreren Kilo-Volt pro Zentimeter beschleunigt und durch ein elektronenoptisches System zu einem fein fokussierten Elektronenstrahl konzentriert. Der Elektronenstrahl wird computer-gestützt mit Hilfe von Rasterspulen geführt und „schreibt“ so die Strukturen nacheinander in den Lack. Die Elektronenstrahlolithographie zeichnet sich, neben der flexiblen Umsetzung beliebiger geometrischer Strukturen, insbesondere durch eine hervorragende Auflösung und Tiefenschärfe aus. Sie findet aufgrund der hohen Belichtungszeiten, die überwiegend aus der seriellen Arbeitsweise resultieren, allerdings nur begrenzt Anwendung.

Die höhere Auflösung im Vergleich zur Fotolithographie wird durch die deutlich geringere Wellenlänge der zur Belichtung eingesetzten Strahlung möglich. Das theoretisch erreichbare Auflösungsvermögen cd (critical dimension) berechnet sich nach [79] als Funktion der Wellenlänge λ zu:

$$cd = k_1 \cdot \frac{\lambda}{NA} \quad (2.7)$$

Die numerischen Aperatur NA beschreibt dabei das Vermögen der Quellenlinse, die Strahlung zu fokussieren [80], und der Prozessparameter k_1 spiegelt in erster Linie die Beschaffenheit des Lackes wieder ($0,3 < k_1 < 1,1$) [81]. Höchstauflösende optische Lithographiesysteme, die das monochromatische Licht von Argonfluorid-Excimerlasern mit einer Wellenlänge von 193 nm verwenden [81], können unter erheblichem apparativen Aufwand tatsächlich Auflösungen bis 28 nm erzielen. Mittels EBL hingegen werden im praktischen Einsatz Strukturgrößen unterhalb 10 nm umgesetzt. Die Auflösung ist in diesem Fall nicht durch die Wellenlänge limitiert, die bei den gängigen Beschleunigungsspannungen (typischerweise 10-50 kV) nur wenige Pico-Meter beträgt, sondern durch den Strahldurchmesser sowie insbesondere durch Streuprozesse im Lack und im Halbleiter [82].

Diese Streuprozesse können elastisch, also ohne Energieverlust, oder inelastisch erfolgen, einhergehend mit einer Impulsübertragung, die neben Phononen auch sogenannte Sekundärelektronen erzeugt. Die elastische Streuung der einfallenden Elektronen verringert die Auflösung zum einen durch eine Aufweitung des Elektronenstrahls, die mit der sogenannten Vorwärtsstreuung einhergeht (Ablenkung kleiner 90° in Einfallrichtung). Zum anderen wird zusätzlich aufgrund „rückgestreuter“ Elektronen (Ablenkung größer 90°) ein Bereich belichtet, der größer als der Strahlquerschnitt ist. Hauptsächlich ist das Auflösungsvermögen allerdings durch die Sekundärelektronen der inelastischen Streuprozesse begrenzt, die sich im Lack bewegen und hier eine Belichtung außerhalb des Elektronenstrahles verursachen [82].

Der Lack besteht aus elektronenstrahlempfindlichen Polymeren, die durch den Beschuss mit hochenergetischen Elektronen in Radikale aufbrechen. Bei einem positiv arbeitenden Lack verbleiben die zerschlagenen Polymerketten größtenteils in ihrer aufgespaltenen Form [83] und können so leicht von der Entwicklerflüssigkeit herausgelöst werden. Im Falle eines Negativlackes hingegen kommt es zu einer starken Wiedervernetzung der Radikale, die anschließend eine geringere Löslichkeit aufweisen [84]. Unter Verwendung eines geeigneten Entwicklers wird daher der Lack in den unbelichteten Bereichen entfernt. Der Lack muss die

Anforderungen durch die folgenden Prozessschritte erfüllen, wie eine ausreichende Haftung zu Vermeidung von Unterätzungen oder die Ausbildung unterschrittener Flanken für einen Lift-Off. Darüber hinaus kann sich die zu belichtende Fläche stark für einen positiv und einen negativ arbeitenden Lack unterscheiden, so dass eine entsprechende Wahl des Lackes die Belichtungszeit minimiert. In diese gehen auch die Empfindlichkeit des Lackes und die gewählten Belichtungsparameter ein, wie im Folgenden genauer ausgeführt wird.

Die zu belichtenden Strukturen werden jeweils aus einzelnen Punkten zusammengesetzt, an deren Position der Elektronenstrahl bis zum Erreichen der erforderlichen Belichtungs-dosis verharret. Effektiv werden hierbei kreisförmige Flächen belichtet, die für eine ausreichend homogene Dosisverteilung überlappen müssen, da die Belichtungsintensität ausgehend vom Kreismittelpunkt abfällt. Ursächlich hierfür sind die gaußförmige Energieverteilung der Primärelektronen im Strahlquerschnitt und die stark abnehmende Dichte der sekundären sowie rückgestreuten Elektronen. Die Anordnung der einzelnen Punkte zu den geometrischen Strukturen erfolgt zeilenweise im sogenannte Line- oder Mäander-Modus. Während im Line-Modus der Strahl am Ende einer jeden Zeile zurück an den Anfang der nächsten geführt und diese in gleiche Richtung abgearbeitet wird, wechselt im Mäander-Modus die Bewegungsrichtung des Strahls von Zeile zu Zeile. Die Zeit für das Zurückführen des Elektronenstrahls („Flyback Time“) wird im Mäander-Modus somit eingespart.

Die Belichtungszeit t_D für die einzelnen Punkte ergibt sich aus der erforderlichen Belichtungs-dosis D (Empfindlichkeit des Lackes), der Schrittweite d_s zwischen den Punkten, und dem Strahlstrom I_B gemäß:

$$t_D = \frac{D \cdot d_s^2}{I_B} \quad (2.8)$$

Die Belichtungs-dosis D wiederum verhält sich in erster Näherung proportional zu der Beschleunigungsspannung der Elektronen [85]. Neben der Verwendung hochempfindlicher Lacke ist eine kürzere Belichtungszeit demnach durch eine Reduzierung der Beschleunigungsspannung und Erhöhung des Strahlstroms zu erreichen. Da beides zu einer Vergrößerung des Strahldurchmessers und damit einer geringeren Auflösung führt, kann die Belichtungszeit auf diesem Wege nur in Grenzen minimiert werden. Die gewählte Schrittweite hingegen scheint auf die Belichtungszeit einer vollständigen Struktur zunächst keinen Einfluss auszuüben: Zwar verhält sich die Punktbelichtungszeit proportional zum Quadrat der Schrittweite (Gleichung 2.8), jedoch nimmt gleichzeitig die Anzahl der zu

belichtenden Punkte umgekehrt proportional zu diesem ab. Insbesondere im Line-Modus führt eine kleinere Schrittweite und damit eine größere Anzahl an Zeilen tatsächlich aber zu einem erheblichen Anstieg der Belichtungszeit, da mit den abzuarbeitenden Zeilen die Summe der Flyback-Zeiten im gleichen Maße anwächst.

Für eine hohe Strukturtreue und die Ausbildung glatter Kanten muss die Schrittweite zwischen den einzelnen Punkten dennoch ausreichend klein gegenüber der Strukturgröße sein. Die gewählte Schrittweite und die Auflösung der Digital-Analog(DA)-Wandler, mit denen die Rasterpulven angesteuert werden, geben wiederum die maximal mögliche Auslenkung des Elektronenstrahls und damit die Größe der sogenannten Schreibfelder vor. Für die Belichtung einer vollständigen Probe sind mehrere Schreibfelder aneinander zu reihen. Hierzu muss die Probe zwischen der Belichtung der einzelnen Schreibfelder hochpräzise verschoben werden. Auch dies trägt zu einer hohen Belichtungszeit bei.

Um das hohe Auflösungsvermögen der Elektronenstrahlolithographie zukünftig auch in der großtechnischen Fertigung nutzen zu können, werden derzeit unterschiedliche Ansätze zur Reduzierung der erforderlichen Belichtungszeit verfolgt, wie Mehrstrahlschreiber oder die maskenbasierte Elektronenstrahlolithographie. Letztere weist starke Parallelen zur optischen Lithographie auf: Die Bereiche, in denen der Lack der Strahlung ausgesetzt wird, werden mit einer teiltransparenten Maske vorgegeben. Ein paralleler Elektronenstrahl trifft entweder auf eine Transmissionsmaske, aus der die Strukturen ausgespart wurden (stencil mask), oder wird durch absorbierende bzw. streuende Strukturen auf einem elektronenstrahltransparenten Träger abgeschattet. Die Verwendung von Streumasken im sogenannten SCALPEL-Verfahren (Scattering with Angular Limitation Projection Electron-beam Lithography) [86] bietet hier die Vorteile einer geringeren Aufladung und Erwärmung [87]. Bei der maskenbasierten Elektronenstrahlolithographie entfällt somit die serielle Abarbeitung der einzelnen Strukturen, jedoch bleiben bislang die Stromdichte bzw. Querschnittsfläche des parallelen Elektronenstrahls, sowie die Empfindlichkeit der Lacke hinter den Werten zurück, die Belichtungszeiten im Bereich derer der optischen Lithographie ermöglichen würden.

Aufbau des verwendeten Elektronenstrahlolithographie-Systems

Bei dem verwendeten System handelt es sich um ein Rasterelektronenmikroskop der Firma JEOL, Typ JSM-6600, das für die lithographische Nutzung um einige Komponenten erweitert wurde. Der Aufbau der Anlage ist schematisch in Abb. 2.6 dargestellt.

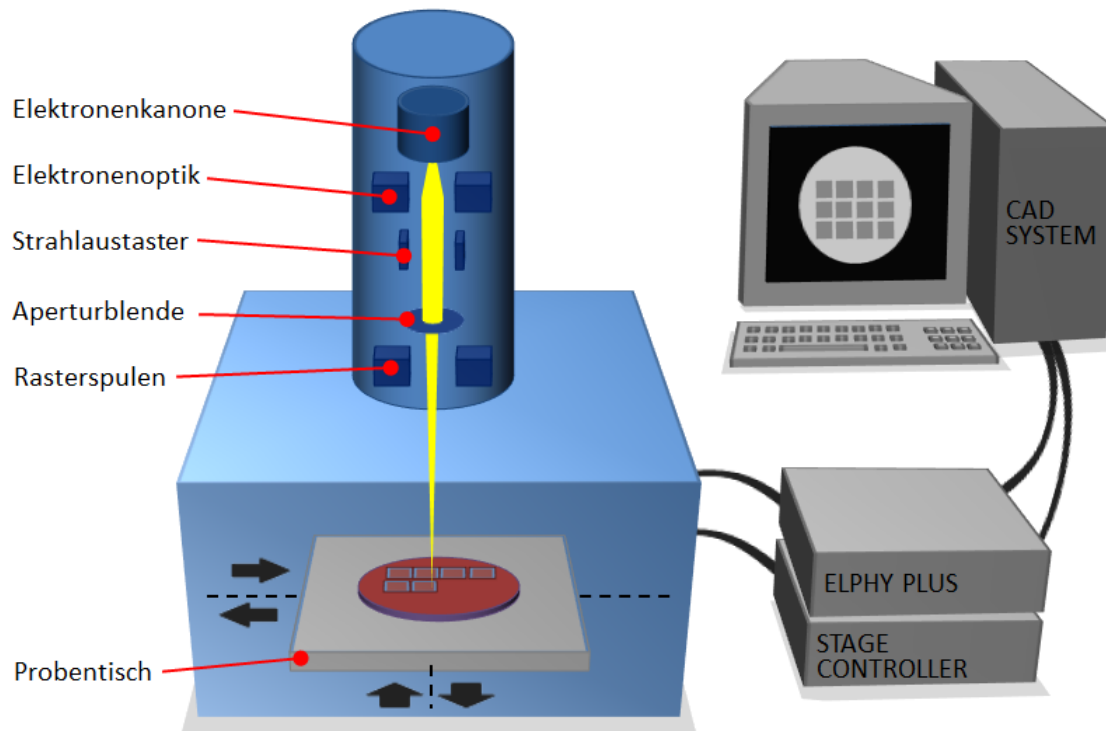


Abb. 2.6: Komponenten eines Elektronenstrahlolithographiesystems.

Der Elektronenstrahl wird bei dem verwendeten Rasterelektronenmikroskop (REM) mit einer Wolframhaarnadelkathode erzeugt, aus der die Elektroden thermisch herausgelöst werden. Durch die thermische Emission weisen die Elektronen eine größere Energieunschärfe gegenüber aktuellen Systemen mit Feldemittern auf, verbunden mit einer stärkeren Strahlaufweitung durch chromatische Linsenfehler. Es können Nanodrähte mit kleinsten Durchmessern von 30 nm aufgelöst und kontaktiert werden. In den Strahlengang des Rasterelektronenmikroskops wurde unterhalb der Elektronenkanone ein Strahlaustaster integriert, der den Strahl elektrostatisch auf den für Elektronen undurchlässigen Bereich einer Blende ablenken kann. Ein Austasten des Elektronenstrahls ist immer dann erforderlich, wenn eine geometrische Struktur vollständig belichtet wurde und der Strahl an die Position der nächsten Struktur geführt wird, bei einer Neupositionierung des Probentisches und, im Line Modus, zwischen den zu belichtenden Zeilen.

Der Strahlaustaster sowie die Rasterspulen werden von dem Muster-Generator Elphy Plus der Firma Raith gesteuert, und dieser wiederum von dem CAD(Computer-Aided Design)-System. Die DA-Wandler des Muster-Generators arbeiten mit einer Taktfrequenz von 2,66 MHz und einer Auflösung von 16 bit [88]. Diese Taktfrequenz erlaubt eine niedrigste Punktbelichtungszeit von 375 ns. Die Auflösung der DA-Wandler gibt die kleinstmögliche Schrittweite für die jeweilige Schreibfeldgröße vor. Für ein gängiges Schreibfeld mit einer Kantenlänge von 500 μm ergeben die 2^{16} Schritte eine Schrittweite von 7,62 nm und

Vielfache dieser. Die Festlegung der genauen Belichtungsparameter erfolgt in der Software, die gleichzeitig auch dem Entwurf der Strukturen dient.

Die Belichtung einer vollständigen Probe erfordert die hochpräzise Positionierung einer großen Anzahl von Schreibfeldern. Hierfür ist die Anlage mit einem motorisierten Proben­tisch der Firma Raith ausgestattet, der mit Hilfe des Stage-Controllers über das CAD-System zu steuern ist. Der Einsatz von Laserinterferometrie erlaubt eine Positioniergenauigkeit von unter 100 nm innerhalb des Verfahrweges von 45 mm x 45 mm. Dies ermöglicht auch eine äußerst genaue Vermessung der Koordinaten von zufällig deponierten Nanodrähten (siehe 3.1).

2.3.2 Plasma-unterstützte Abscheidung von Siliziumnitrid

Siliziumnitrid wird in der Mikroelektronik in großem Umfang als Dielektrikum und Passivierungsschicht, sowie in vielen Prozessen als Maskierungs- und Stopmaterial, genutzt [77]. Die Abscheidung der SiN_x -Schichten erfolgt, wie das Wachstum der Nanodrähte, mittels chemischer Gasphasendeposition (Chemical Vapour-Phase Deposition, CVD). Allerdings werden in diesem Fall die Moleküle der Reaktionsgase nicht durch Zufuhr von Wärme aufgebrochen, sondern mit Hilfe beschleunigter Elektronen in einem Plasma [89]. Die Prozesstemperaturen für eine thermische Zerlegung der Quellgase würden weit oberhalb des Temperaturbudgets der meisten Bauelemente liegen (etwa Einlegieren der Metallisierungen) und zudem bei III/V-Halbleitern zu einer Desorption der Gruppe-V Atome führen. Bei Verwendung molekularen Stickstoffs (N_2) anstelle des gebräuchlichen Quellgases Ammoniak (NH_3), das hohe Substrattemperaturen für die thermische Desorption des Wasserstoffes benötigt [90], werden sogar Abscheidungen bei Raumtemperatur und damit die Verwendung temperaturempfindlicher Lackmasken für einen folgenden Lift-Off-Schritt möglich [91]. Die Zerlegung molekularen Stickstoffs erfordert höchste Plasmaleistungen, die mit Hilfe der Elektronen-Zyklotron-Resonanz (Electron-Cyclotron-Resonance, ECR) [92] zu erreichen sind. Bei dieser wird über elektromagnetische Wellen resonant Energie auf die Elektronen des Plasmas übertragen. Durch ein extern angelegtes Magnetfeld bewegen sich die Elektronen auf Spiralbahnen mit einer Umlauffrequenz („Zyklotronfrequenz“), die von der magnetischen Flussdichte abhängt [93]. Werden die Umlauffrequenz und die Frequenz der elektromagnetischen Wellen aufeinander abgestimmt, erreicht die aus der Beschleunigung aufgenommene Energie in diesem Resonanzfall ihr Maximum.

Abb. 2.7 zeigt den Aufbau der verwendeten CVD-Anlage der Firma Oxford Technology, Typ Plasma Lab System 90, die nach dem beschriebenen ECR-PE(Plasma-Enhanced)-Prinzip arbeitet.

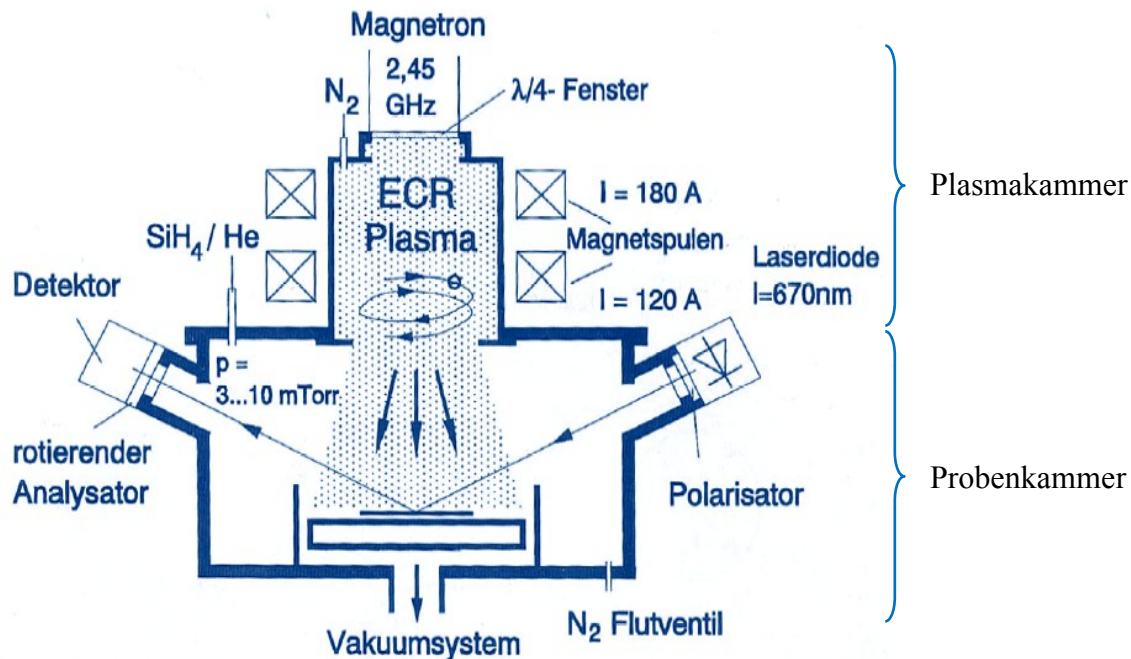


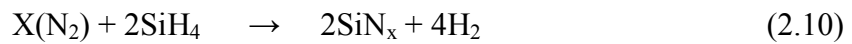
Abb. 2.7: Aufbau der verwendeten ECR-PECVD-Anlage nach [77].

Der Reaktor dieser Anlage ist in zwei Bereiche unterteilt, die Plasmakammer und die Probenkammer. Die örtliche Trennung des Plasmas und der Probe (Remote Plasma) ist erforderlich, um eine Schädigung der Probenoberfläche durch die hohen Plasmaleistungen zu verhindern [94]. Nachteilig wirkt sich bei dieser Anordnung aus, dass es auf der Strecke zwischen Plasma und Probe zu einem Verlust von Radikalen sowie zu Gasphasenreaktionen der reaktiven Gasmoleküle kommen kann, bevor diese die Substratoberfläche erreichen.

Über einen Mass-Flow-Controller (MFC) zur Regelung des Gasflusses wird das Quellgas N_2 in die Plasmakammer eingeleitet. Die Zündung des Plasmas erfolgt hier über die elektromagnetischen Wellen eines Magnetrons [95], die durch ein Quarzfenster in die Plasmakammer eingekoppelt werden. Das verwendete Magnetron lässt Mikrowellenleistungen bis zu 1500 W bei einer Frequenz von 2,45 GHz zu. Die Einstellung der zugehörigen Umlauffrequenz für die resonante Beschleunigung der Elektronen wird über das Magnetfeld eines außerhalb der Kammer angeordneten Magnetspulenpaares erreicht. So werden die N_2 -Moleküle in großer Anzahl zerschlagen und die entstandenen Radikale bewegen sich diffusionsgetragen in die unterhalb angeordnete Prozesskammer.

In diese wird über einen unabhängigen MFC ein Silan/Helium-Gemisch, bestehend aus 5 % Silan (SiH_4) und 95 % Helium (He), eingeleitet. Das sehr instabile SiH_4 zerfällt hier ohne

zusätzlichen Energieaufwand in seine Bestandteile. Die Zusammensetzung der abgeschiedenen SiN_x -Schicht wird dabei durch das Flussverhältnis der Quellgase, das über die MFCs mit hoher Genauigkeit zu regeln ist, bestimmt. Die chemischen Reaktionen bei der Abscheidung sind in den folgenden Gleichungen beschrieben:



Für die Abscheidung der SiN_x -Schichten mit Dicken von meist 30 nm wurde ein im Fachgebiet entwickelter Standardprozess verwendet [96]. Die erzielten Schichtdicken konnten nach der Strukturierung mit einem taktilen Profiler bzw. einem Rasterkraftmikroskop überprüft werden. Für die verwendeten Parameter wurde in vorangegangenen Arbeiten eine relative Permittivität der abgeschiedenen Schichten von $\epsilon_{r,\text{SiN}_x} \approx 7,5$ ermittelt [96].

2.4 Funktionsweise und Kenngrößen des Nanodraht-Feldeffekttransistors

Die Funktion der untersuchten Nanodrahttransistoren beruht auf dem Feldeffekt: Über die Influenzwirkung eines elektrischen Feldes wird die Leitfähigkeit des Ladungsträgerkanals zwischen den Drain- und Source-Kontakten gesteuert. Das elektrische Feld kann durch eine elektrische Spannung zwischen der Gate-Elektrode und dem Source-Kontakt hervorgerufen werden. Ein sperrendes Verhalten der Gate-Source-Diode für kleinste Eingangsströme wird durch eine isolierende Schicht zwischen der Gate-Metallisierung und dem Halbleiter, die MIS-Struktur, oder mit Hilfe eines Schottky-Kontaktes erreicht. Letzterer weist für InAs hohe Leckströme aufgrund der geringen Barrierenhöhe zum Metall auf und wurde daher in dieser Arbeit nicht verfolgt.

In Abb. 2.8 ist der Bandverlauf entlang der MIS-Struktur, also in radialer Richtung des Nanodrahtes für unterschiedliche Potentialverhältnisse dargestellt. Es wurde eine n-Dotierung des Halbleiters angenommen. Das Potential der Gate-Elektrode und des Ladungsträgerkanals ist hier mit φ_G bzw. φ_K bezeichnet, die Differenz $\varphi_G - \varphi_K$ mit $\Delta\varphi_{GK}$.

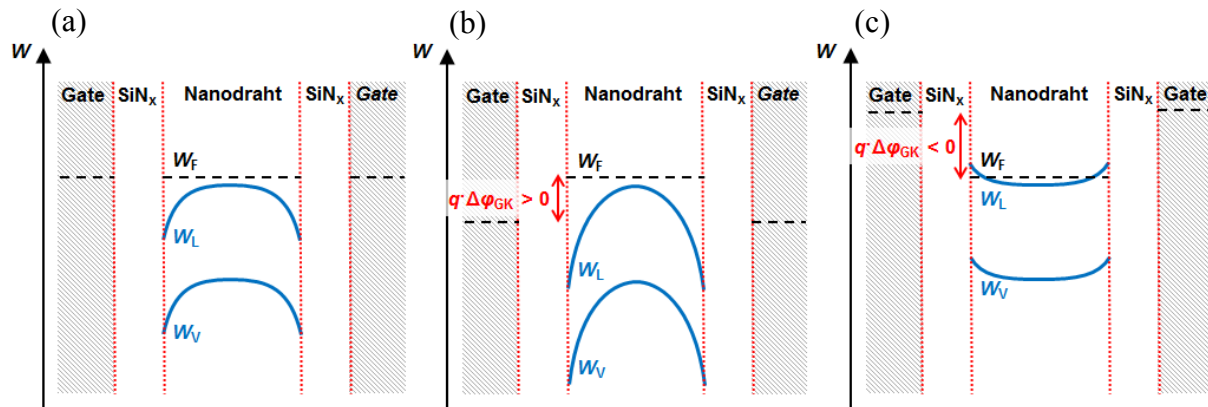


Abb. 2.8: Bänderdiagramm für einen n -dotierten Nanodraht-Feldeffekttransistor entlang der MIS-Struktur für $\varphi_G = \varphi_K$ (a), $\varphi_G > \varphi_K$ (b) und $\varphi_G < \varphi_K$ (c).

InAs Volumen-Halbleiter weisen ein „Fermi-Level-Pinning“ [27] auf: Durch eine hohe Dichte von Donator-Typ Störstellen an der Oberfläche liegt das Fermi-Niveau dort im Leitungsband. Für einen InAs Nanodraht mit einem Durchmesser von 50 nm und einer Störstellendichte von 10^{13} cm^{-2} wurde in [97] (Kelvinsondenmikroskopie und dreidimensionale elektrostatische Simulationen) festgestellt, dass sich das Fermi-Niveau hier ohne Einwirkung eines äußeren elektrischen Feldes sogar über den kompletten Querschnitt oberhalb der Leitungsbandunterkante befindet. In [98] ergaben hydrodynamische Simulationen für einen Nanodraht-FET der vorliegenden Arbeit die gleiche Störstellendichte. Der Nanodraht weist demnach bereits für $\varphi_G = \varphi_K$ bzw. $\Delta\varphi_{\text{GK}} = 0 \text{ V}$ bewegliche Elektronen auf, mit besonders hoher Konzentration an der Oberfläche, an der sich im Bereich der starken Bandverbiegung ein zweidimensionales Elektronengas ausbildet [27] (vgl. Abb. 2.8 a). Durch Anheben des Gate-Potentials ($\Delta\varphi_{\text{GK}} > 0 \text{ V}$) werden weitere Elektronen influenziert und die Anreicherungsschicht dehnt sich aus, so dass ein immer größerer Teil des Nanodrahtquerschnittes hochleitfähig wird, wie in Abb. 2.8 b dargestellt.

Ist hingegen das Gate-Potential kleiner als das des Kanals ($\varphi_{\text{GK}} < 0 \text{ V}$), so wird die oberflächennahe Anreicherung von Elektronen abgebaut. Der Kanal verarmt zunehmend an freien Ladungsträgern und wird dadurch immer hochohmiger (Abb. 2.8 c). Die Potentialdifferenz, unterhalb derer kein leitfähiger Kanal mehr vorliegt, wird als Schwellenspannung U_T bezeichnet. Diese kann stark durch Ladungen im Isolator, Störstellen an der Grenzfläche zum Halbleiter sowie auch durch die Austrittsarbeitsdifferenz zwischen dem Halbleiter und dem Metall der Gate-Elektrode beeinflusst sein. Für die untersuchten InAs Nanodraht-FETs mit einer 30 nm dicken Gate-Isolation aus SiN_x liegt die Schwellenspannung meist bei um $U_T = -0,5 \text{ V}$. In Abhängigkeit der angelegten Spannungen kommt es zu einer Umladung von

Störstellen bzw. einer Verschiebung beweglicher Ladungsträger im Isolator, einhergehend mit einer Instabilität der Schwellenspannung.

Liegt eine Spannung U_{DS} zwischen Drain und Source an, so beträgt das Potential des Ladungsträgerkanals am Drain-Kontakt $\varphi_{K,D} = U_{DS}$ und am Source-Kontakt $\varphi_{K,S} = 0$ V. Das Gate-Potential wird über die Gate-Source-Spannung U_{GS} eingestellt und ist entlang der Gate-Elektrode konstant. Die zuvor betrachtete Differenz zwischen Gate- und Kanalpotential $\Delta\varphi_G$ ist somit am Source-Kontakt maximal und ergibt sich dort zu $\Delta\varphi_{GK,S} = \varphi_G - \varphi_{K,S} = U_{GS}$. Am Drain-Kontakt wird die Potentialdifferenz mit $\Delta\varphi_{GK,D} = U_{GS} - U_{DS}$ am kleinsten. Abb. 2.9 zeigt die resultierenden Strom-Spannungskennlinien.

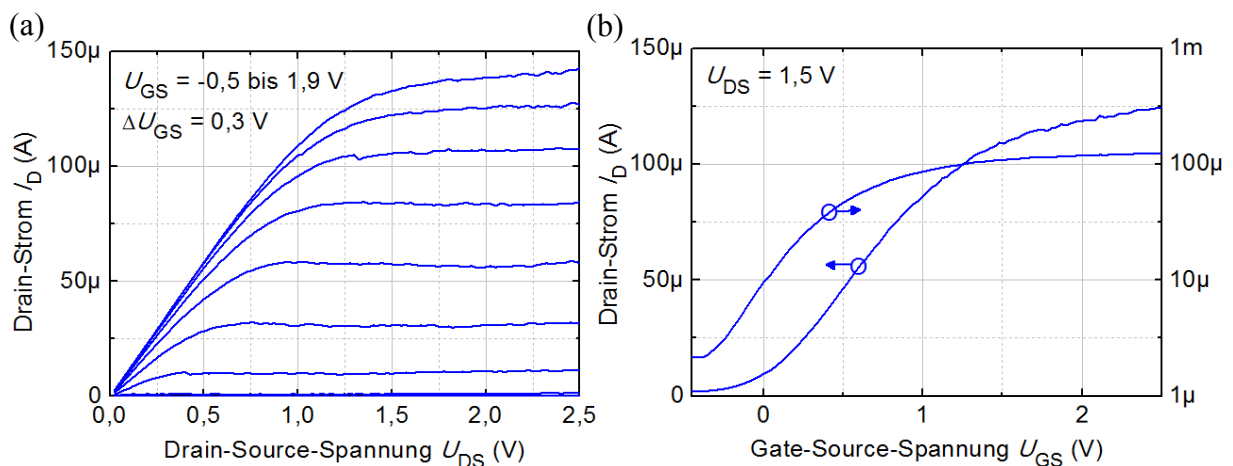


Abb. 2.9: Ausgangskennlinienfeld (a) und Übertragungskennlinie (b) eine InAs Nanodraht-FETs [28]. Die Übertragungskennlinie ist linear und halblogarithmisch (rechte y-Achse) abgebildet.

Für kleine Drain-Source-Spannungen $U_{DS} \ll U_{GS} - U_T$, im sogenannten Anlaufgebiet des Ausgangskennlinienfeldes (AKF, Abb. 2.9 a), ist $\Delta\varphi_{GK}$ bei ausreichend großer Spannung U_{GS} über die gesamte Länge des Ladungsträgerkanals größer als die Schwellenspannung U_T ($\Delta\varphi_{GK,D} = U_{GS} - U_{DS} \gg U_T$) und dieser mit quasi-freien Elektronen angereichert, also hoch leitfähig. Die Ladungsträrgeschwindigkeit und damit der Drain-Strom I_D steigen hier linear mit der Feldstärke entlang des Kanals bzw. mit U_{DS} an. Die Steigung der Kennlinien ist durch den Kanalwiderstand sowie die Kontaktwiderstände von Drain und Source gegeben. Wird U_{GS} erhöht, so nimmt die Konzentration der Elektronen zu und damit der Kanalwiderstand ab. Der Transistor verhält sich in diesem Bereich wie ein steuerbarer Widerstand. Bei sehr großen Spannungen U_{GS} („open-channel“) dominieren die Kontaktwiderstände von Drain und Source den Gesamt-widerstand, so dass kein weiterer Anstieg von I_D mehr zu beobachten ist.

Für $U_{DS} \geq U_{GS} - U_T$ wird am Drain-seitigen Ende des Kanals die Potentialdifferenz $\Delta\varphi_{GK}$ kleiner als die Schwellenspannung ($\Delta\varphi_{GK,D} = U_{GS} - U_{DS} \leq U_T$), der Kanal ist in diesem

Bereich somit verarmt bzw. abgeschnürt („pinch-off“). Er wird hier aufgrund der hohen Feldstärken weiterhin von den Elektronen passiert, so dass I_D nicht abnimmt. Der zugehörige Bereich des Ausgangskennlinienfeldes wird als Sättigungsbereich bezeichnet. Die hochohmige Verarmungszone am Drain-Kontakt dehnt sich mit zunehmender Drain-Source-Spannung weiter aus, einhergehend mit einem verkürzten hochleitfähigen Abschnitt des Kanals („channel-length modulation“), dessen Widerstand damit sinkt. Zudem steigt dort die Elektronenkonzentration an, da die Ladung auf der Gate-Elektrode unverändert bleibt und die gleiche Gegenladung in einem nun kürzeren Abschnitt influenziert („drain induced barrier lowering“ [99, 100]). Daher steigt I_D im Sättigungsbereich sogar geringfügig mit U_{DS} an, quantifiziert durch den Ausgangsleitwert g_{ds} . Neben einer Kanalabschnürung kann auch eine Geschwindigkeitssättigung der Ladungsträger bei hohen Feldstärken entlang des Kanals [101], und somit bevorzugt bei Transistoren mit kurzen Kanal- bzw. Gate-Längen, zu einer Sättigung des Drain-Stromes führen.

Den Abständen zwischen den einzelnen Kennlinienästen des Ausgangskennlinienfeldes ist zu entnehmen, wie sich I_D mit U_{GS} ändert. Diese Abhängigkeit wird auch von der Übertragungskennlinie wiedergegeben (Abb. 2.9 b). Oberhalb der Schwellenspannung steigt der Drain-Strom zunächst rasch mit U_{GS} bzw. der Ladungsträgerkonzentration im Kanal an. Bei hohen Spannungen U_{GS} knickt die Kennlinie allerdings leicht ab, der Zuwachs im Drain-Strom wird ab hier immer geringer. Dies kann in der nur begrenzt zu erhöhenden Ladungsträgerkonzentration im Kanal begründet sein oder in dem Spannungsabfall über dem Source-Kontaktwiderstand. Der Spannungsabfall nimmt mit I_D zu und wirkt gegenkoppelnd auf U_{GS} .

Das Verhalten unterhalb der Schwellenspannung („Sub-Threshold-Bereich“) ist der halb-logarithmischen Auftragung von I_D in Abb. 2.9 b zu entnehmen. I_D fällt zunächst stark ab und nimmt schließlich einen weitestgehend konstanten Wert, den sogenannten „Off-current“ I_{Off} an. Dieser ist im Falle der untersuchten InAs Nanodraht-FETs, die vollständig auf einer isolierenden Schicht liegen, nicht auf einen Substratstrom zurückzuführen, sondern wird durch Band-Band-Tunneln hervorgerufen [102].

Langkanal-MOSFET-Modell

Eine einfache analytische Beschreibung der Kennlinienfelder liefert das Langkanal-MOSFET-Modell [103]:

$$I_D = \frac{\mu C_{GS}}{L_G^2} \left[(U_{GS} - U_T) U_{DS} - \frac{1}{2} U_{DS}^2 \right] \quad (2.11)$$

Dabei ist μ die Elektronenbeweglichkeit, C_{GS} die Gate-Source-Kapazität und L_G die Gate-Länge. Für kleine Drain-Source-Spannungen $U_{DS} \ll U_{GS} - U_T$ kann Gleichung 2.11 vereinfacht werden zu:

$$I_D = \frac{\mu C_{GS}}{L_G^2} (U_{GS} - U_T) U_{DS} \quad (2.12)$$

und gibt damit die beschriebene lineare Abhängigkeit des Drain-Stromes von U_{DS} wieder. Ab $U_{DS} = U_{GS} - U_T$ nimmt der Drain-Strom nach diesem Modell einen von U_{DS} unabhängigen Wert an von:

$$I_D = \frac{\mu C_{GS}}{2L_G^2} (U_{GS} - U_T)^2 \quad (2.13)$$

Der zuvor beschriebene Anstieg von I_D im Sättigungsbereich kann über die sogenannte „Pinch-off“-Konstante λ berücksichtigt werden durch Multiplikation mit dem Term $1 + \lambda \cdot U_{DS}$.

2.4.1 Kenngrößen im Gleichspannungsbereich

Aus den zuvor betrachteten Kennlinienfeldern können wichtige Kenngrößen des Transistors, wie die Steilheit g_m , das On/Off-Verhältnis und die Unterschwellsteigung (Subthreshold-Slope) SS , extrahiert werden. Diese wirken sich empfindlich auf das elektrische Verhalten der realisierten Schaltungen aus (siehe 2.5 und Kapitel 4).

Die Steilheit g_m beschreibt die Änderung des Drain-Stromes I_D (Ausgangsgröße) mit der Gate-Source-Spannung U_{GS} (Eingangsgröße) bei konstanter Drain-Source Spannung und stellt

somit ein Maß für die Verstärkungsfähigkeit des Transistors dar. Sie entspricht der Steigung der Übertragungskennlinie und kann zudem aus dem Ausgangskennlinienfeld bestimmt werden: Der Abstand ΔI_D zwischen zwei Kennlinienästen wird durch die Schrittweite ΔU_{GS} geteilt. Die Abhängigkeit der Steilheit von den physikalischen Größen des Transistors liefert die Ableitung von Gleichung 2.13 nach U_{GS} :

$$g_m = \frac{\mu C_{GS}}{L_G^2} (U_{GS} - U_T) \quad (2.14)$$

In dieser Gleichung zeigt sich die Bedeutung der sehr hohen Ladungsträgerbeweglichkeit des InAs Kanalmaterials, die ein Vielfaches derer von Silizium beträgt. Der Einfluss von Hochfeldeffekten wird in 3.2 diskutiert. Die Verwendung eines Drahtes als Kanal ermöglicht eine umlaufende Gate-Elektrode auszubilden und so eine größere Gate-Source-Kapazität einhergehend mit einer besseren elektrostatischen Steuerwirkung zu erzielen. Der Nanodraht-FET führt damit die FinFET-Technologie [3, 16, 104] fort, bei der der Kanal als „Finne“ aus dem Halbleitermaterial herausgeätzt wird und das Gate diesen somit von oben sowie den Seiten steuern kann. Auch dünne Gate-Dielektrika mit besonders hoher relativer Permittivität („high-k“-Materialien, $\epsilon_r > 3,9$) vergrößern die Gate-Source-Kapazität für eine verbesserte Kontrolle über den Ladungsträgerkanal und werden daher seit einigen Jahren intensiv erforscht [z.B. 105, 106]. In diesem Zusammenhang ist auch die Vergleichsgröße EOT (Equivalent Oxid Thickness) gebräuchlich, die sich aus der relativen Permittivität $\epsilon_{r,high-k}$ und Dicke d_{high-k} des zu vergleichenden Dielektrikum sowie der relativen Permittivität von Siliziumdioxid (SiO_2) $\epsilon_{r,\text{SiO}_2}$ ergibt zu:

$$\text{EOT} = \frac{\epsilon_{r,\text{SiO}_2}}{\epsilon_{r,high-k}} d_{high-k} \quad (2.15)$$

Die Steilheit kann zudem durch eine reduzierte Gate-Länge gesteigert werden (Gleichung 2.14). Um hierbei die elektrostatische Kontrolle über den Kanal aufrecht zu erhalten, muss allerdings ein Gate-Aspekt-Verhältnis von größer fünf bestehen bleiben [5]. Dieses setzt die Gate-Länge ins Verhältnis zu dem Abstand zwischen Gate und Kanal.

Das On/Off-Verhältnis und die Unterschwellsteigung werden aus der halblogarithmisch dargestellten Übertragungskennlinie bestimmt. Ersteres gibt das Verhältnis von I_{On} , also dem Drain-Strom bei voll aufgesteuertem Kanal, zu I_{Off} an. Im Falle der InAs Nanodraht-FETs wird das On/Off-Verhältnis durch das Band-Band-Tunneln, das zu einem hohen Off-Strom

führt [102], limitiert und ist etwa durch Einfügen von InAs/InAsP-Heterostrukturen in Wachstumsrichtung des Nanodrahtes zu verbessern [107]. Wie steil der Übergang zwischen I_{On} und I_{Off} erfolgt, wird durch die Unterschwellsteigung quantifiziert. Sie entspricht der Spannungsdifferenz ΔU_{DS} , die für eine Änderung des Drain-Stromes um eine Dekade erforderlich ist (550 mV/dec in Abb. 2.9 b) [108]. Beide Kenngrößen beeinflussen massiv die Leistungsaufnahme elektronischer Schaltungen oder auch die Spannungsdrift eines Abtast-Halte-Gliedes (2.5.2). Eine ausführlichere Diskussion der erzielten Werte, auch in Abhängigkeit der Gate-Länge, erfolgt in 3.2.

2.4.2 Kenngrößen im Hochfrequenzbereich

Im Hochfrequenzbereich können die Transistoren auf Grundlage von Streuparameter-(S-Parameter-) Messungen charakterisiert werden. Die S-Parameter stellen eine Beziehung zwischen den hin- und rücklaufenden elektromagnetischen Wellen an den Toren des untersuchten Netzwerkes her. Ein Zweitor, wie der Transistor, wird durch die Reflexionsfaktoren (S_{11} , S_{22}) und die Transmissionsfaktoren (S_{12} , S_{21}) beschrieben. Aus den S-Parametern gehen wichtige Kenngrößen hervor, wie die Stromverstärkung h_{21} und die maximale stabile Verstärkung MSG. Insbesondere die Grenzfrequenzen der Strom- bzw. Leistungsverstärkung werden in der vorliegenden Arbeit zur Bewertung der Nanodrahttransistoren herangezogen.

Die Stromverstärkung und die maximale stabile Verstärkung [109] folgen aus den S-Parametern zu:

$$h_{21} = \frac{-S_{21}}{(1-S_{11})(1+S_{22})+S_{12}S_{21}} \quad (2.16)$$

$$\text{MSG} = \frac{|S_{21}|}{|S_{12}|} \quad (2.17)$$

In einer logarithmischen Auftragung zeigt die Stromverstärkung eines Feldeffekttransistors bei hohen Frequenzen einen charakteristischen Abfall von -10 dB/dec und nimmt bei der Transitfrequenz f_T einen Wert von 1 an (bzw. 0 dB). Die maximale stabile Verstärkung hingegen fällt mit -20 dB/dec bis zu der maximalen Schwingfrequenz f_{max} ($\text{MSG} = 1$). Die Korrelation der messtechnisch ermittelten Daten mit den Elementen des Ersatzschaltbildes (Abb. 2.10) zeigt die Möglichkeiten zur Verbesserung der Hochfrequenzeigenschaften des Transistors auf.

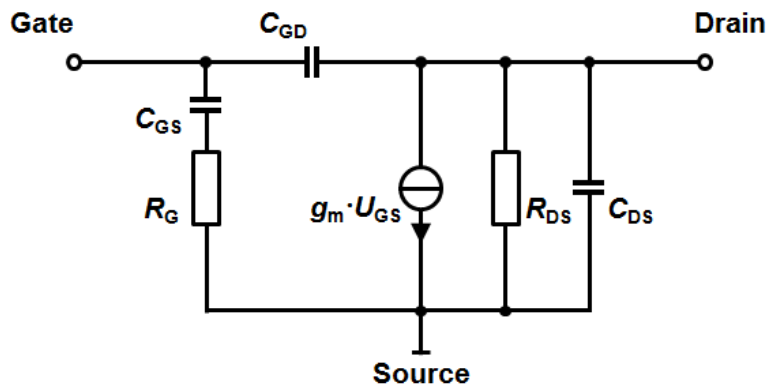


Abb. 2.10: Kleinsignalersatzschaltbild eines Feldeffekttransistors.

Dabei sind C_{GD} die Gate-Drain-Kapazität, R_G der Gate-Widerstand und R_{DS} der Ausgangswiderstand. Die Werte der Ersatzschaltbildelemente werden so angepasst, dass die Abweichungen zwischen den aus dem Ersatzschaltbild berechneten S-Parametern und den S-Parametern aus der Messung minimal werden. Aus den physikalischen Elementen des Transistors ergeben sich die Transitfrequenz und die maximale Schwingfrequenz zu:

$$f_T = \frac{g_m}{2\pi C_{GS}} \quad (2.18)$$

$$f_{\max} = \frac{f_T}{2\sqrt{\frac{R_G + R_{DS}}{R_{DS}} + 2\pi f_T R_G C_{GD}}} \quad (2.19)$$

Ein gängiges Mittel zur Verbesserung der Grenzfrequenzen ist die Reduzierung der Gate-Länge, einhergehend mit einer größeren Steilheit und verringerter Gate-Source-Kapazität.

Die gemessenen S-Parameter sind durch die kapazitive, induktive und ohmsche Wirkung der Zugangsstrukturen beeinflusst. Im Falle der Nanodraht-FETs dominieren die parasitären Kapazitäten die S-Parameter (siehe 3.3) und die S-Parameter des inneren Transistors werden nur durch ein „De-embedding“ zugänglich. Hierzu sind Kalibrationsmessungen an OPEN(Leerlauf)- sowie SHORT(Kurzschluss)-Strukturen (Abb. 2.11) durchzuführen, aus denen sich die Werte der parasitären Elemente ergeben. Die gemessenen S-Parameter können anschließend von dem Einfluss der Kontaktstrukturen befreit werden. Details zu den Messverfahren sowie zum Messplatz finden sich in [110].

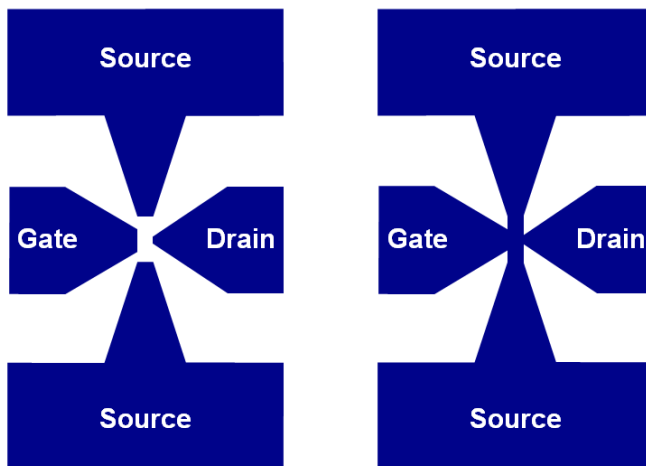


Abb. 2.11: OPEN- und SHORT-Kalibrationselemente für das De-embedding.

2.5 Analoge und digitale Grundsaltungen

Die Nanodrahttransistoren wurden im Rahmen dieser Arbeit auch in Inverterschaltungen und Abtast-Halte-Gliedern eingesetzt. Im Folgenden sind deren Aufbau und Funktion grundlegend beschrieben.

2.5.1 Die Inverterschaltung

Invertieren kommt als Grundsaltung sowohl der Digital- als auch der Analogtechnik eine besondere Bedeutung zu. In der Digitaltechnik werden Inverter neben der Realisierung der logischen Negation auch in anderen Logik-Gattern als Ein- und Ausgangsbuffer sowie zum Auffrischen der Signalpegel in mehrstufigen Digitalschaltungen verwendet. In der Analogtechnik wird die Inverterschaltung etwa als Verstärker eingesetzt. Sie kann aus einem Transistor als Verstärkerelement (Treiber) und einem weiteren Transistor als aktive Last aufgebaut werden (Abb. 2.12 a). Für selbstleitende Transistoren, wie den InAs Nanodraht-FETs dieser Arbeit, ist der Betrieb als aktive Last durch einen Kurzschluss von Gate und Source möglich.

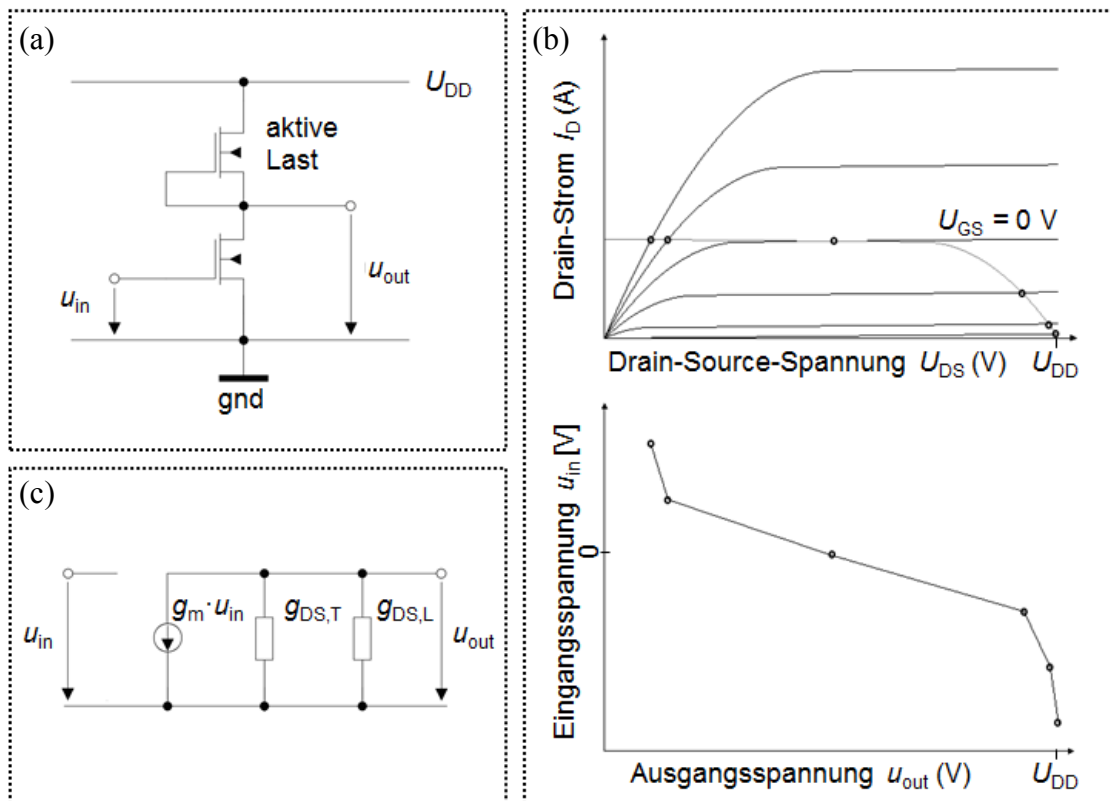


Abb. 2.12: Inverter mit aktiver Last: Schaltplan (a), Übertragungsverhalten (b) und Kleinsignalersatzschaltbild (c).

Der Verlauf der Ausgangsspannung u_{out} in Abhängigkeit der Eingangsspannung u_{in} ist der Übertragungskennlinie zu entnehmen (Abb. 2.12 b). Diese ergibt sich aus dem Kennlinienast des Lasttransistors für $U_{\text{GS}} = 0 \text{ V}$ und dem Ausgangskennlinienfeld des Treibertransistors. Weisen die beiden Transistoren die gleichen elektrischen Eigenschaften auf, so entspricht u_{out} bei einer Eingangsspannung von 0 V der halben Versorgungsspannung U_{DD} . Wird nun die Eingangsspannung erhöht, so sinkt der Kanalwiderstand des Treibertransistors und mit ihm die Ausgangsspannung. Ist sein Kanal ausreichend weit aufgesteuert, so liegt der Ausgang nahezu auf Massepotential („Low-Zustand“). Für Eingangsspannungen kleiner 0 V hingegen fällt die Versorgungsspannung zunehmend über dem Treiber ab und nähert sich der Versorgungsspannung U_{DD} an („High-Zustand“). Das Eingangssignal wird somit invertiert.

Das Übertragungsverhalten hängt stark von der Steilheit und dem Ausgangsleitwert der Transistoren ab. Mit der Steilheit des Treibertransistors nimmt die Steigung der Übertragungskennlinie zu, so dass für einen Übergang zwischen den beiden Ausgangszuständen ein kleinerer Spannungshub am Eingang genügt. Diese ist etwa von großer Bedeutung, wenn Inverter in mehrstufigen Digitalschaltungen zum Auffrischen des Signals eingesetzt werden. Mit einem kleineren Ausgangsleitwert der aktiven Last sind eine geringere

Restspannung im Low-Zustand und so auch ein größerer „Fan-out“ zu erreichen, der die maximal zulässige Anzahl von Folgestufen am Ausgang der Schaltung wiedergibt [111].

Der Übertragungskennlinie kann, neben dem zuvor betrachteten Großsignalverhalten, auch die Kleinsignalspannungsverstärkung v_u entnommen werden. Diese entspricht der Steigung der Übertragungskennlinie im jeweiligen Arbeitspunkt. Eine analytische Beschreibung dieser wichtigen Kenngröße liefert das Kleinsignalersatzschaltbild (Abb. 2.12 c):

$$v_u = - \frac{g_{m,T}}{g_{ds,T} + g_{ds,L}} \quad (2.20)$$

Dabei sind $g_{m,T}$, $g_{ds,T}$ und $g_{ds,L}$ die Steilheit bzw. der Ausgangsleitwert des Treibertransistors sowie der aktiven Last. Die Ausgangsleitwerte müssen hier somit klein gegenüber der Steilheit des Treibertransistors ausfallen, um eine große Kleinsignalverstärkung zu erzielen. Dies ist bei den InAs Nanodraht-FETs gegeben.

2.5.2 Das Abtast-Halte-Glied

Ein Abtast-Halte-Glied erfasst ein wert- sowie zeitkontinuierliches Eingangssignal und stellt den Spannungswert, der am Ende der Abtastphase vorliegt, in der folgenden Haltephase idealerweise konstant am Ausgang zur Verfügung („Momentanwertspeicher“) [112]. Anwendung findet ein Abtast-Halte-Glied etwa als Eingangsstufe in AD-Wandlern. Während ein AD-Wandler den Momentanwert einer analogen Eingangsspannung erfasst und in einen digitalen Wert wandelt, dürfen nur geringste Spannungsänderungen auftreten, da diese Quantisierungsfehler verursachen bzw. die mögliche Auflösung des AD-Wandlers herabsetzen würden. Als Speicherelement eines Abtast-Halte-Gliedes kann ein Kondensator Verwendung finden, der über einen Transistor auf den Wert der zu erfassenden Eingangsspannung aufgeladen und in den Haltephasen von dieser getrennt wird.

Ein Abtast-Halte(engl. Sample-and-Hold, kurz s&h)-Glied kann in einfacher Form aus nur einem Transistor und einem Kondensator aufgebaut werden, wie schematisch in Abb. 2.13 a dargestellt.

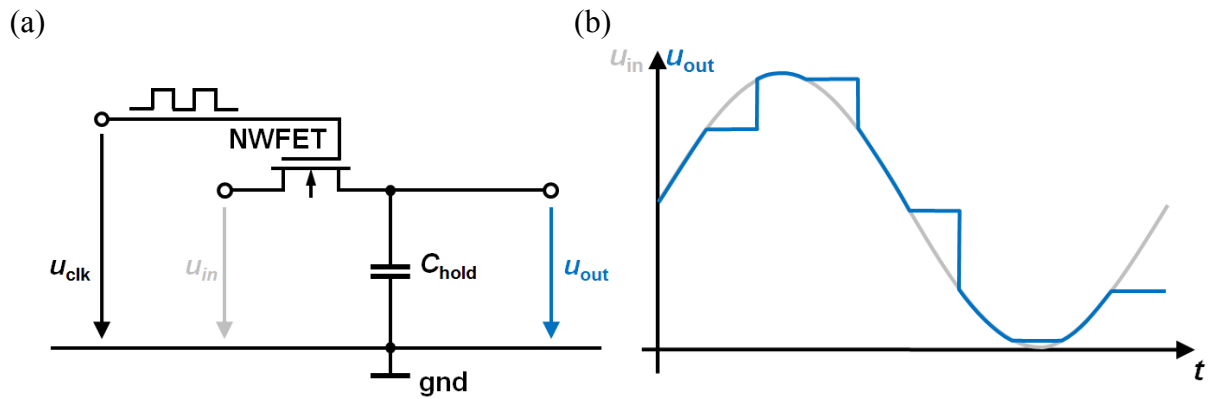


Abb. 2.13: Ersatzschaltbild eines Abtast-Halte-Gliedes (a) und idealisierter Verlauf der Ausgangsspannung (b, blau) im Falle eines sinusförmigen Eingangssignals (grau).

In der Abtastphase ist der Transistor aufgesteuert und gibt somit die Eingangsspannung u_{in} an den Ausgang bzw. den Haltekapazitor weiter. Mit Beginn der Haltephase wird der Transistor über das Clock-Signal gesperrt, so dass der Kondensator vom Eingang getrennt ist und keine weitere Ladung ab- bzw. zufließen kann, die Spannung am Ausgang somit erhalten bleibt. Für ein sinusförmiges Eingangssignal ergibt sich die in Abb. 2.13 b dargestellte Ausgangsspannung.

Dieses stark idealisierte Verhalten ist für ein reales Abtast-Halte-Glied allerdings nicht zu erreichen. So vergeht zu Beginn der Abtastphase zunächst die sogenannte Einstellzeit T_{aq} (Acquisition Time), bis sich die Ausgangs- der Eingangsspannung weitestgehend angeglichen hat. Eine Änderung der Ausgangsspannung erfordert ein Auf- bzw. Entladen des Haltekapazitors und damit einen Stromfluss über den Transistor. Daher wird die Einstellzeit maßgeblich durch den On-Strom des Transistors sowie die Größe der Haltekapazität bestimmt. Wird das Abtast-Halte-Glied als Eingangsstufe eines AD-Wandlers verwendet, so ergibt sich dessen maximale Abtastfrequenz zu:

$$f_{\text{sampel,max}} = \frac{1}{4 \cdot T_{\text{aq}}} \quad (2.21)$$

Die Einstellzeit T_{aq} ist in diesem Fall definiert als die Zeit, nach der die Differenz zwischen Ein- und Ausgangsspannung den kleinsten auflösenden Spannungsschritt, das Quantisierungsintervall, unterschreitet.

Zudem ist in der Haltephase mit einer Spannungsdrift am Ausgang zu rechnen, da der Haltekapazitor während dieser über den Off-Strom des gesperrten Transistor geringfügig auf- bzw. entladen wird. Unter Berücksichtigung der vorangegangenen Betrachtungen zur

Einstellzeit ist ein großes On/Off-Verhältnis des Transistors wünschenswert. Eine größere Haltekapazität verringert ebenfalls die Spannungsdrift, setzt jedoch auch die maximale Abtastfrequenz herab. Ihr Wert ist daher auf die jeweilige Anwendung abzustimmen. In der Si-CMOS-Schaltungstechnik ist eine Kapazität von 100 fF üblich, die in den Haltephasen auch den etwa von einer Folgestufe aufgenommenen Laststrom bereitstellen muss. Der Einfluss des Laststroms auf die Ausgangsspannung wird in 4.3.3 diskutiert. Die Spannungsdrift des Abtast-Halte-Gliedes kann die mögliche Auflösung eines AD-Wandlers begrenzen.

Eine weitere Abweichung gegenüber dem idealisierten Verhalten in Abb. 2.13 b ergibt sich durch den sogenannten Clock-Durchgriff (Clock-Feedthrough), der zu Spannungssprüngen $\Delta u_{\text{out,feed}}$ am Ausgang führt [112]. Zu diesen kommt es, da die Gate-Source-Kapazität C_{GS} des Transistors, einschließlich möglicher parasitärer Kapazitäten durch die Kontaktstrukturen, einen kapazitiven Spannungsteiler mit der Haltekapazität bildet. Die Spannungssprünge bei Änderung der Clock-Spannung Δu_{clk} ergeben sich zu:

$$\Delta u_{\text{out,feed}} = \frac{C_{\text{GS}}}{C_{\text{GS}} + C_{\text{hold}}} \Delta u_{\text{clk}} \quad (2.22)$$

In Folge des Clock-Durchgriffes würde etwa ein AD-Wandler die zu digitalisierenden Spannungswerte mit einem Offset erfassen. Dies kann durch geeignete Schaltungsmaßnahmen, wie eine differentiell ausgeführte Abtast-Halte-Schaltung [113], unterbunden oder nach der Quantisierung im Zuge der digitalen Weiterverarbeitung korrigiert werden.

3 InAs Einzeldraht- und Drahtarray-Feldeffekttransistoren

Feldeffekttransistoren

Neben Einzeldraht-FETs aus ungeordnet deponierten Nanodrähten konnten in dieser Arbeit mit Hilfe der feldunterstützten Anordnung auch Drahtarray-FETs realisiert werden. Die Herstellung der Transistoren ist im ersten Unterkapitel beschrieben. Es folgen die Untersuchungen im Gleichspannungsbereich, in dem insbesondere die Abhängigkeit wichtiger Kenngrößen von der Gate-Länge und der Anzahl deponierter Nanodrähte ermittelt wurde. Abschließend werden die Ergebnisse der Hochfrequenzmessungen und die Weiterentwicklung der Transistoren für höchste Grenzfrequenzen vorgestellt.

3.1 Herstellung der Nanodraht-Feldeffekttransistoren

Wie im vorangegangenen Kapitel grundlegend erläutert, gliedert sich die Herstellung der Transistoren in die folgenden Schritte:

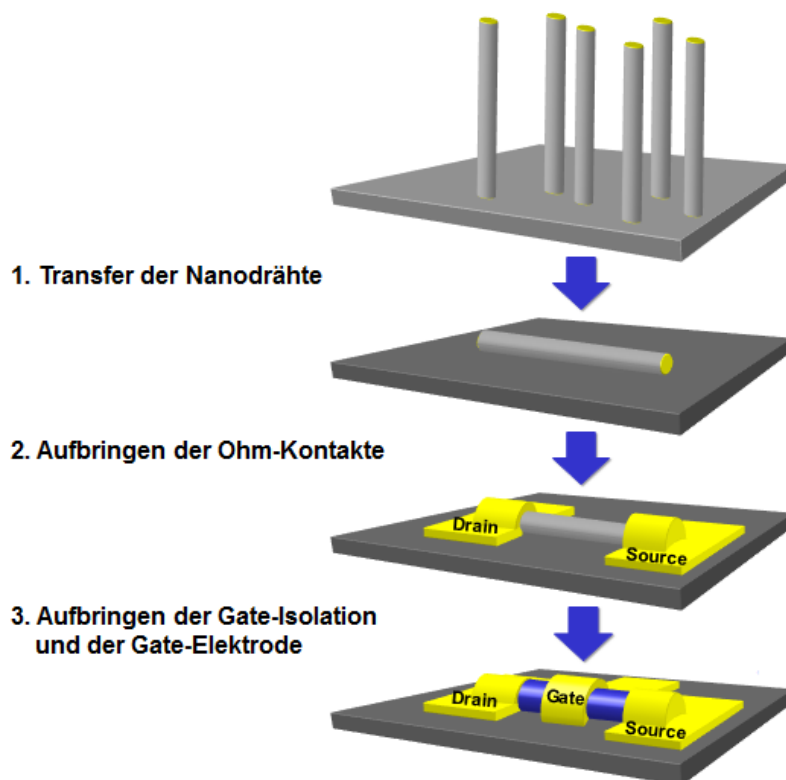


Abb. 3.1: Herstellungsschritte für einen Nanodraht-Feldeffekttransistor.

1. Transfer der Nanodrähte

Für den Transfer der Nanodrähte werden diese mit einem Skalpell von dem Wachstumssubstrat abgestreift, das sich hierbei in Isopropanol befindet. Die Bindung der abgestreiften Nanodrähte in Isopropanol vermeidet Umgebungskontaminationen und erlaubt ein einfaches Handling bei der Weiterverarbeitung. Die Suspension wird einer kurzen Ultraschallbehandlung zur Aufhebung von Agglomerationen unterzogen und mit einer Pipette auf das Trägersubstrat aufgeträufelt, bis die Oberfläche vollständig benetzt ist.

Für eine ungeordnete Deposition der Nanodrähte, wie diese zu Beginn der vorliegenden Arbeit für die Herstellung der Einzeldraht-FETs (Single-Nanowire-FET, kurz SNWFET) eingesetzt wurde, muss nun lediglich das Propanol verdunsten, so dass sich die Nanodrähte auf dem Träger ablegen. Durch ein Erwärmen der Probe auf einer Heizplatte ist der Vorgang zu beschleunigen. Der Propanol-Film reißt hierbei i.d.R. in mehrere Tropfen auf, die mit Hilfe einer Stickstoffpistole über die Substratoberfläche bewegt werden, um so eine homogenere Belegungen zu erzielen. Sowohl die Positionen als auch die Ausrichtungen der deponierten Nanodrähte sind dem Zufall überlassen und müssen für die folgenden Lithographie-Schritte zunächst aufwändig erfasst werden. Hierzu sind auf die Träger Justiermarken aufzubringen, bevorzugt vor Deposition der Nanodrähte.

Auch der feldunterstützten Anordnung der Nanodrähte geht eine Präparation der Träger-substrate voraus, die mit den Elektroden versehen werden. Für eine Definition mittels optischer Lithographie wurde ein Maskensatz entworfen, auf dem die Elektroden in Spalten mit paarweise gleicher Elektrodenweite von 5 μm , 10 μm und 20 μm angeordnet sind (Abb. 3.2). Der Elektrodenabstand ist mit 10 μm bzw. 14 μm so gewählt, dass nach Aufbringen der Drain- und Source-Kontakte noch II-Gate-Elektroden (s.u.) mit bis zu 2x3,5 μm bzw. 2x2,5 μm Länge Platz finden. Die Strukturübertragung erfolgt mit Lift-Off-Technik in eine Titan- oder Titan/Gold-Metallisierung. Anschließend wird ganzflächig SiN_x für eine elektrische Isolation der Transistoren abgeschieden, die sonst über die Elektroden miteinander verbunden wären.

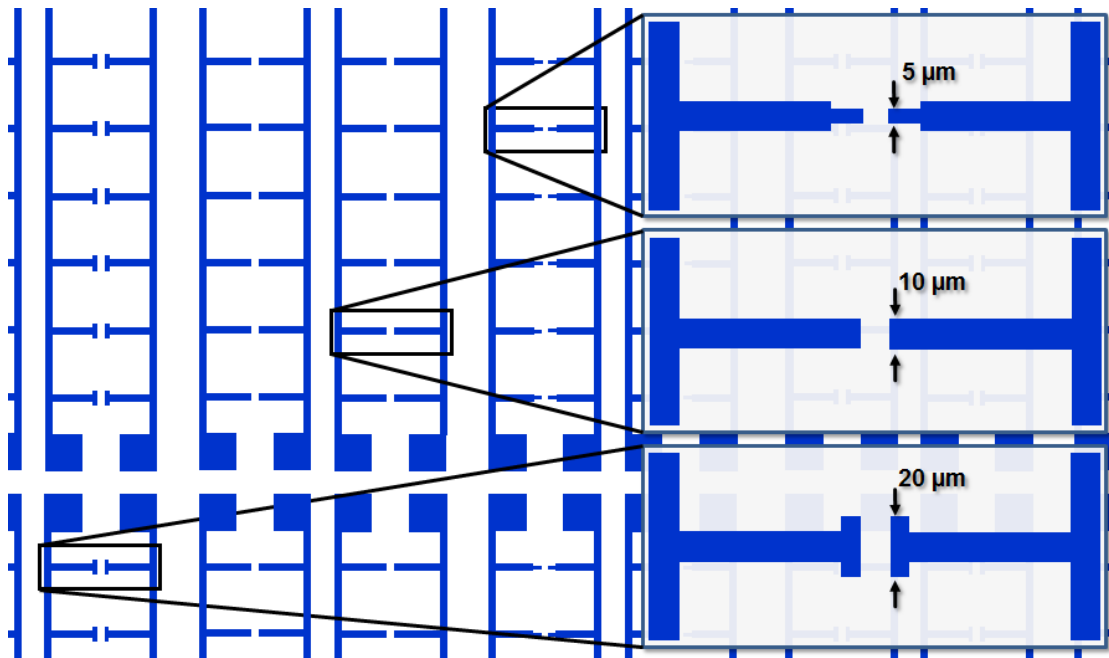


Abb. 3.2: Layout der Elektroden-Arrays für die feldunterstützte Deposition der Nanodrähte.

Die Elektroden werden mit Hilfe eines Gleichstrommessplatzes kontaktiert, dessen Nadeln beim Aufsetzen auf die Kontaktflächen die SiN_x -Isolationsschicht durchstoßen. Ein Funktionsgenerator stellt die elektrische Spannung für die Dielektrophorese zur Verfügung. Dieser wird nach dem Aufträufeln der Suspension aus Isopropanol und Nanodrähten für etwa eine bis drei Minuten eingeschaltet, je nach Konzentration der Suspension und gewünschter Belegungsdichte. Letztere kann unter Beobachtung des Depositionsvorgangs durch ein optisches Mikroskop kontrolliert werden, da der Bereich zwischen den Elektroden mit der Anzahl angeordneter Nanodrähte durch Streueffekte zunehmend dunkler erscheint (Abb. 3.3). Die Depositionsrate zeigt eine starke Abhängigkeit von der Dicke des aufgeträufelten Films und steigt merklich an, kurz bevor das Isopropanol vollständig verdunstet ist und die Nanodrähte somit vermehrt in die oberflächennahen Bereiche mit größten Feldstärkegradienten eindringen. Neben der feldunterstützten Anordnung kommt es immer auch zu der oben beschriebenen ungeordneten Deposition von Nanodrähten. Diese können, wie für die Schaltungen in Kapitel 4, durch einen zusätzlichen maskierten Ätzschritt entfernt werden, um so möglichen Kurzschlüssen vorzubeugen.

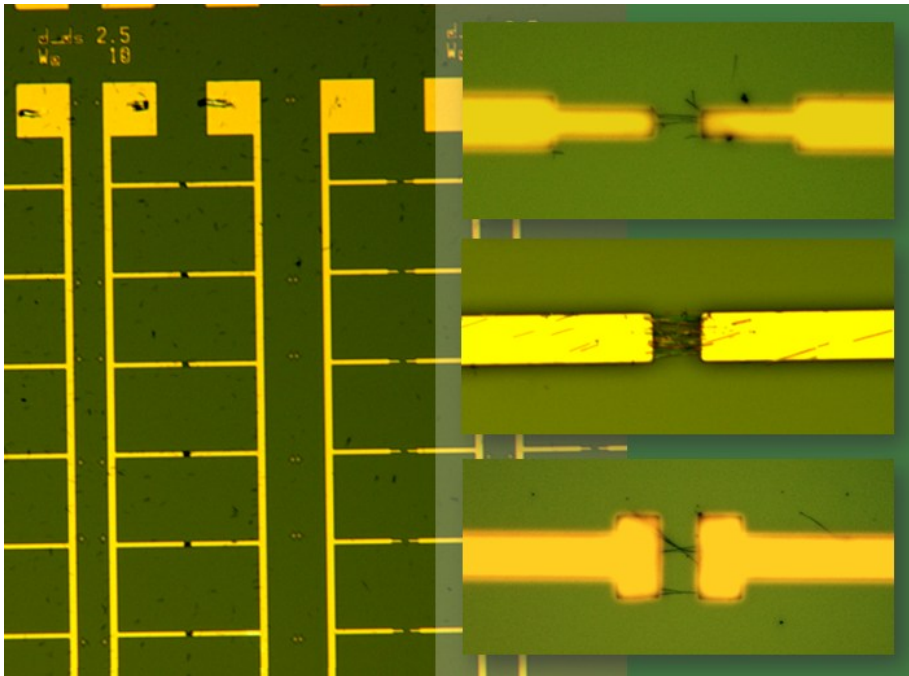


Abb. 3.3: Elektroden mit feldunterstützt angeordneten Nanodrähten.

In Experimenten mit verschiedenen Parametern wurden die besten Ergebnisse bei einer sinusförmigen Wechselspannung mit einer Frequenz von 10 kHz und der maximalen Spitze-Spitze-Spannung des Funktionsgenerators von 10 V erzielt. Gemäß den Ausführungen in 2.2 ist erst für Frequenzen deutlich oberhalb 1 kHz eine präzise Ausrichtung der Nanodrähte entlang der Mittelachse schmaler Elektroden zu erwarten. In [68] gelang dies für InAs Nanodrähte in deionisiertem Wasser am besten bei 10 MHz. Mit dem Aufbau, der in der vorliegenden Arbeit verwendet wurde, nahm die Depositionsrate allerdings bei Frequenzen oberhalb 10 kHz deutlich ab. Die Ursache hierfür wird in dem Impedanzverlauf des Gleichstrom-Messplatzes vermutet. Es konnte dennoch überwiegend eine gute Ausrichtung der Nanodrähte erzielt werden.

Die mittlere Anzahl der deponierten Nanodrähte steigt tendenziell mit der Elektrodenweite an (Abb. 3.4). Es zeigt sich jedoch nur eine geringfügige Abhängigkeit, da es mit zunehmender Belegung zu einer Abschwächung des elektrischen Feldes oberhalb der Elektroden kommt. Mittels einer kapazitiven Ankopplung der Elektroden [40] oder einer zusätzlichen hydrodynamischen Kraftkomponente durch eine gezielt eingestellte Fließgeschwindigkeit der Suspension [114, 115] ist es möglich, die Deposition auf einzelne Nanodrähte zu begrenzen. Für Drahtarray-Bauelemente sind an den jeweiligen Positionen Elektrodenpaare in entsprechender Anzahl vorzusehen. Mit diesen selbstlimitierenden Verfahren konnten bereits Ausbeuten bis zu 98,5% bei über 16.000 Elektrodenpaaren auf einer Fläche von 400 mm² erreicht werden [115].

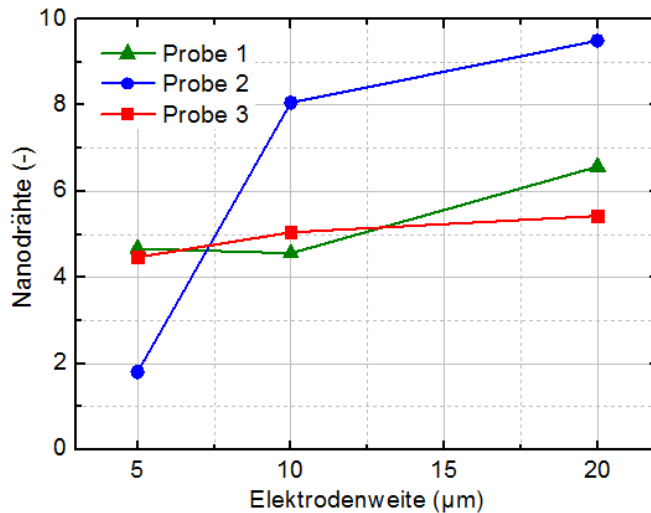


Abb. 3.4: Mittlere Anzahl deponierter Nanodrähte in Abhängigkeit der Elektrodenweite für drei der belegten Proben.

2. Aufbringen der Ohm-Kontakte

Im Falle der ungeordnet deponierten und damit zufällig verteilten Nanodrähte müssen für jede Probe individuelle Layout-Dateien für die Belichtungen mittels Elektronenstrahl-lithographie erstellt werden. Für den Entwurf der Layouts sind zunächst die Koordinaten der Nanodrähte relativ zu den Justiermarken zu erfassen. In den $500\ \mu\text{m} \times 500\ \mu\text{m}$ großen Schreibfeldern werden hierfür jeweils die Positionen des Wachstumspartikels sowie des „Fußes“ der zu kontaktierenden Nanodrähte mit Hilfe des Laserinterferometertisches ausgemessen. Da die Nanodrähte in der Elektronenstrahl-lithographie-Anlage erst bei sehr hohen Vergrößerungen bzw. bei Abbildung sehr kleiner Bereiche von etwa $10\ \mu\text{m} \times 10\ \mu\text{m}$ sichtbar sind, wird ihre Lage innerhalb der Schreibfelder zuvor grob mit einem optischen Mikroskop bestimmt. Mit diesem sind die Nanodrähte aufgrund des starken Kontrastes gegenüber dem Trägersubstrat, der aus Streueffekten resultiert und so auch Nanodrähte mit Durchmessern bis herab zu etwa $50\ \text{nm}$ sichtbar macht, bereits bei geringeren Vergrößerungen und somit unter Betrachtung größerer Ausschnitte aufzufinden. Die ermittelten Koordinaten werden in eine CAD-Software übertragen und dort die zu belichtenden Strukturen entworfen (Abb. 3.5).

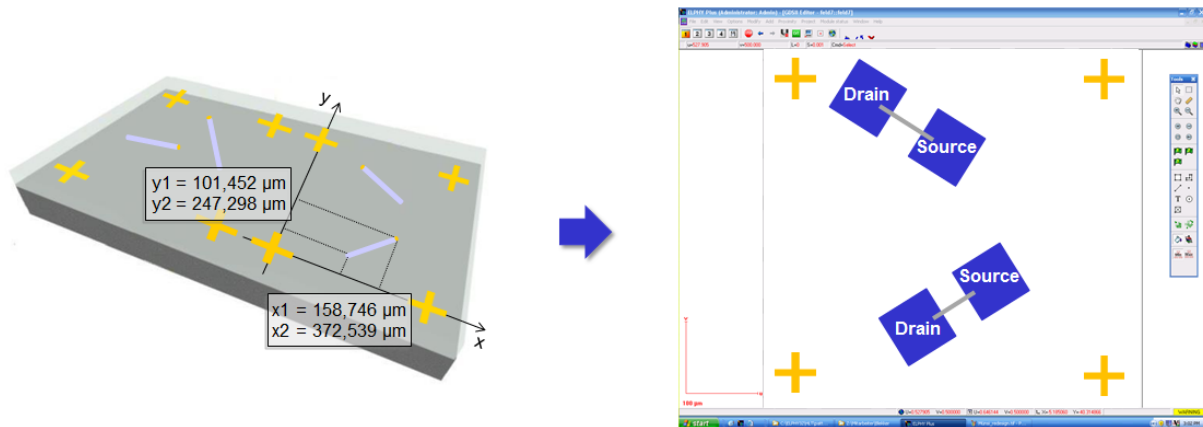


Abb. 3.5: Ausmessen der Nanodraht-Koordinaten und Entwurf des Layouts.

Diese Vorarbeiten sind sehr zeitintensiv und zudem müssen sämtliche Strukturen anschließend seriell mittels Elektronenstrahlolithographie belichtet werden, so dass die Anzahl der herzustellenden Bauelemente begrenzt ist. Für die feldunterstützt angeordneten Nanodrähte hingegen kann dank ihrer vordefinierten Positionen die Strukturübertragung parallel mit optischer Lithographie erfolgen. Der entworfene Maskensatz ermöglicht die Herstellung von bis zu 480 Transistoren je Probe.

Als Ohm-Metallisierung werden Titan, das eine gute Haftung und einen kleinen Kontaktwiderstand zu InAs aufweist, sowie Gold aufgedampft und anschließend mittels Lift-Off strukturiert. Zur Verbesserung der Kontakteigenschaften folgt ein Ausheizschritt (rapid thermal annealing).

3. Aufbringen der Gate-Isolation und der Gate-Elektrode

In dieser Arbeit wurden sowohl Nanodraht-FETs mit selbstjustierten (self-aligned, sa) als auch mit nicht-selbstjustierten (non self-aligned, nsa) Gate-Elektroden untersucht (Abb. 3.6). Wird die Gate-Elektrode überlappend mit den Drain- und Source-Kontakten ausgeführt, deren Abstand damit die Gate-Länge vorgibt, so ist für die Strukturierung der Gate-Isolation und -Elektrode lediglich ein Lithographie-Schritt erforderlich. Unter Verwendung der gleichen Lackmaske kann zunächst die SiN_x -Gate-Isolation bei Raumtemperatur abgeschieden und anschließend die Titan/Gold-Gate-Metallisierung aufgedampft werden. Das überschüssige Material wird wieder mit einem Lift-Off-Schritt entfernt. Im Falle der nicht-selbstjustierten Gate-Elektroden, die sich nur über einen Teil des zwischen Drain- und Source freiliegenden Nanodrahtes erstrecken, wäre dieser nicht vollständig passiviert, einhergehend mit einer deutlich geringeren Leitfähigkeit [69]. Daher sind Lackmasken mit

unterschiedlichen Layouts für die Gate-Isolation und die Elektroden aufzubringen, so dass ein zusätzlicher Lithographie-Schritt anfällt. Alternativ ist das SiN_x ganzflächig abzuschneiden und später mit den Messnadeln auf den Kontaktflächen für Drain bzw. Source zu durchstoßen. Die MIS-Struktur wird, auch für die Transistoren aus feldunterstützt angeordneten Nanodrähten, mittels Elektronenstrahlolithographie definiert, um die höchstmögliche Auflösung und Strukturtreue zu gewährleisten. Vollständige Prozessprotokolle für die Einzeldraht- und die Drahtarray-FETs finden sich in Anhang 6.1.1.

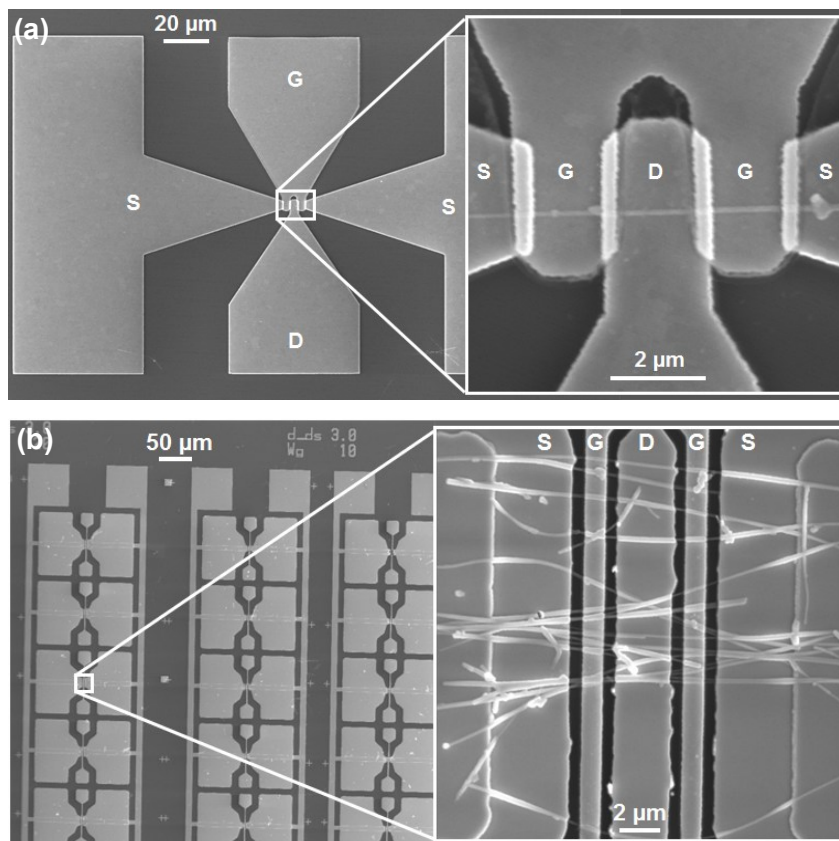


Abb. 3.6: Einzeldraht-FET (a) mit selbstjustiertem II-Gate und Drahtarray-FET (b) mit nicht-selbstjustiertem II-Gate.

Die Verwendung selbstjustierter Gate-Elektroden ermöglicht aufgrund der reduzierten Zugangswiderstände eine größere Steilheit [116]. Allerdings trägt der Überlapp mit dem Drain- und Source-Kontakten erheblich zu den parasitären Kapazitäten bei, wie in 3.3 genauer ausgeführt wird. Beiden Konfigurationen ist gleich, dass die Ω -Gates die Nanodrähte zu einem großen Teil umschlingen und hierdurch eine sehr gute Steuerwirkung über die Ladungsträgerkonzentration im Kanal erzielen. Abb. 3.6 zeigt einen Einzeldraht-FET (a) mit selbstjustierten Gate-Elektroden, der aus einem ungeordnet deponierten Nanodraht gefertigt wurde, und einen Drahtarray-FET (b) mit nicht-selbstjustierten-Gate-Elektroden auf

feldunterstützt angeordneten Nanodrähten. Gate, Drain und Source sind mit den Kürzeln G, D bzw. S gekennzeichnet. Durch die II-Gate-Struktur werden zwei Transistoren parallel betrieben und damit die Signalleistung am Ausgang verdoppelt. Zudem wird die Fehlanpassung an die Impedanz der Hochfrequenzmessumgebung reduziert, so dass Reflexionen schwächer ausfallen und ein größerer Teil der Leistung des Eingangssignals das Bauelement erreicht.

An die 50 Ω -Messumgebung ist auch der Wellenwiderstand der Kontaktstrukturen angepasst, der von der Breite des Innenleiters, dessen Abstand zu den äußeren Masseleitungen und von dem verwendeten Trägermaterial abhängt. Bei den Trägern handelt es sich im Falle der ungeordneten Deposition um semi-isolierende GaAs-Substrate mit einer 150 nm dicken SiN_x -Schicht für eine verbesserte elektrische Isolation der Bauelemente. Auf diesen Substraten ist eine aufladungsfreie Belichtung auch größerer Flächen, wie etwa der Kontaktstrukturen, mittels Elektronenstrahlolithographie möglich. Für die Transistoren aus den feldunterstützt angeordneten Nanodrähten wird nur für die Gate-Elektroden auf die Elektronenstrahlolithographie zurückgegriffen. Daher können für die Drahtarray-FETs hochohmige Siliziumsubstrate mit einer 4 μm dicken SiO_2 -Schicht als Träger verwendet werden. Durch ihre kleinere effektive Permittivität fallen die parasitären Kapazitäten erheblich kleiner aus, wie in 3.3 behandelt.

Einen alternativen Ansatz für die Herstellung von Drahtarray-FETs an vorgegebenen Positionen stellt die in der Einleitung diskutierte direkte Kontaktierung von Nanodrähten ohne Transferschritt dar, die an der Universität in Lund intensiv für InAs Nanodrähte erforscht wurde [z.B. 19, 34]. In diesem Fall werden die Wachstumskeime auf dem Schaltungssubstrat mittels höchstaflösender Lithografie definiert und die Nanodrähte dort mit den erforderlichen Strukturen versehen. Bei Verwendung eines Schaltungssubstrates aus Silizium ist für eine hohe Kristallqualität der Nanodrähte zuvor eine InAs Pufferschicht aufzuwachsen [35, 36, 39]. Die Nanodrähte werden mit dem Gate-Dielektrikum umhüllt und die InAs Pufferschicht, die später den Source-Kontakt bildet, strukturiert. Es folgen eine Isolationsschicht und die Gate-Metallisierung, die weitere Lithographie-Schritte für die Strukturübertragungen erfordern. Die Gate-Elektrode umhüllt die Nanodrähte in diesem Fall vollständig und ihre Länge wird durch ein maskiertes Rückätzen der Metallisierung eingestellt. Abschließend werden erneut eine Isolationsschicht, die auch als Ätz-Maskierung zum Entfernen des Gate-Dielektrikums für den Drain-Kontakt dient, dessen Metallisierung sowie die der Kontaktstrukturen aufgebracht und strukturiert. Gegenüber dem in dieser Arbeit

verfolgten horizontalen Drahtarray-FET ergibt sich somit, neben den weiteren bereits in Kapitel 1 genannten Einschränkungen, eine deutlich komplexere Prozessabfolge.

3.2 Untersuchungen im Gleichspannungsbereich

Einzeldraht-Feldeffekttransistoren

Eine Reduzierung der Gate-Länge verspricht gemäß dem Langkanal-MOSFET-Modell (Gleichung 2.14) eine höhere Steilheit bei gleichzeitig verringerter intrinsischer Gate-Source-Kapazität und stellt somit eine wichtige Möglichkeit zur Steigerung der Transitfrequenz dar (Gleichung 2.18). Die Skalierbarkeit der Steilheit wurde in der vorliegenden Arbeit für InAs Kurzkanal-Einzeldraht-FETs mit Gate-Längen bis unter 150 nm untersucht (Abb. 3.7). Für kleinste Bahn- bzw. Zugangswiderstände wurden selbstjustierte Gate-Elektroden verwendet. Die mittleren Durchmesser der Nanodrähte variieren zwischen 30 und 50 nm, so dass hier die auf den Durchmesser normierte Steilheit betrachtet wird.

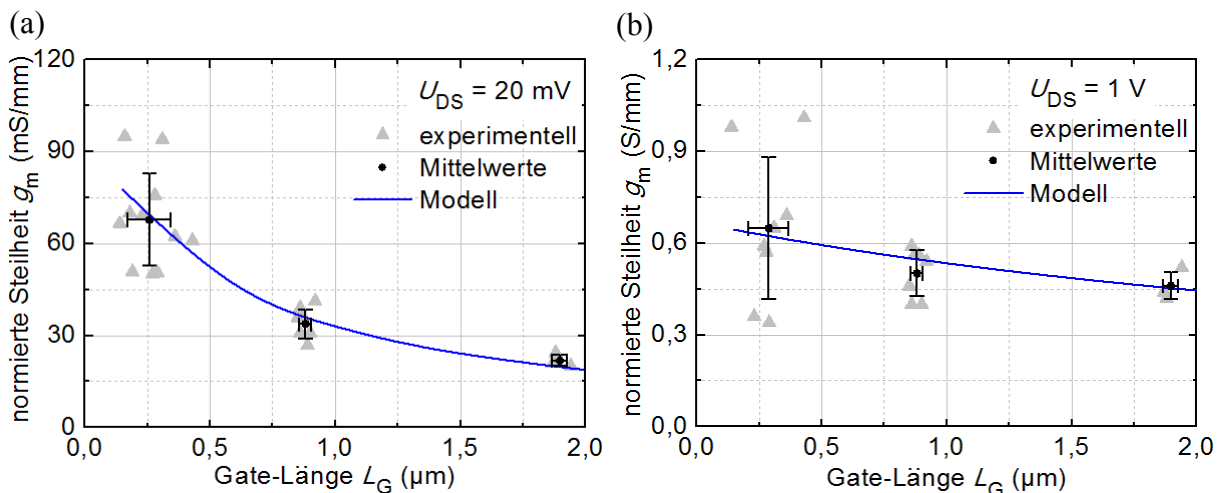


Abb. 3.7: Steilheit in Abhängigkeit der Gate-Länge im Anlaufgebiet (a) und im Sättigungsbereich (b).

Im Anlaufgebiet (a) steigt die Steilheit bei kürzeren Gate-Längen erheblich an, während im Sättigungsbereich (b) aufgrund von Hochfeld-Effekten [101] geringere Zuwächse zu beobachten sind. Neben der experimentellen Untersuchung wurde eine analytische Modellierung vorgenommen. Hierzu wurden die Strom-Spannungs-Gleichung des Langkanal-MOSFET-Modells um die Spannungsabfälle über den Kontaktwiderständen und eine effektive Beweglichkeit erweitert (siehe Anhang 6.1.2 bzw. [117, 118]). In Letzterer sind neben der Niederfeldbeweglichkeit auch eine feldabhängige [101] sowie ballistische

[119, 120] Beweglichkeitskomponente berücksichtigt. Die experimentellen Werte werden von diesem Modell gut wiedergeben, wenn ein spezifischer Kontaktwiderstand von $3,8 \cdot 10^{-7} \Omega \text{cm}^2$, vergleichbar mit Werten aus anderen Untersuchungen [69, 121], eine Sättigungsgeschwindigkeit von $1,1 \cdot 10^7 \text{ cm/s}$ in guter Übereinstimmung mit [122, 123] und eine Niederfeldebeweglichkeit von $4000 \text{ cm}^2/\text{Vs}$ gewählt werden.

Die extrahierte Niederfeldebeweglichkeit liegt deutlich unter dem für InAs Nanodrähte berichteten Bestwert von $13000 \text{ cm}^2/\text{Vs}$ [21, 28]. Sowohl in der vorliegenden Arbeit als auch in anderen Untersuchungen [28, 42, 69, 124] scheint die Kristallqualität der Nanodrähte starken Fluktuationen zu unterliegen. Diese könnten etwa aus den vorangegangenen Wachstumsprozessen anderer Materialsysteme herrühren, durch die es zu einer Belegung des Reaktorraums mit Fremdatomen kommt. Ein möglicher Einbau der Fremdatome in die Nanodrähte bzw. in die Hülle, die durch das additive Schichtwachstum entsteht, bleibt zu klären. Auch die Steilheit von Transistoren, für die Nanodrähte von ein und demselben Wachstumssubstrat verwendet wurden, variiert erheblich (vgl. Abb. 3.7). Eine Ursache hierfür ist in den unterschiedlichen Wachstumsrichtungen zu sehen, die wie in 2.1 diskutiert Gittertyp und Defektdichte stark beeinflussen. Bei dem Transfer der Nanodrähte auf das Schaltungs-substrat erfolgt keine Selektion bzgl. der Wachstumsrichtung. Zudem fluktuieren die Kontaktwiderstände [69, 124]. Dies könnte etwa in den unterschiedlich dicken Hüllschichten mit unbekannter Leitfähigkeit, die durch das additive Schichtwachstum während der Epitaxie entstehen, oder einer nur unvollständigen Entfernung des natürlichen Oxids vor Aufbringen der Metallisierung begründet sein. Die Qualität der SiN_x -Gate-Isolation scheint ebenfalls zu schwanken (s.u.).

Für obige Transistoren wurden neben den Steilheitswerten auch die Ausgangsleitwerte, On/Off-Verhältnisse und Unterschwellsteigungen extrahiert.

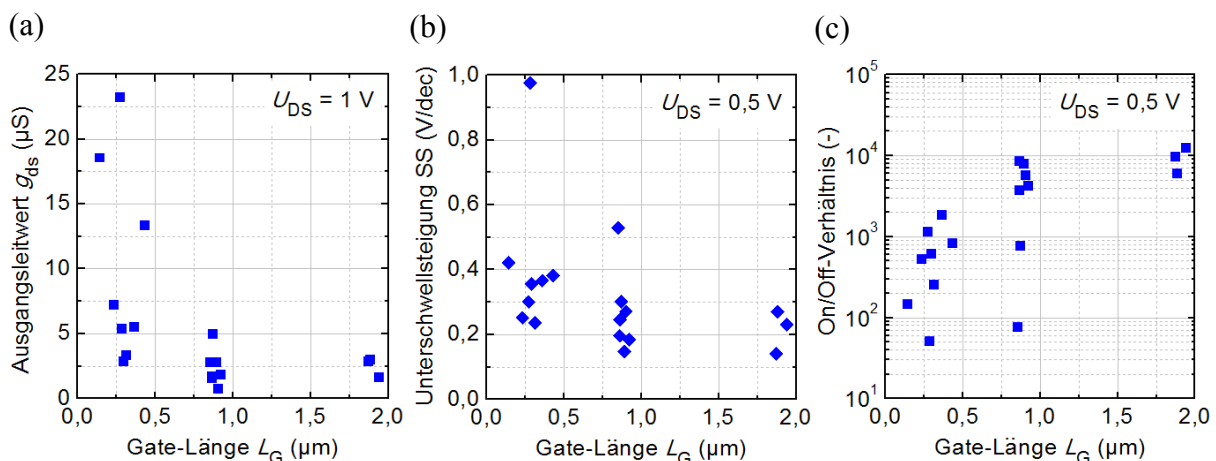


Abb. 3.8: Ausgangsleitwert (a), Unterschwellsteigung (b) und On/Off-Verhältnis in Abhängigkeit der Gate-Länge.

Für Gate-Längen unter 500 nm zeigt sich ein Anstieg des Ausgangsleitwertes (a) und der Unterschwellsteigung (b) bei verringertem On/Off-Verhältnis (c). Bei größeren Gate-Längen weisen die Transistoren eine gute Unterschwellsteigung bis unter 145 mV/dec und ein sehr hohes On/Off-Verhältnis bis über 10^4 auf. Insbesondere für die Bewertung der Unterschwellsteigung ist die im Folgenden diskutierte Ionen-Drift zu berücksichtigen. Die gute Steuerwirkung der Gate-Elektrode, die im Falle der Ω -Gate-Geometrie den Kanal teilweise umschlingt, ist durch eine Gate-all-around-Struktur [116] sowie Dielektrika mit sehr kleiner EOT [22, 125] weiter zu verbessern. Bei größeren Gate-Aspekt-Verhältnissen sollte die gute Kontrolle über den Drain-Strom einschließlich des niedrigen Ausgangsleitwertes auch bis zu noch kürzeren Gate-Längen erhalten bleiben [5]. Für InAs Nanodraht-FETs konnten ein On/Off-Verhältnis bis fast 10^5 [126] und eine Unterschwellsteigung von 80 mV/dec [127] nahe dem theoretischen Minimum für Feldeffekttransistoren von 60 mV/dec (bei 300 K) erzielt werden. Unter Ausnutzung anderer Leistungsmechanismen ist sogar eine noch niedrigere Unterschwellsteigung möglich, etwa für Tunnel- [128] oder Spintransistoren [129].

Im Ausgangskennlinienfeld und besonders in der Übertragungskennlinie zeigt sich bei Variation der Änderungsgeschwindigkeit (slew-rate) von U_{DS} bzw. U_{GS} , dass der Drain-Strom teils einer stark ausgeprägten Drift unterliegt. Im Ausgangskennlinienfeld (Abb. 3.9 a) ist hiervon im Wesentlichen das Anlaufgebiet betroffen, in dem bei höherer slew-rate kleinere Ströme zu beobachten sind, während diese im Sättigungsbereich nahezu die gleichen Werte erreichen. Dort ergibt sich somit auch eine annähernd gleiche maximale Steilheit. Die Ladungsträgerkonzentration im Kanal reagiert auf eine Änderung von U_{GS} , wie hier vor Aufnahme eines neuen Kennlinienastes, derart träge, dass die resultierende Drift des Drain-Stromes bei der höheren slew-rate erst im Sättigungsbereich weitestgehend abgeschlossen ist.

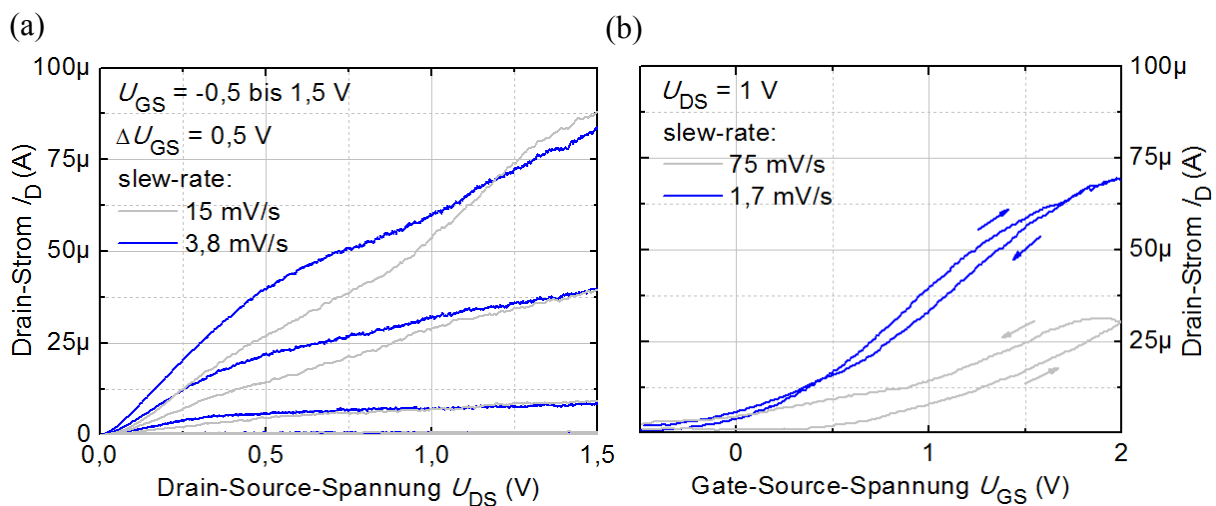


Abb. 3.9: Ausgangskennlinienfeld (a) und Übertragungskennlinie (b) bei unterschiedlichen Änderungsgeschwindigkeiten der Drain-Source- bzw. Gate-Source-Spannung.

In der Übertragungskennlinie (b), bei deren Aufzeichnung die Gate-Source-Spannung einer permanenten Änderung unterliegt, fällt der Drain-Strom selbst bei sehr niedriger Änderungsgeschwindigkeit kleiner aus als bei gleichen Spannungen im Ausgangskennlinienfeld und nimmt bei höherer Änderungsgeschwindigkeit massiv ab. Gleiches gilt entsprechend für die extrahierte Steilheit. Zudem ist eine ausgeprägte Hysterese zu beobachten, im Falle der größeren Änderungsgeschwindigkeit entgegen dem Uhrzeigersinn und somit in Einklang mit der zuvor beschriebenen Drift des Drain-Stromes zu höheren Werten. Dahingegen verläuft die Hysteresekurve bei sehr kleiner Änderungsgeschwindigkeit im Uhrzeigersinn, der Strom nimmt also bei langandauernden Messungen wieder ab. Das gleiche Verhalten zeigt sich in Untersuchungen mit konstanten Spannungen, bei denen der Drain-Strom zunächst ansteigt, nach etwa 10 Minuten einen Maximalwert erreicht und anschließend wieder leicht sinkt (Abb. 3.10 a).

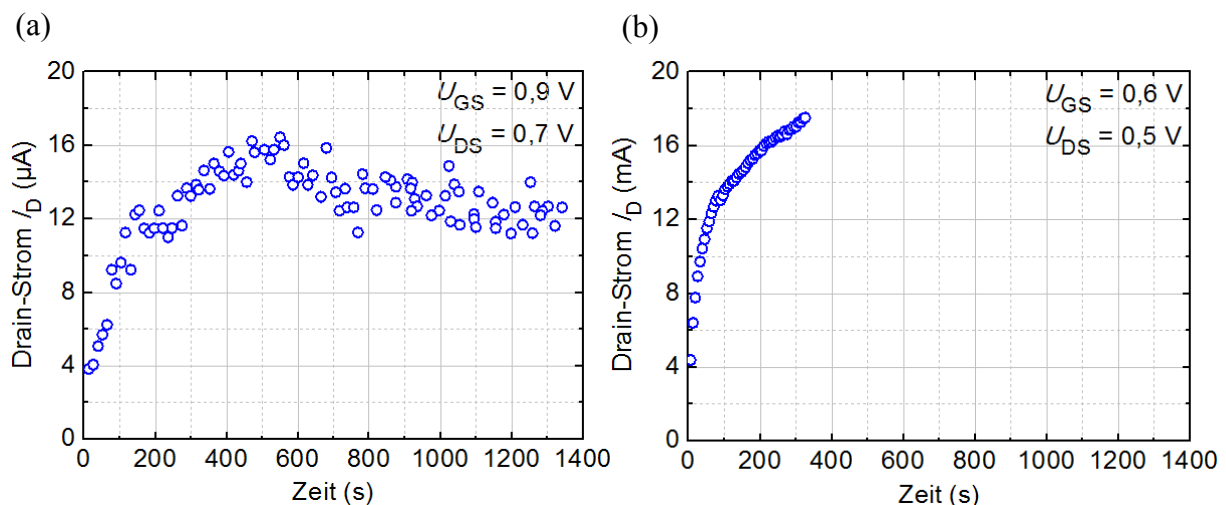


Abb. 3.10: Drain-Strom eines InAs Nanodraht-FETs (a) und eines MISHFETs mit InGaAs-Kanal (b) in Abhängigkeit der Zeit.

Eine mögliche Erklärung für den Anstieg des Stromes liefern bewegliche Kationen in der SiN_x -Gate-Isolation. Wird die Gate-Source-Spannung erhöht, so sammeln sich die positiv geladenen Ionen vermehrt an der Grenzschicht zum Kanal an. Dies führt wiederum zu einer zunehmenden Anreicherung von Elektronen im Kanal. Aufgrund der geringen Beweglichkeit der Ionen erstreckt sich dieser Vorgang über mehrere Minuten. Auch zeigen mikroelektronische MISHFETs (MIS Heterostruktur-Feldeffekttransistor) aus einem InGaAs/InP-Schichtpaket (siehe 4.3.1) erst mit einer SiN_x -Gate-Isolation eine Drift des Drain-Stromes (Abb. 3.10 b), während diese im Falle einer Metall-Halbleiter Diode nicht auftritt.

Die Abnahme des Drain-Stromes nach etwa zehn Minuten kann in Störstellen im SiN_x [130, 131] begründet sein. Mindestens ein Störstellenniveau wird energetisch so weit oberhalb

der Leitungsbandelektronen des InAs Nanodrahtes vermutet, dass es erst durch die Bandverbiegung nach erfolgter Ionen-Drift für die Elektronen zugänglich wird. Mit der Besetzung des Niveaus nimmt die Ladungsträgerkonzentration im Kanal und damit der Strom ab. Letzteres könnte grundsätzlich auch in zunehmenden Phononen-Streuungen durch eine Temperaturerhöhung gegen Ende der mehrminütigen Messungen begründet sein, allerdings zeigten Untersuchungen bei unterschiedlichen Drain-Source-Spannungen keinen Einfluss des absoluten Wertes des Drain-Stromes.

Der Zeitverlauf von Steilheit und Gate-Source-Kapazität kann aus den weiter unten behandelten Hochfrequenzmessungen extrahiert werden. In Abb. 3.11 sind die Ergebnisse für einen InAs Nanodraht-FET sowie zusätzlich wieder für einen MISHFET mit InGaAs-Kanal und gleicher Gate-Isolation dargestellt. Der MISHFET lässt aufgrund der höheren Signalleistungen sowie des geringeren Einflusses der Zugangsstrukturen eine zuverlässigere Parameterextraktion zu (siehe auch Ausführungen in 3.3) und wird daher unterstützend herangezogen. Für beide Bauelemente nehmen die Gate-Source-Kapazität und damit auch die Steilheit mit der Zeit zu. Die Ionen-Drift führt zu einer verbesserten Gate-Kontrolle. Die Gate-Source-Kapazität steigt zu Beginn der Messungen langsamer an als die Steilheit, da neben der Isolator- und Halbleiterkapazität auch eine konstante Streukapazität mit eingeht, die im Falle des Nanodrahttransistors sogar dominant ist. Die zuvor diskutierte Besetzung der Störstellen und die damit verbundene Abnahme des Drain-Stromes wirken sich im Falle des Nanodraht-FETs nicht auf die Steilheit aus. Auf die Zeitabhängigkeit der Transitfrequenz, die maßgeblich durch die Steilheit und die Gate-Source-Kapazität bestimmt ist, wird weiter unten eingegangen. Durch Verwendung anderer Gate-Dielektrika wie MgO (Magnesiumoxid) [69] oder Al_2O_3 (Aluminiumoxid) [132] kann die beschriebene Drift erheblich reduziert werden.

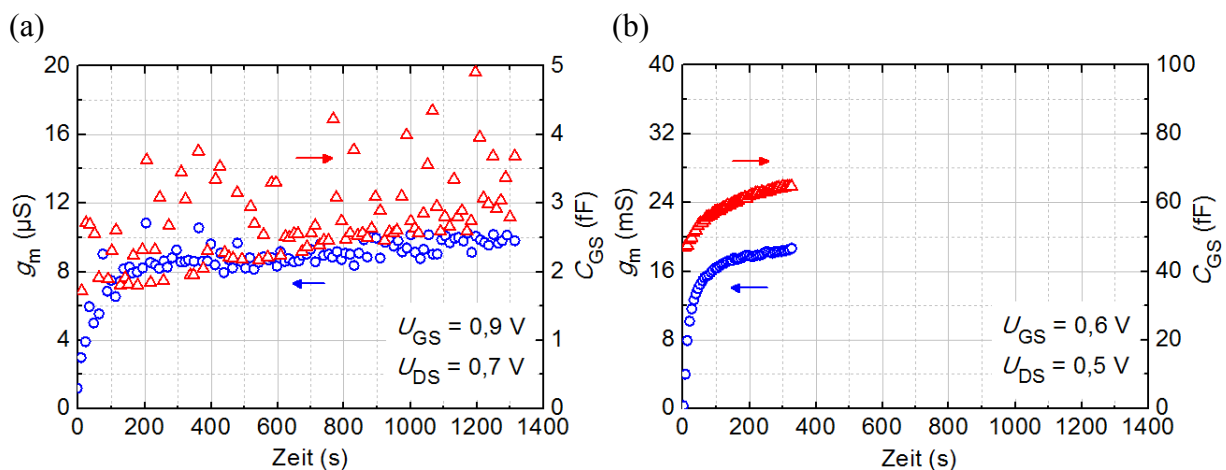


Abb. 3.11: Steilheit (blau) und Gate-Source-Kapazität (rot) in Abhängigkeit der Zeit für einen InAs Nanodraht-FET (a) und einen MISHFET (b), beide mit SiN_x -Gate-Isolation.

Drahtarray-Feldeffekttransistoren

In Abb. 3.12 a sind exemplarisch das Ausgangskennlinienfeld und die Übertragungskennlinie eines InAs Drahtarray-FETs mit 3 Nanodrähten (Radius 25 nm) gezeigt. Als Gate-Dielektrikum wurde SiN_x mit einer Dicke von 30 nm bzw. einer EOT von 15,6 nm verwendet. Die Gate-Länge beträgt $2 \times 1,5 \mu\text{m}$.

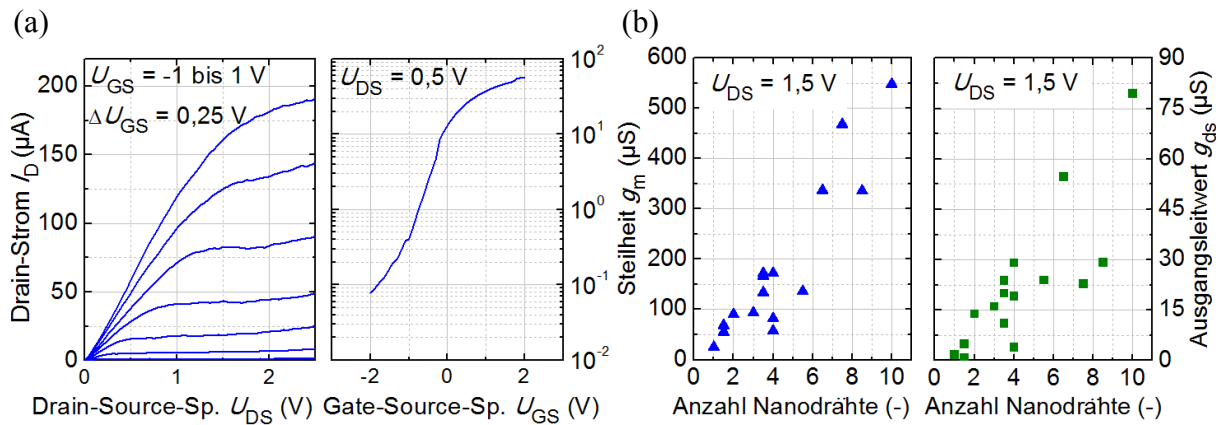


Abb. 3.12: Ausgangskennlinienfeld bzw. Übertragungskennlinie eines InAs Drahtarray-FETs mit 3 Nanodrähten (a) und die Steilheit bzw. der Ausgangsleitwert in Abhängigkeit der Anzahl deponierter Nanodrähte (b).

Die Drahtarray-FETs erreichen erwartungsgemäß deutlich höhere Ströme als die Einzeldraht-FETs, bei vergleichbaren Stromdichten. Unter Berücksichtigung von Anzahl und Durchmesser der Nanodrähte beträgt die Stromdichte für den Transistor zu Abb. 3.12 a bereits bei $U_{GS} = 1 \text{ V}$ über $0,6 \text{ A/mm}$. Auch die maximale Steilheit fällt mit $0,2 \text{ mS}$ größer aus, während diese normiert mit $0,68 \text{ S/mm}$ wieder in dem üblichen Bereich der Einzeldraht-FETs dieser Arbeit von $0,25 \text{ S/mm}$ bis $1,5 \text{ S/mm}$ liegt. In Abb. 3.12 b sind für 16 Drahtarray-FETs einer Probe die Steilheitsmaxima und Ausgangsleitwerte über der Anzahl der Nanodrähte aufgetragen. Nicht alle Nanodrähte weisen die erforderliche Länge auf, um den beiden parallelen Transistoren der Π -Gate-Struktur als Kanal zu dienen. Diese wurden als halbe Nanodrähte gezählt. Es zeigt sich die zu erwartende proportionale Abhängigkeit. Unberücksichtigt sind hier Fluktuationen der Drahtdurchmesser und die unterschiedlichen Gate-Längen, die wie zuvor diskutiert Steilheit und Ausgangsleitwert beeinflussen und somit einen Teil der zu beobachtenden Streuungen erklären. Das On/Off-Verhältnis und die Unterschwellsteigung weisen keine Abhängigkeit von der Anzahl deponierter Nanodrähte auf. Im Falle der Drahtarray-FETs liegt hierbei, im Gegensatz zu einer entsprechenden Skalierung der Gate-Weite bei herkömmlichen Transistoren, ein konstantes Oberfläche- zu Volumenverhältnis vor.

3.3 Untersuchungen im Hochfrequenzbereich

Aufbauend auf ersten Hochfrequenzuntersuchungen an InAs Einzeldraht-FETs mit MgO-Gate-Isolation [69] wurden die Messbarkeit und die Grenzfrequenzen der Transistoren in der vorliegenden Arbeit konsequent verbessert. Wesentlich hierfür war der Einsatz einer SiN_x-Gate-Isolation für höhere Steilheitswerte, die Weiterentwicklung der Kontaktstrukturen für eine verringerte Koppelkapazität, die Verteilung der parasitären Streukapazität auf mehrere, feldunterstützt angeordnete Nanodrähte und die Verwendung von Trägersubstraten mit geringerer effektiver Permittivität.

Der Transistor in [69] erreichte eine maximale Schwingfrequenz von 10 GHz (intrinsisch, Tab. 3.1), bei allerdings nur schwer zu extrahierender Stromverstärkung, die schon im untersten MHz-Bereich Werte kleiner 0 dB annahm. InAs Nanodraht-FETs mit MgO- anstelle SiN_x-Gate-Isolation weisen eine geringere Steilheit sowie einen höheren Off-Strom im μA -Bereich auf, einhergehend mit einem deutlich schlechteren On/Off-Verhältnis von lediglich etwa 10 bei entsprechend kleiner Unterschwellsteigung [69]. Sie sind daher für viele Anwendungen, wie etwa für die in Kapitel 4 untersuchten Inverter und Abtast-Halte-Glieder, nicht geeignet. Erste Untersuchungen im Rahmen der vorliegenden Arbeit ergaben für einen Einzeldraht-FET mit SiN_x-Gate-Isolation [133] eine höhere maximale Schwingfrequenz von 15 GHz (Abb. 3.13 a), trotz bedeutend größerer EOT (Tab. 3.1). Es wurde ein Nanodraht mit gleichen Wachstumsparametern wie in [69] verwendet, so dass eine Vergleichbarkeit der beiden Transistoren gegeben ist.

Gate-Isolation		MgO [69]	SiN _x
d_{Ox}	[nm]	10	30
EOT	[nm]	3,98	15,6
L_G (2x)	[μm]	2	1,4
$g_{\text{m,DC}}$	[μS]	30	45
	[S/mm]	0,3	0,64
$f_{\text{max,int}}$	[GHz]	10	15

Tab. 3.1: Kenngrößen der diskutierten Einzeldraht-FETs mit MgO- bzw SiN_x-Gate-Isolation.

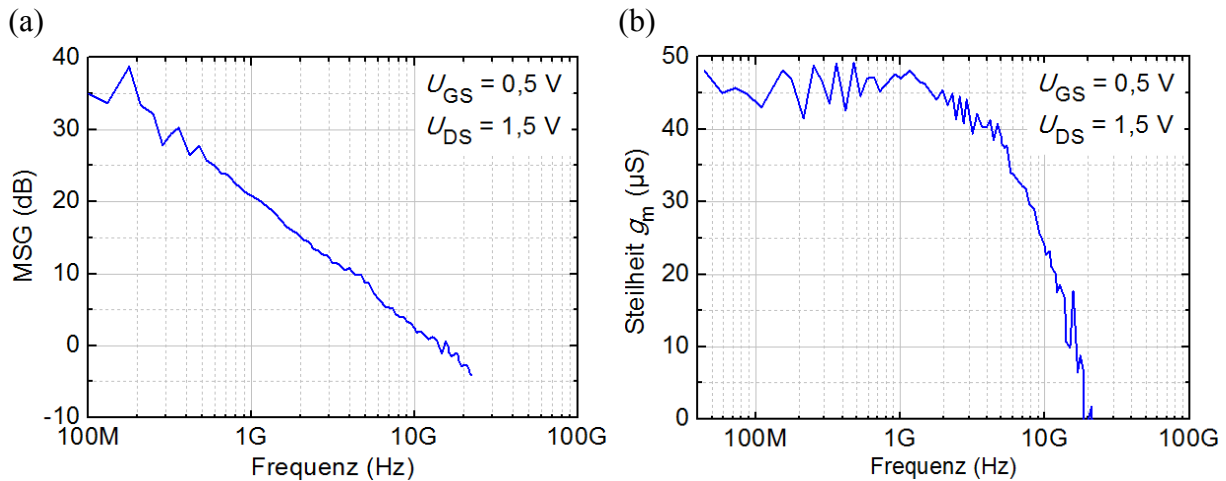


Abb. 3.13: Maximale stabile Verstärkung (a) und Steilheit (b) eines InAs Einzeldraht-FETs mit SiN_x Gate-Isolation in Abhängigkeit der Frequenz.

Die Ionen-Drift im SiN_x , die bei den in 3.2 betrachteten Änderungsgeschwindigkeiten von U_{GS} zu einer stärker ausgeprägten Degradation des Stromes bzw. der Steilheit führt als mit einer MgO -Gate-Isolation [69], scheint demnach dem Wechsignal im MHz- bis GHz-Bereich nicht mehr folgen zu können. So zeigt auch die mit Hilfe des Ersatzschaltbildes (Abb. 2.9) extrahierte Steilheit bis zu etwa einem Gigahertz keine Frequenzabhängigkeit (Abb. 3.13 b) und stimmt hier hervorragend mit dem Wert, der sich aus dem Ausgangskennlinienfeld ergibt, überein ($g_{\text{m,DC}}$, Tab. 3.1 bzw. [133]). Letzteres ist so nicht für alle der untersuchten Transistoren zu beobachten, wie weiter unten diskutiert.

Das Verhalten der gemessenen S-Parameter [133] ist durch die Kontaktstrukturen dominiert, deren Einfluss mittels De-embedding herausgerechnet wurde, um die gezeigten Verläufe der maximalen stabilen Verstärkung und der Steilheit zu ermitteln. Die parasitären Kapazitäten konnten hierfür mit Messungen an einer sogenannten „dedicated-OPEN“-Teststruktur bestimmt werden. Diese ist, mit Ausnahme des fehlenden Nanodrahtes, identisch mit dem zu charakterisierenden Transistor, einschließlich der in diesem Fall selbstjustierten Gate-Elektroden. Zur Beurteilung des durchgeführten De-embeddings kann die extrahierte intrinsische Gate-Source-Kapazität von $C_{\text{GS,int}} = 950 \text{ aF}$ [133] dienen. Auf Grundlage elektrostatischer Feldsimulationen [28] ist für die Isolator- bzw. Oxidkapazität C_{Ox} , die den Maximalwert der spannungsabhängigen intrinsischen Gate-Source-Kapazität darstellt, ein Wert von gut 810 aF für den Drahtdurchmesser von 35 nm zu erwarten. Im Verhältnis zu der extrinsischen Gate-Source-Kapazität von in diesem Fall fast 17 fF bedeutet die auf bis zu 140 aF genau erfasste intrinsische Kapazität eine hohe Präzision des De-embeddings. Bezogen auf die intrinsische Isolatorkapazität liegt die Abweichung jedoch bei fast 20% . Die

Extraktion der intrinsischen Kenngrößen ist unter einer derartigen Dominanz der parasitären Elemente eine große Herausforderung.

Dies zeigt sich auch in der Stromverstärkung, die, genauso wie im Falle des Transistors mit MgO Gate-Isolation, bereits bei Frequenzen im unteren MHz-Bereich Werte kleiner 0 dB annimmt, obwohl nach Gleichung 2.18 eine intrinsische Transitfrequenz von fast 10 GHz zu erwarten wäre. Die Ursache wird zum einen darin vermutet, dass der Eingangsreflexionsfaktor S_{11} nahezu 1 beträgt [133], wodurch bereits kleinste Ungenauigkeiten beim De-embedding den Term $1-S_{11}$ in Gleichung 2.16 und damit die berechnete Stromverstärkung äußerst empfindlich beeinflussen. Der hohe Eingangsreflexionsfaktor resultiert aus der Fehlanpassung gegenüber der 50 Ω -Messumgebung. Zum anderen werden die intrinsischen Transmissionsfaktoren stark durch die Genauigkeit, mit der die extrinsische Koppelkapazität zwischen Ein- und Ausgang erfasst wird, beeinflusst. Auf die maximale stabile Verstärkung und damit auf maximale Schwingfrequenz wirken sich etwa gleichermaßen überschätzte intrinsische Transmissionsfaktoren nicht aus (Gleichung 2.17), setzen wohl aber die Stromverstärkung herab. Die Koppelkapazität stellt für Transistoren eine äußerst kritische Größe dar: Über diese wechselwirken das Eingangssignal und das um bis zu 180° phasenverschobene (verstärkte) Ausgangssignal, so dass hieraus eine beträchtliche Dämpfung resultieren kann. Die extrinsische Koppelkapazität führt zudem einen Teil des Eingangssignals am intrinsischen Transistor vorbei zum Ausgang und begrenzt somit das Ausschalten bei hohen Frequenzen.

Um die Koppelkapazität $C_{GD,pad}$ der Kontaktstrukturen zu reduzieren, wurde ihr Layout unter Zuhilfenahme experimenteller Untersuchungen als auch von Feldsimulationen überarbeitet. Exemplarisch finden sich in Tab. 3.2 für drei der untersuchten Strukturen die Werte der wichtigsten parasitären Elemente. Die angegebenen Induktivitäten wurden mit einer SHORT-Struktur ermittelt. Durch eine schmalere Ausführung der Signalleitungen (b) ist eine deutliche Verringerung von $C_{GD,pad}$ gegenüber dem ursprünglichen Layout (a) zu erreichen. $C_{GD,pad}$ kann weiter reduziert werden, wenn die Source-Zugangsstrukturen (Masseleitungen) für eine verbesserte Abschirmung den Bereich zwischen den Kontakt-Pads von Gate sowie Drain großflächiger ausfüllen und der Abstand zwischen diesen vergrößert wird (c). Schmalere und längere Zuleitungen führen zu höheren Induktivitäten, die aber mit maximal $L_{D,pad} = 36$ pH vernachlässigbar klein bleiben. Durch die Überarbeitung der Kontaktstrukturen konnte die Kapazität $C_{GD,pad}$ von ursprünglich 2,39 fF auf 1,29 fF und somit um fast die Hälfte verringert werden, wodurch die Vorwärtstransmission etwa um 5 dB abnimmt. $C_{GS,pad}$ und $C_{DS,pad}$ steigen, bezogen auf ihre absoluten Werte, nur geringfügig an. Weitere

Verbesserungen sind durch einen Wechsel des Trägers möglich, wie weiter unten für die Drahtarray-FETs diskutiert. Details zu den untersuchten Layouts sowie zur Extraktion der gezeigten Werte finden sich in [134].

	(a)	(b)	(c)
$C_{GD,pad}$ [fF]	2,39	1,87	1,29
$C_{GS,pad}$ [fF]	8,77	7,32	10,4
$L_{G,pad}$ [pH]	8,39	16,8	31,9

Tab. 3.2: Drei der untersuchten Layouts mit den zugehörigen Werten der Koppelkapazität $C_{GD,pad}$, der Gate-Source-Kapazität $C_{GS,pad}$ und der Induktivität der Signalleitung $L_{G,pad}$.

Unter Verwendung von Kontaktstrukturen mit reduzierter Koppelkapazität wurden sowohl Einzeldraht-FETs mit selbstjustierten als auch mit nicht-selbstjustierten Gate-Elektroden untersucht. Der höheren Steilheit und einfacheren Prozessabfolge im Falle der selbstjustierten Gate-Elektroden stehen größere parasitäre Kapazitäten gegenüber, die aus dem Überlapp zwischen Gate-Elektrode und den Ohm-Kontakten resultieren. Diese liegen in der gleichen Größenordnung wie die Kapazitäten der Kontaktstrukturen bzw. übertreffen diese sogar [133], so dass die Extraktion auch der Stromverstärkung und der Transitfrequenz nur für Transistoren mit besonders hoher Steilheit gelang. Mit der Steilheit nimmt die Vorwärtstransmission des (intrinsischen) Transistors zu und kann so, trotz der erhöhten Koppelkapazität, zuverlässig aus den gemessenen S-Parametern de-embedded werden. In Abb. 3.14 sind die maximale stabile Verstärkung und die Stromverstärkung für einen Transistor mit selbstjustierten Gate-Elektroden (grün) mit einer Überlapp-Länge von 300 nm sowie 2 μm Weite gezeigt (AKF siehe Anhang 6.1.3). Die intrinsischen Grenzfrequenzen betragen für diesen Transistor $f_{\max} \approx 1$ GHz und $f_T = 0,6$ GHz nach Anwendung eines COST-De-embeddings [135]. Hierbei wurde anstelle des oben beschriebenen dedicated- ein herkömmliches OPEN-Element (Abb. 2.11) verwendet, so dass die Überlapp-Kapazitäten, die im Gegensatz zu den Pad-Kapazitäten auch bei einer Einbindung des Transistors in einer Schaltungen vorliegen würden, dem intrinsischen Bauelement zugeordnet sind.

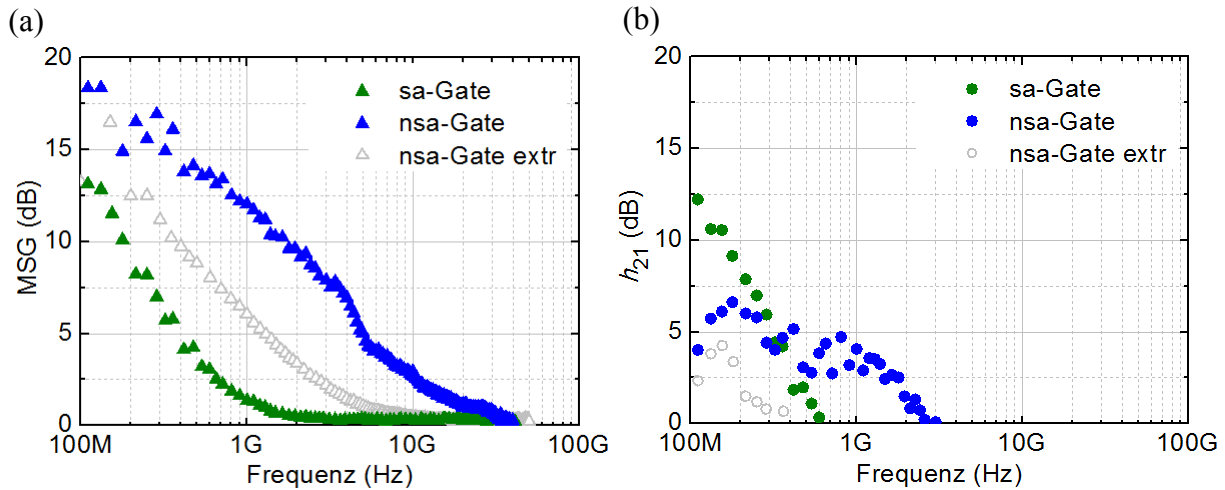


Abb. 3.14: Maximale stabile Verstärkung (a) und Stromverstärkung (b) eines Einzeldraht-FETs mit selbstjustierten bzw. nicht-selbstjustierten Gate-Elektroden.

Gate-Elektroden		sa	nsa
L_G	[μm]	2x1,33	2x0,48
$g_{m,DC}$	[μS]	128	48
	[S/mm]	1,36	0,27
$g_{m,HF}$	[μS]	80	25
$f_{\max,int}$	[GHz]	1	20
$f_{T,int}$	[GHz]	0,6	2,5

Tab. 3.3: Kenngrößen der untersuchten Einzeldraht-FETs mit selbstjustierten bzw. nicht-selbstjustierten Gate-Elektroden.

In Abb. 3.14 sind zusätzlich die maximale stabile Verstärkung und die Stromverstärkung für einen Einzeldraht-FET mit nicht-selbstjustierten Gate-Elektroden gezeigt. Dieser Transistor erreicht deutlich höhere Grenzfrequenzen von $f_{\max} \approx 20$ GHz und $f_T = 2,5$ GHz, trotz seiner geringeren Steilheit. Letztere liegt im Bereich der üblichen Streuungen, kann aber auch dem hier ungünstigen Verhältnis der Zugangs- zu Kanalwiderständen geschuldet sein: Der Drain-Source-Abstand beträgt, wie im Falle des zuvor betrachteten Transistors mit selbstjustierten Gate-Elektroden, etwa $1,3 \mu\text{m}$ bei einer Gate-Länge von jetzt nur noch $0,48 \mu\text{m}$. Somit weisen die ungesteuerten Abschnitte des Nanodrahtes fast die doppelte Länge des gesteuerten Kanals auf.

Die höheren Grenzfrequenzen sind auf die kleinere Gate-Source-Kapazität zurückzuführen, die sich aus den Hochfrequenzmessungen im Falle der nicht-selbstjustierten Gate-Elektroden zu $1,5$ fF ergibt. Sie setzt sich aus der intrinsischen Gate-Source-Kapazität von

hier maximal $C_{\text{ox}} = 0,44$ fF [28] sowie zusätzlich einer parasitären Kapazität durch Streufelder im innersten Bereich der Zugangsstrukturen, der im OPEN-Element ausgespart wurde, zusammen. Allein durch diese Streukapazität wäre die Transitfrequenz somit auch für deutlich kleinere Gate-Längen gemäß Gleichung 2.18 auf unter 3,8 GHz limitiert, wenn aufgrund der großen Zugangswiderstände eine mögliche Skalierbarkeit der hier relativ niedrigen Steilheit vernachlässigt wird (im HF-Bereich: $g_{\text{m,HF}} = 25$ μS). Für den Transistor mit selbstjustierten Gate-Elektroden ergibt sich durch die zusätzlichen Überlapp-Kapazitäten ein weiterer Beitrag von gut 5 fF zu der Gate-Source-Kapazität, der auch durch die höhere Steilheit nicht zu kompensieren ist. Eine Reduzierung der Gate-Länge würde unter diesen Umständen eine noch geringere Verbesserung der Grenzfrequenzen versprechen, so dass in obiger Gegenüberstellung keine Bevorteilung des Transistors mit den kürzeren nicht-selbstjustierten Gate-Elektroden zu sehen ist.

Auch in [98] konnte mit hydrodynamischen Simulationen zu dem eingangs vorgestellten Einzeldraht-FET [133] in guter Übereinstimmung mit den experimentellen Ergebnissen dieser Arbeit gezeigt werden, dass bereits eine um wenige femto Farrad erhöhte Gate-Source-Kapazität die Transitfrequenz des Einzeldraht-FETs um eine Größenordnung verringert. Gleiches geht auch aus der maximalen stabilen Verstärkung und der Stromverstärkung des extrinsischen Bauelementes in Abb. 3.14 (grau) hervor. Selbst mit den großen parasitären Kapazitäten der Zugangsstrukturen liegen die maximale Schwingfrequenz noch bei etwa 4 GHz und die Transitfrequenz bei über 0,3 GHz. Dies offenbart auch die möglichen Grenzfrequenzen für einstufige Schaltungen aus InAs Einzeldraht-FETs. In den Invertern und Abtast-Halte-Gliedern des folgenden Kapitels werden die Transistoren mit vergleichbaren oder sogar größeren Zugangsstrukturen belastet. Dahingegen können innerhalb mehrstufiger Schaltungen erheblich kleinere parasitäre Kapazitäten vorliegen, die höhere Grenzfrequenzen erlauben.

Tab. 3.3 ist zu entnehmen, dass sich nicht für alle der Nanodrahttransistoren im Gleichspannungs- und im Hochfrequenzbereich dieselbe Steilheit ergibt. Diese beträgt für die zugehörigen Transistoren im Gleichspannungsbereich maximal 128 μS bzw. 48 μS (selbstjustierte bzw. nicht-selbstjustierte Gate-Elektroden) und fällt aus den Hochfrequenzmessungen extrahiert mit 80 μS bzw. 25 μS deutlich geringer aus. Eine kleinere Steilheit im Hochfrequenzbereich kann, in Abhängigkeit des gewählten Arbeitspunktes und der Signalleistung, durch eine Kompression verursacht werden oder auch darin begründet sein, dass Ladungsträger mit geringer Beweglichkeit am Stromtransport beteiligt sind. Im Falle der

Nanodraht-FETs mit SiN_x -Gate-Isolation ist die Ursache jedoch hauptsächlich in der starken Drift der Steilheit zu sehen. Diese erreicht während der kurzen Dauer obiger Hochfrequenzmessungen nicht den gleichen Wert wie bei der Aufnahme des Ausgangskennlinienfeldes, die sich bei den typischen Schrittweiten über einen längeren Zeitraum erstreckt. Mit mehreren aufeinanderfolgenden Hochfrequenzmessungen, die mit konstantem Gleichspannungsanteil der Gate-Source-Spannung zur Arbeitspunkteinstellung durchgeführt wurden, konnte der Zeitverlauf der Transitfrequenz erfasst werden, wie in Abb. 3.15 für einen Einzeldraht-FET und einen MISHFET mit SiN_x -Gate-Isolation gezeigt. Beide Transistoren weisen in dem untersuchten Zeitraum eine ausgeprägte Drift des Drain-Stromes auf.

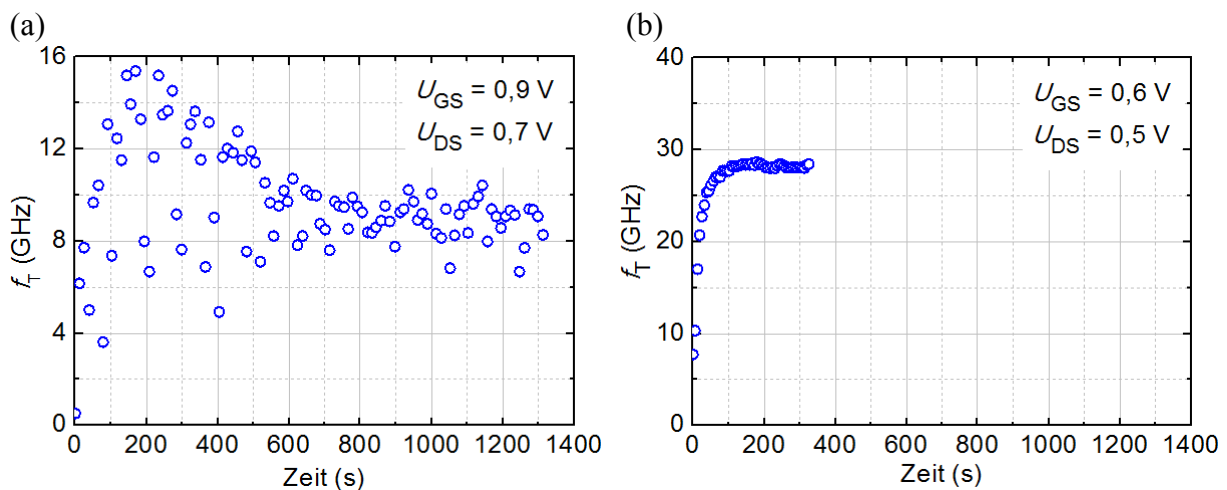


Abb. 3.15: Zeitverlauf der Transitfrequenz eines InAs Einzeldraht-FETs (a) und eines MISHFETs (b).

Die Transitfrequenz des Nanodrahttransistors unterliegt insbesondere zu Beginn der Messungen starken Streuungen. Für eine zuverlässige Bestimmung der Stromverstärkung bzw. ihrer Grenzfrequenz scheint die Vorwärtstransmission dieses Transistors aufgrund einer anfangs sehr kleinen Steilheit zu gering zu sein. Eine weitere Ursache könnte in der ebenfalls sehr kleinen Gate-Source-Kapazität liegen, deren Extraktion mit den oben diskutierten Unsicherheiten verbunden ist. Mit der Zeit steigen die Steilheit und die Gate-Source-Kapazität an (vgl. Abb. 3.11), so dass die ermittelte Transitfrequenz immer geringeren Schwankungen unterliegt, hier um einen konstanten Wert von etwa 8,5 GHz. Auch die Transitfrequenz des MISHFETs nimmt mit der Zeit einen konstanten Wert an, der in diesem Fall fast dem Vierfachen der Transitfrequenz aus der ersten Messung entspricht. Der zunächst sehr rasche Anstieg der Transitfrequenz ist darauf zurückzuführen, dass die Steilheit anfangs schneller anwächst als die Gate-Source-Kapazität, genauso wie dies beim Nanodraht-FET zu

beobachten war. Daher sollte auch die Transitfrequenz des Nanodraht-FETs das gleiche Verhalten zeigen, nur wird dies hier aufgrund der großen Streuungen nicht sichtbar.

Die Grenzfrequenzen, die für die zuvor untersuchten Transistoren angegeben wurden, können demnach in Anwendungen mit konstantem Arbeitspunkt (Kleinsignalbetrieb) deutlich übertroffen werden. Gemäß obigen Betrachtungen sind zudem merkliche Verbesserungen der Grenzfrequenzen bei kleineren Gate-Längen zu erwarten, wenn die Gate-Source-Kapazität nicht von den Streukapazitäten dominiert wird. Die gleiche Einschränkung ergibt sich auch für Feldeffekttransistoren aus Kohlenstoff-Nanoröhren [136, 137], die bereits sehr intensiv erforscht wurden und, bei Annäherung der Gate-Source- an die Quantenkapazität, Grenzfrequenzen im THz-Bereich versprechen [136]. Praktisch scheint die Gate-Source-Kapazität bislang jedoch selbst auf Trägersubstraten mit sehr niedriger effektiver Permittivität auf Werte limitiert, die für Einzelröhren-FETs intrinsische Transitfrequenzen bis 50 GHz bei einer Gate-Länge von 2×300 nm und einer EOT von 2,4 nm erlauben [138]. Sollen hochfrequente Schaltungen für kleinste Leistungsaufnahmen aus Einzeldraht- oder Einzelröhren-FETs aufgebaut werden, so ist die Minimierung der parasitären Kapazitäten essentiell.

Hochfrequenzuntersuchungen an Drahtarray-Feldeffekttransistoren

Im Falle der Drahtarray-FETs steht den parasitären Kapazitäten eine größere Steilheit gegenüber. In Abb. 3.16 sind die maximale stabile Verstärkung und die Stromverstärkung für einen Drahtarray-FET (blau) aus 9 Nanodrähten gezeigt. Entsprechend der Erkenntnisse aus den vorangegangenen Untersuchungen wurden die Gate-Elektroden nicht-selbstjustiert ausgeführt. Ebenfalls abgebildet sind die maximale stabile Verstärkung und die Stromverstärkung des zuvor diskutierten Einzeldraht-FETs (grün) mit vergleichbarer normierter Steilheit und nicht-selbstjustierten Gate-Elektroden nahezu der gleichen Länge (Tab. 3.4).

Die maximale Schwingfrequenz des Drahtarray-FETs von etwa 20 GHz scheint hier durch einen größeren Widerstand der $20 \mu\text{m}$ weiten Gate-Elektrode begrenzt zu sein (Gleichung 2.19), während eine vielfach höhere Stromverstärkung und eine deutlich größere Transitfrequenz von etwa 8 GHz erreicht werden. Durch die Verwendung mehrerer Drähte wächst die Steilheit stärker an als die dem intrinsischen Bauelement zugeordnete Gate-Source-Kapazität, die im Falle des Einzeldraht-FETs von den Streukapazitäten dominiert wird.

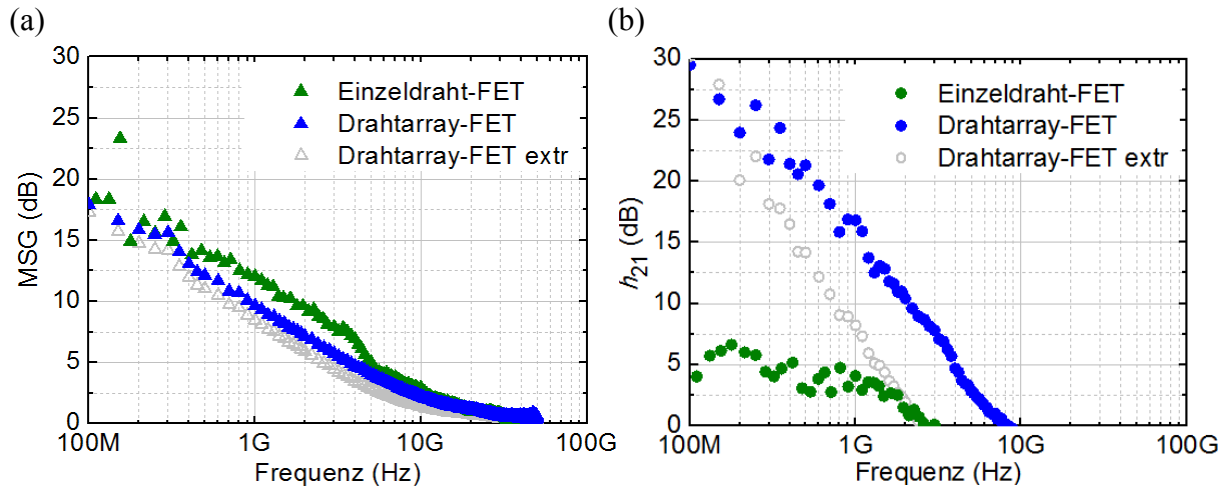


Abb. 3.16: Maximale stabile Verstärkung (a) sowie Stromverstärkung (b) eines Drahtarray-FETs aus 9 Nanodrähten und eines Einzeldraht-FETs.

	Einzeldraht-FET	Drahtarray-FET
L_G (2x) [μm]	0,48	0,46
W_G [μm]	1,5	20
$g_{m,DC}$ [μS]	48	400
[S/mm]	0,27	0,3
$g_{m,HF}$ [μS]	25	190
$C_{gs,int}$ [fF]	1,5	2,1
$f_{max,ext}$ [GHz]	4	10
$f_{max,int}$ [GHz]	20	20
$f_{T,ext}$ [GHz]	0,3	1,5
$f_{T,int}$ [GHz]	2,5	8

Tab. 3.4: Kenngrößen der diskutierten Transistoren.

Die höheren extrinsischen Grenzfrequenzen der Drahtarray-FETs sind, neben der Verteilung der parasitären Gate-Source-Kapazitäten auf hier mehrere Nanodrähte, auch auf die Verwendung eines Trägers mit niedrigerer relativer Permittivität zurückzuführen. Wie in 3.1 beschrieben, konnten die Drahtarray-FETs auf hochohmigen Si-Substraten mit einer 4 μm dicken SiO_2 -Isolationsschicht gefertigt werden. Auf diesen Substraten beträgt die Gate-Source-Kapazität des OPEN-Elementes statt gut 8 fF nur noch etwa 2,5 fF (Anhang 6.1.4).

Auch für die Drahtarray-FETs sind nach erfolgter Ionen-Drift in der SiN_x -Gate-Isolation, also für (Kleinsignal-)Anwendungen mit festem Arbeitspunkt, zwei- bis dreimal höhere Grenzfrequenzen zu erwarten. Unter Berücksichtigung der großen EOT und Gate-Länge

zeigen die erreichten Grenzfrequenzen das enorme Potential der InAs Nanodraht-FETs für Hochfrequenzanwendungen. Neben einer aggressiveren Skalierung der EOT und Gate-Länge sind weitere Verbesserungen durch eine größere Steilheit zu erzielen, die wiederum etwa durch die Deposition einer größeren Anzahl von Nanodrähten und eine höhere kristalline Qualität dieser möglich wird. Letzteres kann durch eine Optimierung der Wachstumsparameter erreicht werden [51, 55] und verspricht nicht nur bessere elektrische Eigenschaften der Transistoren, sondern, bei Beschränkung auf eine einheitliche Wachstumsrichtung und Kristallstruktur, auch eine Reduzierung der Parameterstreuungen.

Die in der vorliegenden Arbeit gezeigten Grenzfrequenzen wurden wenig später für ebenfalls horizontale Drahtarray-FETs auch auf flexiblen Substraten annähernd erreicht [139] sowie mit vertikalen Gate-all-around InAs Drahtarray-FETs [34] bestätigt. Für letztere konnten durch sukzessive Weiterentwicklung des Bauelemente-Designs [36] die Grenzfrequenzen in jüngster Vergangenheit sogar bis $f_{\max, \text{int}} = 155$ GHz bzw. $f_{T, \text{int}} = 103$ GHz bei einer extrem niedrigen EOT von 1,4 nm und einer Gate-Länge von 150 nm gesteigert werden. Trotz intensiver Bemühungen, die parasitäre Überlapp-Kapazität zwischen den vertikal angeordneten Strukturen mittels sehr schmaler Gate-Fingern zu minimieren, liegt diese mit 21 fF immer noch eine Größenordnung oberhalb derer des horizontalen Drahtarray-FETs der vorliegenden Arbeit. Die größere Transitfrequenz wird aufgrund der hohen absoluten Steilheit durch die große Anzahl Nanodrähte (165) sowie der niedrigen EOT und Gate-Länge erzielt. Die maximale Schwingfrequenz des vertikalen Transistors ist durch den großen Widerstand der schmalen Gate-Finger von 66 Ω herabgesetzt. Eine Weiterentwicklung des horizontalen Drahtarray-FETs für Grenzfrequenzen im dreistelligen GHz-Bereich erfordert demnach, neben den zuvor genannten Punkten, auch eine erhöhte Packungsdichte der Nanodrähte. Hiermit sollte eine hohe absolute Steilheit bei niedrigem Gate-Widerstand und weiterhin kleinerer Streukapazität gegenüber dem vertikalen Transistor möglich sein, ohne die in Kapitel 1 diskutierten Nachteile insbesondere durch die aufwändigere Herstellung mit Abhängigkeit von höchstauflösender Lithografie sowie der hohen Temperaturbelastung. Letztere würde die im folgenden Kapitel gezeigte vielversprechende Co-Integration mit mikroelektronischen Transistoren erheblich erschweren.

4 InAs Nanodraht-Feldeffekttransistoren in Schaltungen

Schaltungen

Durch die Anordnung der Nanodrähte an vordefinierten Positionen wurde auch die Herstellung elementarer Schaltungen möglich. Bei diesen handelt es sich um die in Unterkapitel 2.5 grundlegend beschriebenen Inverter und Abtast-Halte-Glieder sowie eine Co-Integration letzterer mit mikroelektronischen Ausgangsverstärkern. Die Interpretation der Messergebnisse, die erheblich durch die Zugangsstrukturen, die Messumgebung und durch Exemplarstreuungen der Transistoren beeinflusst sind, wird mit Schaltungssimulationen unterstützt. Diese dienen auch der Erfassung physikalischer bzw. technischer Grenzen der Schaltungen aus InAs Nanodraht-FETs. Im Folgenden ist zunächst die Modellierung der Drahtarray-FETs für die Simulationen beschrieben. Anschließend wird die technologische Umsetzung der Schaltungen dargestellt, gefolgt von einer Diskussion der Messergebnisse.

4.1 Modellierung von Drahtarray-Feldeffekttransistoren

Schaltungssimulationen ermöglichen eine gezielte Manipulation einzelner Parameter, sodass deren Einfluss auf das elektrische Verhalten der Schaltung direkt sichtbar wird. Hierzu sind Ersatzschaltungen erforderlich, in denen sowohl das Verhalten der Drahtarray-FETs durch ein geeignetes Modell, als auch die Messumgebung sowie die Zugangsstrukturen berücksichtigt sind. Die Modellbildung erfolgte auf Grundlage von Nanodraht-FETs, die als Test-Elemente gemeinsam mit den Invertern bzw. den Abtast-Halte-Gliedern gefertigt wurden. Abb. 4.1 zeigt das Ausgangskennlinienfeld sowie die Übertragungskennlinie des Transistors, der als Referenz für die Simulationen zu den Invertern diene. Es handelt sich bei diesem Referenztransistor um einen Drahtarray-FET aus 6 InAs Nanodrähten mit einem nominellen Radius von 25 nm. Die Länge der nicht-selbstjustierten Gate-Elektroden beträgt je $1\ \mu\text{m}$ und die Dicke des Gate-Dielektrikums aus SiN_x 30 nm. Der Transistor weist eine maximale Steilheit von 0,15 mS auf, bzw. 0,25 S/mm unter Berücksichtigung von Anzahl und Durchmesser der Nanodrähte. Für die Abtast-Halte-Glieder konnte auf Nanodrähte aus einem anderen Wachstumsprozess zurückgegriffen werden. Der zugehörige Referenz-Transistor erreicht ein höheres Steilheitsmaximum von 0,24 mS bzw. 0,68 S/mm (Abb. 3.12 a).

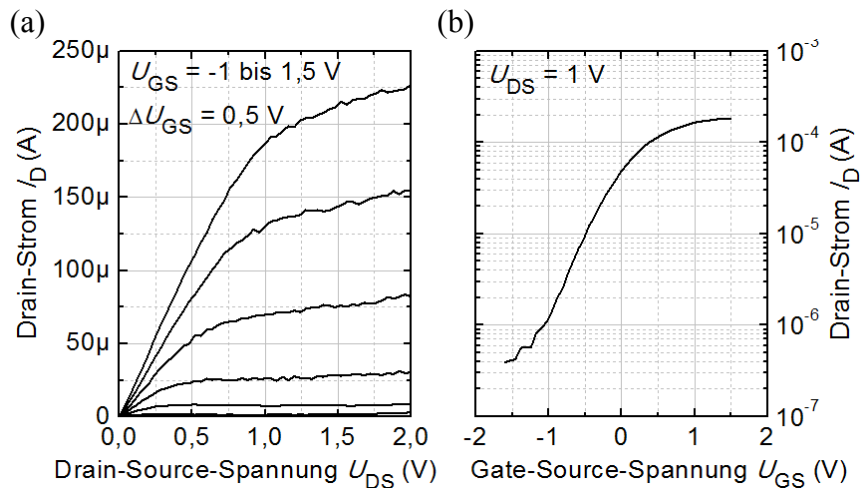


Abb. 4.1: Ausgangskennlinienfeld (a) und Übertragungskennlinie (b) des Referenztransistors der Inverter.

Die Übertragungskennlinie in Abb. 4.1 b zeigt ein On/Off-Verhältnis von fast 10^3 bei einer Unterschwellsteigung von etwa 500 mV/dec. Ein Vergleich der Strom-/Spannungswerte der Übertragungskennlinie mit den zugehörigen Werten des Ausgangskennlinienfeldes offenbart erneut die in 3.2 diskutierten Abweichungen. Die Kennlinienäste des Ausgangskennlinienfeldes wurden beginnend bei der niedrigsten Gate-Source-Spannung aufgenommen, die Übertragungskennlinie hingegen beginnend bei der höchsten Gate-Source-Spannung. In der Übertragungskennlinie wird so der Sub-Threshold-Bereich mit der geringstmöglichen Beeinflussung durch die Drift des Drain-Stromes erfasst, die besonders stark zu Beginn der Messungen ausfällt.

Auf Grundlage der Kennlinien sowie der geometrischen Größen des betrachteten Transistors wurden die Parameter eines Level 2 MOSFET-Modells in dem analytischen Simulator OrCAD PSpice ermittelt. Vorrangig war eine gute Nachbildung des Ausgangskennlinienfeldes, da dieses insgesamt geringer von der beschriebenen Drift betroffen ist. Die Übertragungskennlinie diente lediglich der Anpassung des On/Off-Verhältnisses und der Unterschwellsteigung. In Abb. 4.2 sind das Ausgangskennlinienfeld sowie die Übertragungskennlinie aus der Simulation im direkten Vergleich mit den Kennlinien des charakterisierten Transistors gezeigt. Dessen Drain-Strom wurde halbiert, da in den untersuchten Schaltungen ausschließlich Transistoren mit einem einzelnen Gate-Finger verwendet werden. Eine Beschreibung der Modellparameter, die verwendeten Werte und das Ersatzschaltbild des Level 2 MOSFET-Modells finden sich im Anhang 6.2.1.

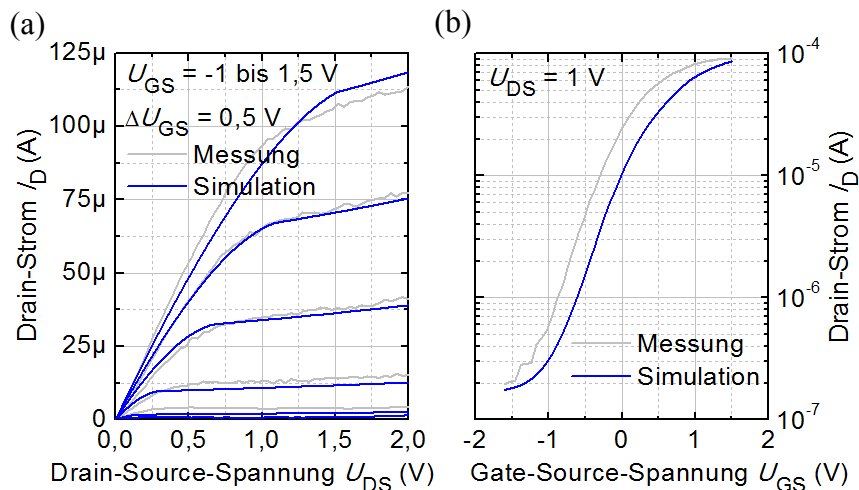


Abb. 4.2: Ausgangskennlinienfeld (a) und Übertragungskennlinie (b) des Level 2 MOSFET-Modells (blau) sowie des Referenztransistors aus 6 Nanodrähten (grau; Strom auf einen Gate-Finger normiert).

Das Gleichspannungsverhalten des Referenztransistors wird mit dem angepassten Level 2 MOSFET-Modell sehr gut nachgebildet. Der Versatz zwischen den Übertragungskennlinien ist darauf zurückzuführen, dass die Schwellenspannung des Referenztransistors während der Messungen einer Verschiebung von bis zu einigen 100 mV unterliegt. Die Instabilität der Schwellenspannung wirkt sich auch auf das Verhalten der Schaltungen aus, wie in 4.3.3 mittels Simulationen adressiert wird.

Die Anzahl der Nanodrähte, die für die Transistoren der Schaltungen angeordnet werden, variiert. Um den Einfluss auf die elektrischen Eigenschaften in den Simulationen zu berücksichtigen, wird zunächst eine Normierung der Modellparameter auf einen Nanodraht vorgenommen. In den späteren Schaltungssimulationen erfolgt eine Skalierung der Parameter gemäß der jeweiligen Anzahl deponierter Nanodrähte. Die Normierung wurde wie folgt durchgeführt: Die extrinsische Steilheit eines Drahtarray-FETs verhält sich proportional zu der Anzahl der Nanodrähte. Daher ist zum einen der intrinsische Steilheitsparameter, der im Falle des Referenztransistors aus 6 Nanodrähten (25 nm Radius) $580 \mu\text{A}/\text{V}^2$ beträgt, auf einen Wert von $96,7 \mu\text{A}/\text{V}^2$ zu reduzieren. Zum anderen müssen auch die Kontaktwiderstände angepasst werden, da ansonsten die extrinsische Steilheit überschätzt wird. Die Widerstände von Drain- und Source-Kontakt wurden unter Berücksichtigung des Anlaufgebietes im Ausgangskennlinienfeld des Referenztransistors zu $2 \text{ k}\Omega$ gewählt. Die einzelnen Nanodrähte liegen parallel, so dass sich je Nanodraht ein Kontaktwiderstand von $12 \text{ k}\Omega$ ergibt, der damit geringfügig oberhalb der Werte im einstelligen $\text{k}\Omega$ -Bereich aus anderen Untersuchungen liegt [21, 117, 121, 124].

Zusätzlich zu den Kontaktwiderständen wurde im Schaltplan ein Widerstand parallel zum Ladungsträgerkanal eingesetzt (siehe Anhang 6.2.1), über den der Drain-Strom bei niedrigen Gate-Source-Spannungen und damit auch das On/Off-Verhältnis einzustellen sind. Ohne diesen Widerstand nimmt der Drain-Strom des Level 2 MOSFET-Modells bei Verringerung der Gate-Source-Spannung beliebig kleine Werte an. Es ergibt sich je Nanodraht ein Parallelwiderstand von $36 \text{ M}\Omega$. Für die Simulationen im Zeitbereich wird zudem gemäß [28] eine intrinsische Gate-Source Kapazität von jeweils $0,35 \text{ fF}/\mu\text{m}$ pro Nanodraht berücksichtigt. Abb. 4.3 zeigt die resultierenden Kennlinien für die Simulation eines Einzeldraht-FETs unter Anwendung der beschriebenen Normierung.

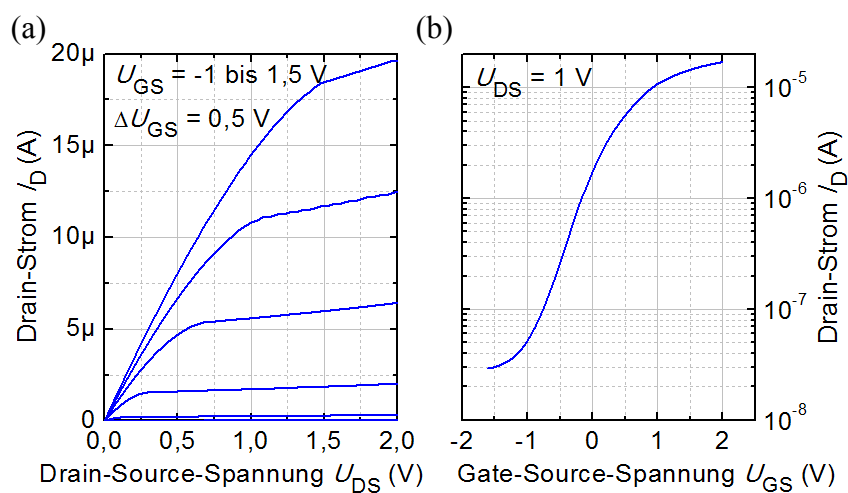


Abb. 4.3: Ausgangskennlinienfeld (a) und Übertragungskennlinie (b) des Einzeldraht-FET-Modells.

Ausgehend von diesem Einzeldraht-FET-Modell werden in den Schaltungssimulationen für die Drahtarray-FETs der intrinsische Steilheitsparameter mit der Anzahl der deponierten Nanodrähte multipliziert und die Kontaktwiderstände sowie der Parallelwiderstand durch die Anzahl dividiert. Diesem Vorgehen liegen die vereinfachenden Annahmen zu Grunde, dass sich die einzelnen Nanodrähte des Referenztransistors in ihren elektrischen Eigenschaften gleichen und diesbezüglich auch identisch mit den Nanodrähten sind, die in den jeweiligen Schaltungen deponiert wurden. Tatsächlich unterliegen zwar die elektrischen Eigenschaften der Nanodrähte den in Kapiteln 3 diskutierten Schwankungen, jedoch kommt es in den Drahtarray-FETs zu einer Mittelung dieser. Die beschriebene Modellbildung ermöglicht, unter Berücksichtigung der instabilen Schwellenspannung, eine gute Nachbildung der Messergebnisse zu den Schaltungen, wie die folgenden Unterkapitel zeigen.

4.2 Inverterschaltungen

4.2.1 Herstellung der Inverterschaltungen

Für die Herstellung der Inverter wurde ein Maskensatz entworfen, auf dem zwei Schaltungsvarianten berücksichtigt sind. Die Nanodrähte für den Last- und den Treibertransistor werden bei der Variante I mittels separater Elektrodenpaare angeordnet, die in Abb. 4.4 rot dargestellt sind. Ohne Verwendung einer selbstlimitierenden Depositionstechnik weisen die beiden Transistoren in der Regel eine unterschiedliche Anzahl von Nanodrähten auf. Hieraus ergibt sich die Möglichkeit, das Übertragungsverhalten der Inverter für verschiedene Verhältnisse der Kanalweiten zu untersuchen. Für die Schaltungsvariante II wird zur Anordnung der Nanodrähte nur ein Elektrodenpaar verwendet (Abb. 4.4 c). Last- und Treibertransistor werden auf diesen nebeneinander gefertigt, so dass die Anzahl elektrisch aktiver Nanodrähte gleich ausfallen sollte. Mit diesen Schaltungen kann somit der Einfluss stochastischer Streuungen der Bauelementeparameter herausgearbeitet werden.

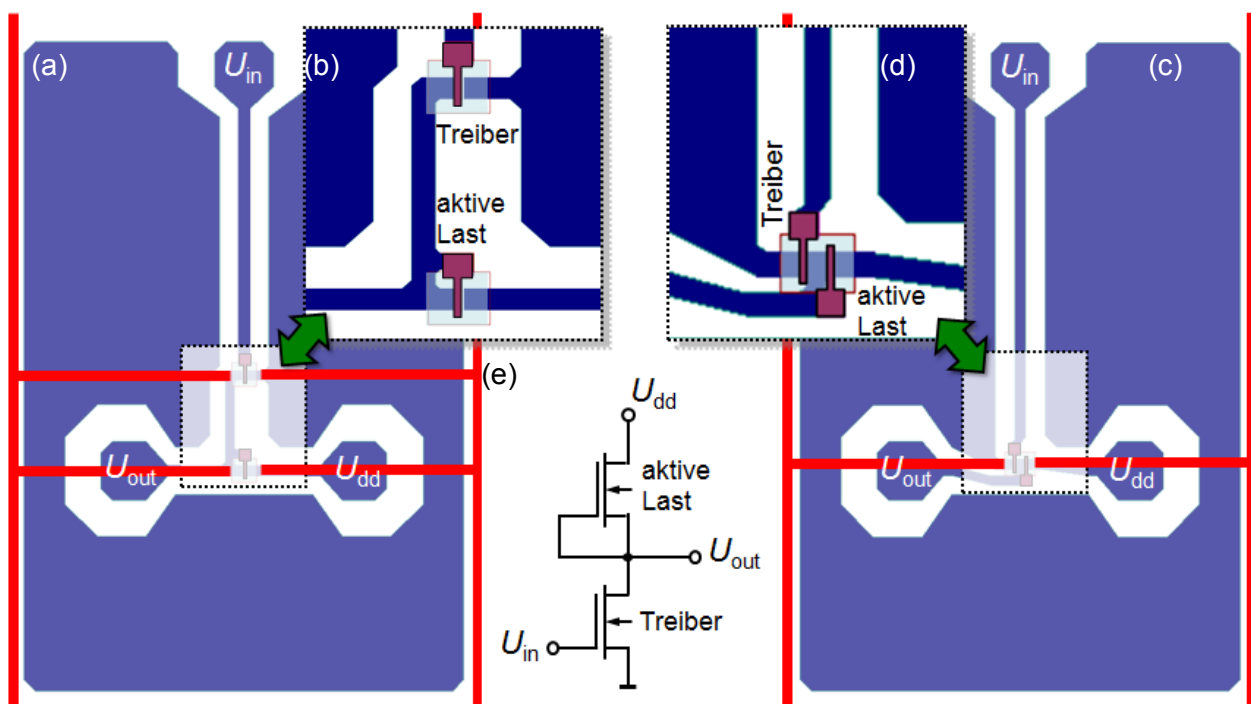


Abb. 4.4: Layout der Zugangsstrukturen (a, c), des inneren Bereiches für die Variante I (b) und II (d) der Inverterschaltungen sowie das zugehörige Ersatzschaltbild (e).

Der in 3.1 beschriebene Prozess, der für die Drahtarray-FETs entwickelt wurde, konnte für die Herstellung der Inverter adaptiert werden. Es hat sich gezeigt, dass die elektrischen Felder nicht alle Nanodrähte erfassen, die sich daher vereinzelt auch außerhalb der vorgesehenen Positionen ablegen. Diese Nanodrähte könnten in den Schaltungen zu Kurzschlüssen führen, so dass sie hier durch einen zusätzlichen maskierten Ätzschritt entfernt werden. Die gleiche Lack-Maske wird zudem verwendet, um auch die Elektroden für die Dielektrophorese (15 nm Ti) mit Flusssäure wegzuzätzen. Daher kann auf die SiN_x -Schicht auf den Elektroden, die bei den Drahtarray-FETs zur elektrischen Isolation der einzelnen Transistoren erforderlich war, verzichtet werden. Es ergibt sich folgender Prozessablauf:

1. Aufbringen der Elektroden für die Dielektrophorese
2. Anordnung der Nanodrähte
3. Entfernen der überschüssigen Nanodrähte und der Elektroden
4. Aufbringen der Drain- und Source-Kontakte sowie der Zugangsstrukturen
5. Abscheiden und Strukturieren des SiN_x -Gate-Dielektrikums
6. Aufbringen der Gate-Elektroden

Ein vollständiges Probenprotokoll findet sich in Anhang 6.2.2. Um eine große Anzahl von Schaltungen in einem parallelen Prozess herzustellen, wurde ein Maskensatz für die Strukturdefinition mittels optischer Lithographie entworfen. Lediglich für die Belichtung der 1 μm langen Gate-Elektroden wurde Elektronenstrahlithographie verwendet, um den höheren Anforderungen an die Auflösung und Strukturtreue gerecht zu werden.

Die Abb. 4.5 zeigt im Hintergrund den Ausschnitt einer Probe, die mit diesem Prozess gefertigt wurde. Die roten Linien deuten die Elektroden für die Dielektrophorese an, die nach der Deposition der Drähte nasschemisch entfernt wurden (Prozessschritt 3). Zudem sind eine Schaltung der Variante I (b) und der Variante II (d) sowie die Transistoren (c, e) bei höheren Vergrößerungen gezeigt.

In Abb. 4.5 e (Schaltungsvariante II) ist zu erkennen, dass nicht alle Nanodrähte die erforderliche Länge haben und daher nur einem der beiden Transistoren als Kanal zur Verfügung stehen. Im Vergleich zu der Schaltungsvariante I fallen die Unterschiede zwischen dem Treiber- und dem Lasttransistor bzgl. der Anzahl elektrisch aktiver Nanodrähte insgesamt jedoch deutlich geringer aus.

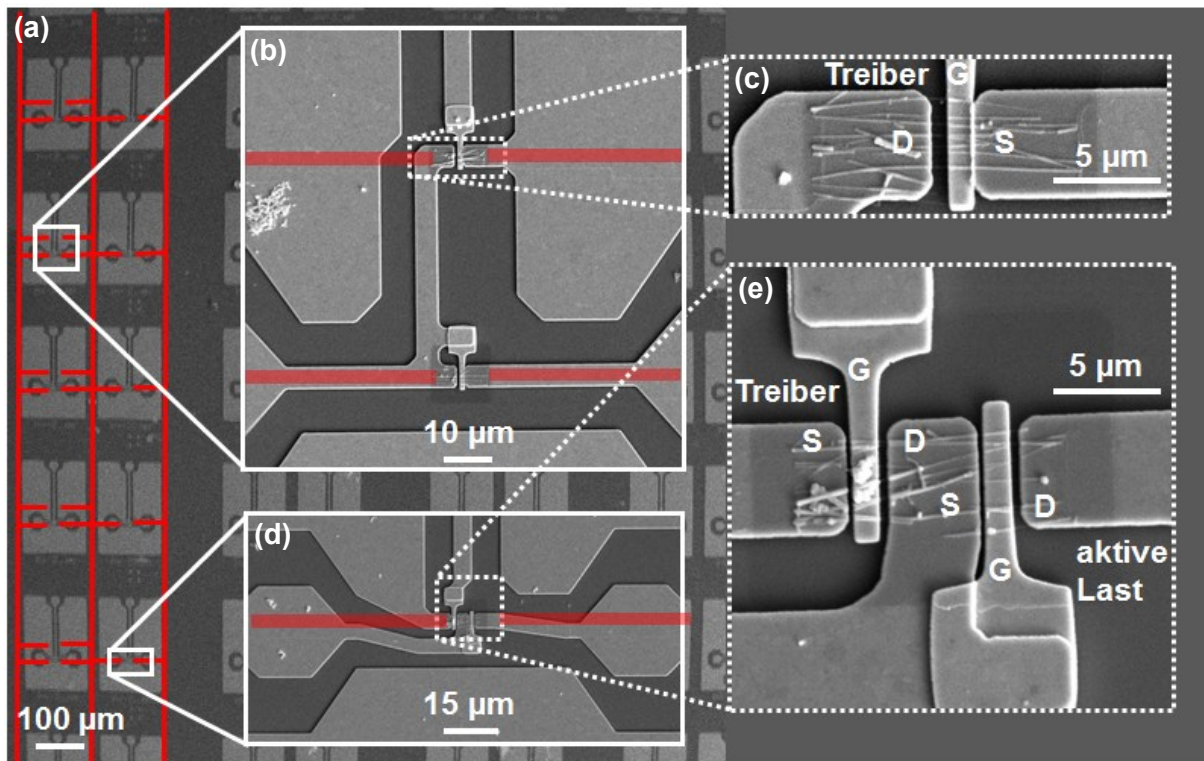


Abb. 4.5: REM-Aufnahmen der Inverter: Ausschnitt der Probe (a), eine Schaltung der Variante I (b), der zugehörige Treibertransistor (c), eine Schaltung der Variante II (d) und die Transistoren (e).

4.2.2 Messergebnisse der Inverterschaltungen

Zur Charakterisierung der Inverterschaltungen wurden sowohl statische als auch dynamische Messungen durchgeführt. Die statischen Messungen dienen der Aufnahme der Übertragungskennlinien, denen das Großsignalverhalten sowie die Kleinsignalspannungsverstärkung zu entnehmen sind. Mit Hilfe der dynamischen Messungen wurden das Verhalten der Inverter im Hochfrequenzbereich, und hier insbesondere die Frequenzabhängigkeit der Großsignalspannungsverstärkung, untersucht. Im Folgenden werden die Messergebnisse vorgestellt und diese mittels Schaltungssimulationen weiteren Untersuchungen unterzogen.

Statische Messungen

Die Aufnahme der Übertragungskennlinien erfolgte an einem DC-Spitzenmessplatz mit einem HP4145B Parameteranalysator. Die Messungen wurden mit Versorgungsspannungen von $U_{dd} = 1\text{ V}$ sowie 2 V und für Eingangsspannungen von $U_{in} = -1,5\text{ V}$ bis $+1,5\text{ V}$ durchgeführt. Abb. 4.6 zeigt die ermittelten Übertragungskennlinien.

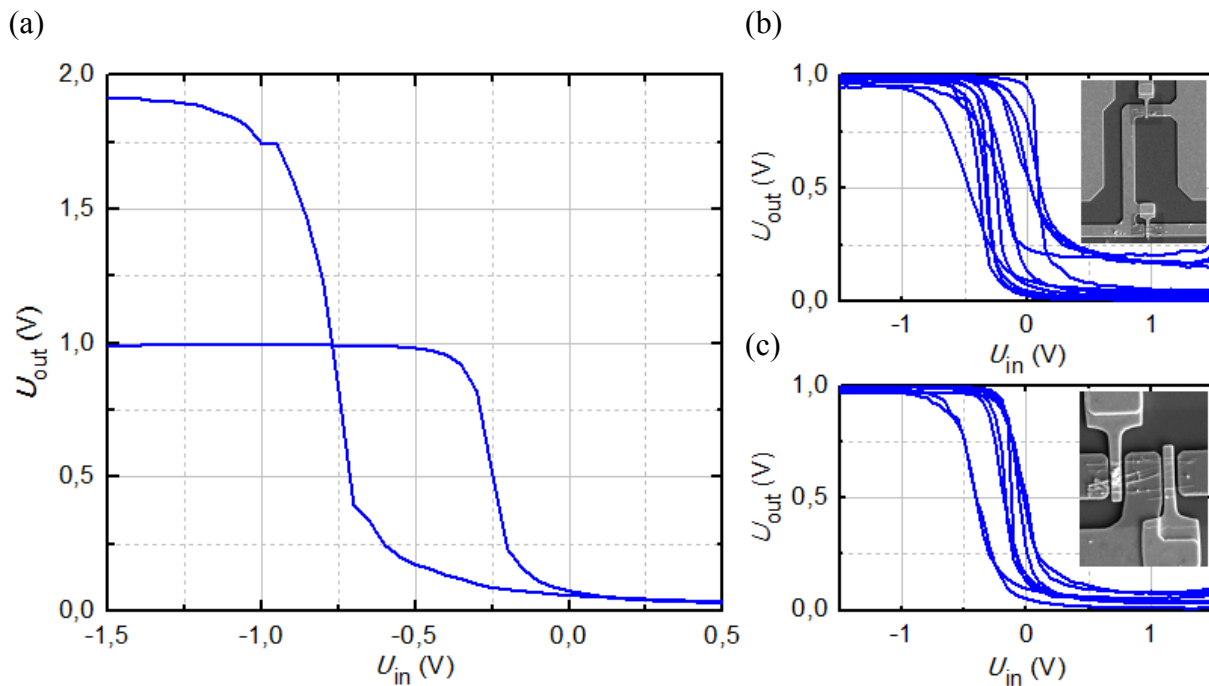


Abb. 4.6: Übertragungskennlinien einer Inverterschaltung der Variante I (Treibertransistor aus 5 Nanodrähten und Lasttransistor aus 7 Nanodrähten) bei einer Versorgungsspannung von 1 V und 2 V (a), sowie eine Zusammenstellung der Übertragungskennlinien von den Schaltungen der Variante I (b) und der Variante II (c) bei 1 V Versorgungsspannung.

Exemplarisch sind in Abb. 4.6 a die Übertragungskennlinien einer Schaltung der Variante I für die beiden untersuchten Versorgungsspannungen abgebildet. Der Treibertransistor weist in diesem Fall 5 Nanodrähte auf und der Lasttransistor 7 Nanodrähte. Zusätzlich sind rechts in Abb. 4.6 die Übertragungskennlinien für die insgesamt 13 funktionstüchtigen Schaltungen der Variante I (b) bzw. 8 Schaltungen der Variante II (c) bei einer Versorgungsspannung von 1 V zusammengestellt.

Die Schaltungen weisen am Ausgang einen Spannungshub auf, der annähernd der Versorgungsspannung entspricht. Die Leitfähigkeit des Treibertransistors wird somit im Bereich der gewählten Eingangsspannungen ausreichend stark moduliert. Lediglich bei einigen Schaltungen der Variante I ist im Low-Zustand eine höhere Restspannung um 0,2 V zu beobachten. Die Treibertransistoren dieser Schaltungen scheinen aufgesteuert einen zu großen Widerstand aufzuweisen. Zwischen den beiden Zuständen zeigen die Schaltungen einen schmalen Übergangsbereich und erzielen bereits bei einer sehr niedrigen Versorgungsspannung von 1 V maximale Kleinsignalspannungsverstärkungen von bis zu 6,6 (Schrittweite $\Delta U_{in} = 50$ mV). Dies bekräftigt die angestrebte Anwendung von InAs Nanodraht-FETs in Schaltungen mit niedrigen Versorgungsspannungen und geringer Leistungsaufnahme. Für CMOS-Inverter, für die ein Nanodraht mit einer n-InAs/p-GaSb Heterostruktur in Wachstumsrichtung [140] bzw. epitaktisch gewachsene n- und p-dotierte Si-Nanodrähte [141]

verwendet wurden, konnten später Verstärkungen um 10 bei ebenfalls $U_{dd} = 1 \text{ V}$ berichtet werden. In diesen Untersuchungen erfolgte die Deposition der Nanodrähte allerdings ungeordnet und das Schaltungsdesign ließ keinen Betrieb im Hochfrequenzbereich zu (s.u.). CMOS-Inverter aus Si-Nanodrähten, die in einem Top-Down Prozess hergestellt wurden, erreichten ihre maximale Verstärkung bereits bei $U_{dd} = 0,6 \text{ V}$ von im Mittel sogar etwa 20 [142]. Die Nanodrahtdurchmesser von 5 nm konnten allerdings nur mittels höchstauflösender Lithographie und einer Oxidation der Halbleiterfinnen mit anschließender Entfernung des Oxids zur Verringerung der Strukturgrößen umgesetzt werden. Die Prozesstemperaturen betragen bis 1000°C .

Für die Schaltungen der vorliegenden Arbeit nimmt die Verstärkung bei Versorgungsspannungen oberhalb 1 V weiter zu. So zeigt etwa die Schaltung zu Abb. 4.6 a eine maximale Kleinsignalspannungsverstärkung von 8,4 statt 5,9, wenn die Versorgungsspannung auf 2 V erhöht wird. Bei dieser Spannung konnten Maximalwerte bis zu 12 beobachtet werden. Höhere Spannungen wurden für die statischen Messungen nicht verwendet, da die Gate-Drain-Diode des Treibertransistors bereits bei $U_{dd} = 2 \text{ V}$ mit einer Spannung von bis zu 3,5 V beaufschlagt wird (Eingangsspannung -1,5 V), die bei einigen Schaltungen schon zu einer Beschädigung des Treibertransistors führte. Als Ursache für die Streuungen der maximalen Kleinsignalspannungsverstärkungen liegen zum einen die Variationen in der Anzahl deponierter Nanodrähte nahe und zum anderen Unterschiede in den elektrischen Eigenschaften sowie Durchmessern der Nanodrähte. Eine genauere Untersuchung, wie diese hier anteilig eingehen, folgt weiter unten mit Hilfe von Simulationen.

Wie aus Abb. 4.6 b und c ersichtlich, deckt die sogenannte Schaltspannung, bei der die Ausgangsspannung der halben Versorgungsspannung entspricht, einen Bereich von -0,5 V bis +0,3 V ab. Nahe der Schaltspannung wird auch die maximale Kleinsignalspannungsverstärkung erreicht, deren Lage somit ebenfalls stark variiert. Dies kann gemäß den Ausführungen in 2.5.1 durch Schwankungen sowohl in den Schwellenspannungen als auch in dem Verhältnis der Steilheit von Last- und Treibertransistoren hervorgerufen werden. Zudem kommt es zwischen aufeinanderfolgenden Messungen an ein und derselben Schaltung teilweise zu einer deutlichen Verschiebung der Schaltspannung, wie etwa in Abb. 4.6 a zu beobachten. Die Übertragungskennlinie für $U_{dd} = 2 \text{ V}$ scheint um 0,5 V gegenüber der vorangegangenen Messung bei $U_{dd} = 1 \text{ V}$ versetzt zu sein. Dies kann darin begründet sein, dass während der ersten Messung die beweglichen Ionen im Gate-Dielektrikum des Treibertransistors verschoben wurden, einhergehend mit einer verringerten Schwellenspannung. Gleiches war bereits bei der Charakterisierung einzelner Nanodraht-FETs zu

beobachten (vgl. 3.2 bzw. 4.1). Die Messungen wurden in derselben Reihenfolge auch für andere Schaltungen durchgeführt und dabei teilweise eine deutlich geringere oder sogar vernachlässigbare Beeinflussung der Schaltspannungen festgestellt. Dies deutet auf eine Inhomogenität in der Dichte beweglicher Ionen im SiN_x hin.

Im Folgenden wird unter Zuhilfenahme von Schaltungssimulationen untersucht, in welchem Maße das Übertragungsverhalten der Inverter durch die instabile Schwellenspannung beeinflusst ist und wie sich die Anzahl der für Treiber- bzw. Lasttransistor angeordneten Nanodrähte auswirkt. Die experimentellen Ergebnisse unterliegen weiteren Einflüssen, wie etwa den unterschiedlichen elektrischen Eigenschaften und Durchmessern der Nanodrähte oder einer inhomogenen Ionendichte in der SiN_x -Schicht, die nicht oder nur mit unverhältnismäßigem Aufwand zu erfassen sind und damit in der Auswertung der experimentellen Werte keine Berücksichtigung finden. Die Schaltungssimulationen sind hiervon nicht betroffen und versprechen somit eine deutliche Unterstützung bei der Interpretation der Messergebnisse. Für die Simulationen wird das an den Referenztransistor der Inverterschaltungen angepasste Modell verwendet (vgl. 4.1). Die Anzahl der Nanodrähte des Treibertransistors im Verhältnis zu der Anzahl derer des Lasttransistors wird im Folgenden mit T/L abgekürzt. Unter der Annahme, dass alle Nanodrähte den gleichen Durchmesser aufweisen, entspricht dies dem Verhältnis der Gate-Weiten bei konventionellen Transistoren. Abb. 4.7 zeigt die mittels Schaltungssimulationen gewonnen Übertragungskennlinien (blau) für unterschiedliche Schwellenspannungen des Treibertransistors und für verschiedene Verhältnisse T/L , jeweils bei $U_{\text{dd}} = 1 \text{ V}$. Im Hintergrund sind die Übertragungskennlinien der Inverter der Schaltungsvariante I (grau) abgebildet, die in größerer Anzahl vorliegen und insgesamt stärkere Variationen aufweisen.

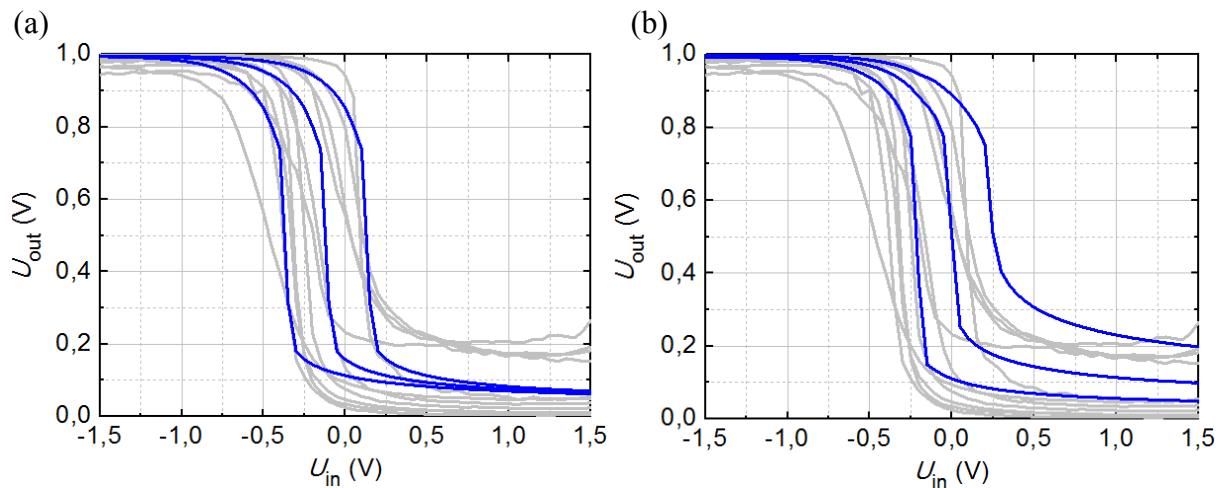


Abb. 4.7: Übertragungskennlinien gemäß Simulation (blau) für eine Schwellenspannung des Treibertransistors von $-0,75\text{ V}$, $-0,5\text{ V}$ und $-0,25\text{ V}$ (a) bzw. für ein Verhältnis T/L von 2, 1 und 0,5 (b).

Das Übertragungsverhalten der Inverter-Schaltungen wird durch die Simulationen gut wiedergegeben. Um die experimentell beobachteten Schaltspannungen vollständig abzudecken, musste in der Simulation die Schwellenspannung des Treibertransistors, ausgehend von dem Referenztransistor aus 4.1 ($U_T = -0,5\text{ V}$; mittlere Kennlinie), um jeweils $0,25\text{ V}$ verringert und erhöht werden (linke bzw. rechte Kennlinie). Es wurde ein Verhältnis von $T/L = 1,5$ gewählt, das etwa dem mittleren Verhältnis der charakterisierten Schaltungen entspricht (vgl. Abb. 4.8). Da Variationen bzw. Verschiebungen der Schwellenspannung von bis zu einigen 100 mV tatsächlich auftreten, ist in diesen die wesentliche Ursache für die Streuungen in der Schaltspannung zu sehen. Die Schwellenspannung des Lasttransistors wurde als konstant angenommen, da sich seine Gate-Source-Spannung aufgrund des Kurzschlusses nur geringfügig mit dem Spannungsabfall über dem Source-Widerstand ändert und eine mögliche Verschiebung der Schwellenspannung daher vergleichsweise gering ausfallen sollte.

Die Schaltspannung scheint für die Schaltungen der Variante I stärker zu variieren als für die der Variante II (Abb. 4.6 b und c). Bei letzteren liegen die beiden Transistoren näher beieinander, daher sollte sich eine etwaige Inhomogenität in der Gate-Isolation, in der verschiedene Schwellenspannungen von Treiber- und Lasttransistor begründet sein könnten, weniger stark auswirken. Weitere Erklärungen sind darin zu sehen, dass für die Variante I die Streuungen aufgrund der größeren Anzahl charakterisierter Schaltungen (13 gegenüber 8) vollständiger erfasst wurden, sowie dass das Verhältnis T/L bei diesen erheblich größeren Variationen unterliegt und auch dieses Einfluss auf die Schaltspannung nimmt: Entspricht die Eingangsspannung der Schaltspannung, so weisen Treiber und Lasttransistor die gleiche

Leitfähigkeit auf. Dies ist bei umso kleineren Eingangsspannungen der Fall, je größer das Verhältnis T/L ist. Den Simulationsergebnissen in Abb. 4.7 b ist die quantitative Abhängigkeit zu entnehmen. Es sind die Übertragungskennlinien für $T/L = 0,5, 1$ und 2 (rechts, Mitte bzw. links) bei einer Schwellenspannung der Transistoren von $-0,5$ V gezeigt. Die resultierende Schaltspannung beträgt $-0,22$ V, 0 V bzw. $+0,25$ V.

Die Anzahl der für den Treiber- bzw. Lasttransistor deponierten Nanodrähte wirkt sich zudem stark auf die Kleinsignalsspannungsverstärkung aus. Dies zeigt sich ebenfalls in Abb. 4.7 b und folgt auch aus der analytischen Beschreibung gemäß Gleichung 2.20, wenn die Abhängigkeit der Steilheit und des Ausgangsleitwertes von der Anzahl der Nanodrähte berücksichtigt wird. Hierzu sind die Steilheit des Treibertransistors ($g_{m,T}$) und die Ausgangsleitwerte von Treiber- bzw. Lasttransistor ($g_{ds,T}$ bzw. $g_{ds,L}$) durch die zugehörigen Größen eines Einzeldraht-FETs ($g_{m,SNWFET}$ und $g_{ds,SNWFET}$), jeweils multipliziert mit der Anzahl deponierter Nanodrähte (T bzw. L), zu ersetzen:

$$\begin{aligned} v_u &= -\frac{g_{m,T}}{g_{ds,T} + g_{ds,L}} = -\frac{g_{m,SNWFET} \cdot T}{g_{ds,SNWFET} \cdot T + g_{ds,SNWFET} \cdot L} \\ &= -\frac{g_{m,SNWFET} \cdot \frac{T}{L}}{g_{ds,SNWFET} \cdot \frac{T}{L} + g_{ds,SNWFET}} = -\frac{g_{m,SNWFET}}{g_{ds,SNWFET}} \cdot \frac{\frac{T}{L}}{\frac{T}{L} + 1} \end{aligned} \quad (4.1)$$

Für kleine Werte von T/L wächst der Betrag der Kleinsignalsspannungsverstärkung demnach zunächst linear mit T/L und nähert sich für große Werte dem Verhältnis aus Steilheit zu Ausgangsleitwert je Nanodraht an. Es sind demnach für eine hohe Kleinsignalsspannungsverstärkung mehr Nanodrähte für den Treiber- als für den Lasttransistor anzuordnen. Dies könnte durch unterschiedliche Elektrodenweiten realisiert werden. Zudem zeigt Gleichung 4.1 eine Strategie auf, wie auch ohne den Einsatz einer selbstlimitierenden Depositionstechnik die Variationen der Kleinsignalsspannungsverstärkung zu reduzieren sind: Für große Werte von T/L wird diese deutlich schwächer durch Fluktuationen in der Anzahl deponierter Nanodrähte beeinflusst.

In Abb. 4.8 sind die maximalen Kleinsignalsspannungsverstärkungen bei $U_{dd} = 1$ V für die Schaltungen der Variante I in Abhängigkeit des Verhältnisses T/L aufgetragen, zusammen mit Werten, die mittels Schaltungssimulationen für $T/L = 0,25$ bis 3 gewonnen wurden. Die absolute Anzahl der Nanodrähte nimmt keinen Einfluss auf das statische, wohl aber auf das dynamische Verhalten, wie weiter unten diskutiert wird.

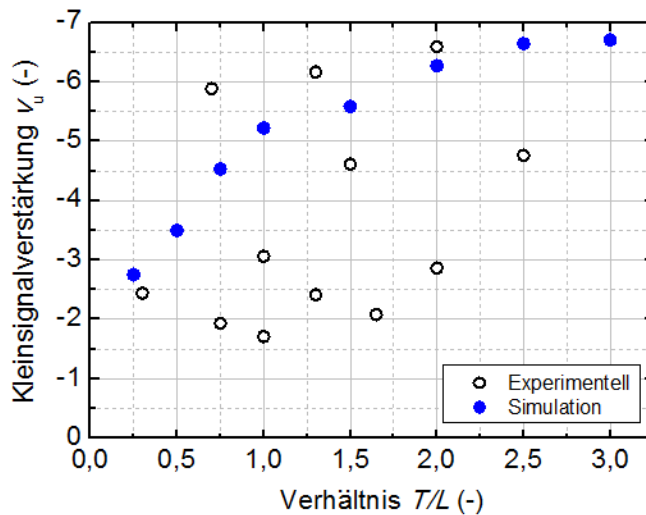


Abb. 4.8: Maximale Kleinsignalspannungsverstärkung in Abhängigkeit des Verhältnisses T/L .

Die experimentellen Werte zeigen, dass die Kleinsignalspannungsverstärkung der Inverter tendenziell mit dem Verhältnis T/L ansteigt. Eine genauere Aussage über die Abhängigkeit ist auf Grund der starken stochastischen Streuungen nicht möglich. Auch die Schaltungssimulationen ergeben einen Anstieg der Kleinsignalspannungsverstärkung und lassen darüber hinaus einen zunächst etwa linearen Zuwachs sowie eine Stagnation bei größeren Verhältnissen T/L erkennen, wie dies ausgehend von der analytischen Beschreibung zu erwarten war. Einige Werte weichen von diesem Verlauf leicht ab, was wie folgt zu erklären ist: Die Übertragungskennlinien wurden mit einer Schrittweite von $\Delta U_{in} = 50$ mV aufgenommen, auf die auch die Kleinsignalspannungsverstärkung bezogen ist. Die gleiche Schrittweite wurde für die Simulationen gewählt. Allerdings erreichen die Inverter ihre maximale Kleinsignalspannungsverstärkung nur in einem sehr schmalen Spannungsbereich, so dass die tatsächlichen Maxima bei einer Schrittweite von 50 mV nicht immer erfasst werden. Dies betrifft gleichermaßen auch die experimentellen Werte und erklärt damit einen Teil der aufgetretenen Variationen.

Gemäß den Simulationsergebnissen kann mit den untersuchten Verhältnissen T/L von 0,25 bis 3 die Kleinsignalspannungsverstärkung zwischen -2,75 und -6,7 variiert werden ($U_{dd} = 1$ V). Die fluktuierende Anzahl deponierter Nanodrähte würde demnach die Variationen in den experimentellen Ergebnissen nahezu vollständig erklären. Aus der für Abb. 4.8 gewählten Darstellung ist jedoch ersichtlich, dass hierin nicht die alleinige Ursache liegen kann. So sind etwa für die Schaltungen mit $T/L = 1,3$ Kleinsignalspannungsverstärkungen von -2,4 bis -6,2 zu beobachten und auch für die Schaltungen der Variante II, bei denen nominell gleich viele Nanodrähte für den Treiber- und Lasttransistor vorliegen ($T/L = 1$), nimmt die Kleinsignalspannungsverstärkung Werte zwischen -2,70 und -6,75 an.

Eine Erklärung hierfür liefern die unterschiedlichen Durchmesser und elektrischen Eigenschaften der Nanodrähte, die neben der oben diskutierten Strategie eine weitere Möglichkeit zur Reduzierung der Streuungen bieten. Die Funktion im Großsignalbetrieb ist jedoch selbst bei diesen großen Schwankungen gesichert.

Dynamische Messungen

In Kapitel 3 wurde aufgezeigt, wie empfindlich das Hochfrequenzverhalten der Nanodrahttransistoren durch die parasitären Kapazitäten beeinflusst wird. Diese sind auch für die dynamische Charakterisierung der Inverter möglichst gering zu halten. Daher wurden die Zugangsstrukturen als koplanare Wellenleiter für „on-Wafer“-Messungen ausgeführt, die kleinste Kontaktflächen erlauben, sowie das Layout der Zugangsstrukturen für eine minimale Übersprechkapazität zwischen Ein- und Ausgang entworfen (Abb. 4.4 a und c). Durch eine Auslegung für Ground-Signal-Ground(GSG)-Nadeln mit einem Pitch von lediglich $100\ \mu\text{m}$ statt der gängigen $150\ \mu\text{m}$ konnte ein besonders kompaktes Design umgesetzt werden, das die parasitären Kapazitäten weiter verringert. Kritisch ist zudem die starke Fehlanpassung zwischen den hochohmigen Nanodrahttransistor-Schaltungen und der gängigen $50\ \Omega$ -Messumgebung. So kann etwa der Ausgang der Inverterschaltungen nicht direkt mit einem Oszilloskop, das einen $50\ \Omega$ -Eingangswiderstand aufweist, verbunden werden. Hieraus würde eine zu große Belastung resultieren, so dass das Ausgangssignal mit einer aktiven Nadel mit einem deutlich größeren Innenwiderstand abgenommen wurde (Abb. 4.9).

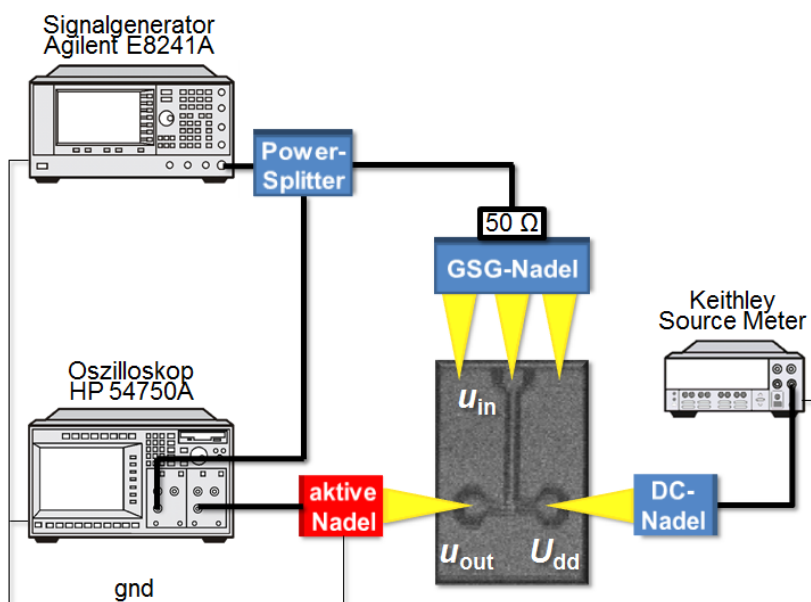


Abb. 4.9: Messaufbau für die dynamische Charakterisierung der Inverterschaltungen.

Das Eingangssignal wird bei diesem Messaufbau von dem Signalgenerator Agilent E8241A bereitgestellt und mit einem Power Splitter an die Schaltung sowie an das Oszilloskop HP-54750 weitergegeben. Dem Oszilloskop ist ein DC-Block vorgeschaltet (in der Abbildung nicht eingezeichnet), da die Software zum Auslesen des Oszilloskops nur dann beide Kanäle gleichzeitig erfassen kann, wenn die anliegenden Signale keinen Gleichanteil aufweisen. Die Inverterschaltungen sind eingangsseitig sehr hochohmig, so dass für eine Anpassung an die Messumgebung ein externer $50\ \Omega$ -Widerstand parallel zu der verwendeten GSG-Nadel angeschlossen wurde.

Das Ausgangssignal wird mit der aktiven Nadel Picoprobe 35 abgenommen und ebenfalls über einen DC-Block dem Oszilloskop zugeführt. Die aktive Nadel weist einen Innenwiderstand von $1,2\ \text{M}\Omega$ auf, so dass die hohe Belastung der Schaltungen durch den $50\ \Omega$ -Eingangswiderstand des Oszilloskops umgangen wird. Eine hochohmige Messung des Ausgangssignals ist zwingend erforderlich und könnte alternativ mit Hilfe eines Oszilloskops mit $1\ \text{M}\Omega$ -Eingangswiderstand erfolgen. Jedoch würde die höhere Eingangskapazität, die typischerweise drei Größenordnungen über den $50\ \text{fF}$ der aktiven Nadel liegt, eine enorme kapazitive Belastung verursachen und damit den Frequenzbereich für die dynamischen Messungen erheblich einschränken. Der Einfluss der aktiven Nadel auf das Messergebnis wird weiter unten anhand von Schaltungssimulationen untersucht.

Die Spannungsversorgung für die Schaltung erfolgt über ein Labornetzgerät (Keithley Source Meter) und eine herkömmliche DC-Nadel. Ein einheitliches Masse-Potential für Labornetzgerät, Signalgenerator, Oszilloskop und aktive Nadel wird mit der eingezeichneten Verbindung der Masse(GND)-Kontakte sichergestellt. Dieser Messaufbau lässt grundsätzlich eine Charakterisierung der Schaltungen von $10\ \text{MHz}$ bis $26\ \text{GHz}$ zu. Messungen unterhalb $10\ \text{MHz}$ sind mit dem verwendeten Oszilloskop nicht möglich, und die aktive Nadel begrenzt den Frequenzbereich nach oben. Die Dämpfung der Anordnung wurde mit Hilfe von Kalibrationsmessungen an einer Durchgangsstruktur bestimmt: Für ein Rechtecksignal mit einer Amplitude von $150\ \text{mV}$ am Eingang der Durchgangsstruktur wies das Ausgangssignal der aktiven Nadel lediglich noch eine Amplitude von $7,9\ \text{mV}$ auf, was einer Spannungsteilung von 19 entspricht. Eine Frequenzabhängigkeit war in dem untersuchten Bereich von 10 bis $100\ \text{MHz}$ nicht festzustellen. Die im Folgenden gezeigten Messergebnisse wurden bereits bezüglich der Dämpfung korrigiert.

In Abb. 4.10 a sind die Ein- und Ausgangsspannung einer Inverterschaltung der Variante II mit $T/L = 12/10 = 1,2$ bei einer Frequenz von $20\ \text{MHz}$ und $U_{\text{dd}} = 2\ \text{V}$ gezeigt.

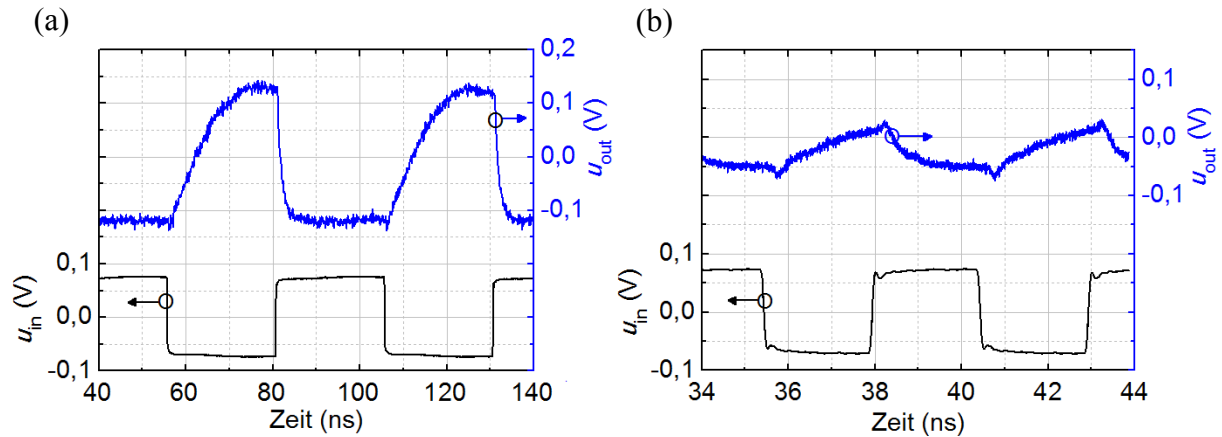


Abb. 4.10: Ein- und Ausgangsspannung einer Inverterschaltung der Variante II (a) mit $T/L = 12/10$ und der Variante I (b) mit $T/L = 8/5$ bei einer Frequenz von 20 MHz bzw. 0,2 GHz.

Die Spannungen weisen aufgrund der verwendeten DC-Blöcke keinen Gleichanteil auf. Tatsächlich betragen etwa die Minimal- und Maximalwerte der Eingangsspannung $-0,15$ V bzw. 0 V. Es kommt unverkennbar zu einer Invertierung der Eingangsspannung, und die Schaltung erreicht, trotz der zusätzlichen kapazitiven Last durch die aktive Nadel, eine Verstärkung von etwa 1,7. Für eine größere Versorgungsspannung von 3 V waren sogar Verstärkungen bis 2,4 bei 30 MHz festzustellen. Der abgebildeten Ausgangsspannung sind stark unterschiedliche Zeitkonstanten für die positiven und die negativen Flanken zu entnehmen. Das Entladen der Ausgangskapazität einschließlich der Kapazität der aktiven Nadel, das über den Treiber-transistor erfolgt, ist bereits nach wenigen Nanosekunden abgeschlossen. Dahingegen erfordert der Ladevorgang über den Lasttransistor etwa 20 ns, und die Ausgangsspannung nimmt somit erst gegen Ende des High-Zustandes einen konstanten Wert an. In beiden Fällen entspricht die Gate-Source-Spannung des Transistors, über den jeweils die Ladung zu- bzw. abgeführt wird, 0 V. Der Treibertransistor scheint demnach bei $U_{GS} = 0$ V eine höhere Leitfähigkeit aufzuweisen als der Lasttransistor. Dies ist nicht allein durch das Verhältnis $T/L = 1,2$ zu erklären, da die Zeitkonstanten für die positive und die negative Flanke in einem deutlich größeren Verhältnis zueinander stehen. Die Ursache liegt in einer verringerten Schwellenspannung des Treibertransistors, wie weiter unten genauer ausgeführt wird.

Bei deutlich höheren Frequenzen ist der Verlauf der Ausgangsspannung vollständig durch die Lade- bzw. Entladevorgänge geprägt. In Abb. 4.10 b ist dies für eine Schaltung der Variante I mit $T/L = 8/5 = 1,6$ bei einer Frequenz von 0,2 GHz und $U_{dd} = 3$ V gezeigt. Die großen Zeitkonstanten verhindern eine Verstärkung des Eingangssignals ($u_{out,SS}/u_{in,SS} = 0,4$). Anzumerken ist, dass in anderen Veröffentlichungen zu Invertern aus epitaktisch

gewachsenen Nanodrähten bzw. aus Nanoröhren bereits bei Frequenzen im Hz- bis kHz-Bereich starke Dämpfungen auftraten [140, 143, 144]. Die niedrigen Grenzfrequenzen in diesen Untersuchungen sind in erster Linie der zu hohen kapazitiven Belastung geschuldet, die aus dem Schaltungsdesign [140, 143] bzw. der direkten Abnahme des Ausgangssignals mit einem Oszilloskop [144] resultiert. Im Top-Down Verfahren hergestellte Inverter aus Si-Nanodrähten [142] zeigten eine Verstärkung bei einer Frequenz von 1 MHz. In einer vorangegangenen Veröffentlichung der gleichen Arbeitsgruppe [145] war bei einer höheren Frequenz von 20 MHz bereits eine erhebliche Dämpfung des Eingangssignals zu beobachten. Die Ausgangsspannung wurde in beiden Untersuchungen mit einer aktiven Nadel abgenommen.

Im Folgenden soll der Einfluss, den die aktive Nadel auf das Messergebnis nimmt, mit Hilfe von Schaltungssimulationen untersucht werden. Die verwendete Ersatzschaltung, in der zunächst auch die Eingangskapazität sowie der Eingangswiderstand der aktiven Nadel berücksichtigt sind, findet sich im Anhang 6.2.4. In Abb. 4.11 sind die Spannungsverläufe aus den Simulationen (blau) gemeinsam mit den zuvor betrachteten Messergebnissen (grau) gezeigt. Letztere wurden mit einem Offset versehen, um so einen Vergleich mit den Ausgangsspannungen der Simulationen zu vereinfachen.

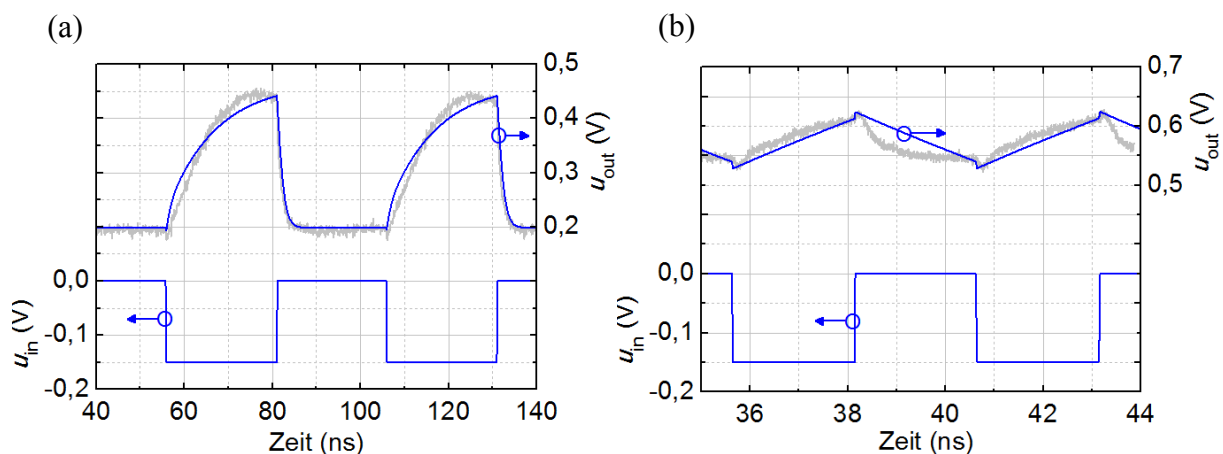


Abb. 4.11: Spannungsverläufe aus den Simulationen (blau) gemeinsam mit den zuvor betrachteten Messergebnissen (grau; mit Offset versehen).

Für die zu Abb. 4.10 a links gehörige Schaltung werden von der Simulation sowohl die stark unterschiedlichen Lade-/Entladezeiten als auch der erzielte Spannungshub am Ausgang sehr gut wiedergegeben, wenn die Schwellenspannung des Treibertransistors um 140 mV gegenüber dem Referenztransistor aus 4.1 verringert wird. Ohne eine Anpassung der Schwellenspannung ergibt sich zum einen nur ein sehr geringer Unterschied in den Zeitkonstanten, der in diesem Fall aus der größeren Anzahl von Nanodrähten beim

Treibertransistor ($T/L = 1,2$) resultiert. Zum anderen würde eine deutlich größere Verstärkung erzielt, da der Treibertransistor im High-Zustand besser sperrt und somit eine höhere Ausgangsspannung vorliegt, während diese im Low-Zustand nur unwesentlich größer ausfällt. Eine Verschiebung der Schwellenspannung deckt sich mit den Beobachtungen bei der statischen Charakterisierung und wurde durch eine im Anschluss an die dynamischen Messungen aufgenommene Übertragungskennlinie bestätigt. Bei dieser ergab sich für die untersuchte Schaltung eine auffällig niedrige Schaltspannung von etwa -1 V (Anhang 6.2.5), die auf eine starke Verringerung der Schwellenspannung des Treibertransistors im Zuge der durchgeführten Messungen hindeutet.

Auch bei einer Frequenz von $0,2$ GHz (Abb. 4.11 b, Schaltung der Variante II) wird der Ladevorgang von der Simulation gut wiedergeben, wohingegen die Zeitkonstante des Entladevorgangs unterschätzt wird. Eine Verschiebung der Schwellenspannung zeigt innerhalb der hier deutlich kürzeren High- bzw. Low-Zustände von jeweils nur $2,5$ ns lediglich einen geringen Einfluss, so dass sowohl für den Last- als auch für den Treibertransistor der Wert von $U_T = -0,5$ V beibehalten wurde. In dem Spitze-Spitze-Wert der Ausgangsspannung, auf den sich die folgenden Betrachtungen beziehen, stimmen Simulations- und Messergebnis hervorragend überein.

Die Messergebnisse sind bezüglich der Zeitkonstanten sowie der erzielten Verstärkungen stark durch die Eingangskapazität der aktiven Nadel beeinflusst. In der Simulation kann dies durch Entfernen der zugehörigen Ersatzschaltbildelemente korrigiert werden. Abb. 4.12 zeigt die resultierenden Simulationsergebnisse (blaue Kennlinien) für die zuvor betrachteten Schaltungen bei 20 MHz (a) und $0,2$ GHz (b). Die Kapazitäten durch die Zugangsstrukturen sind weiterhin berücksichtigt.

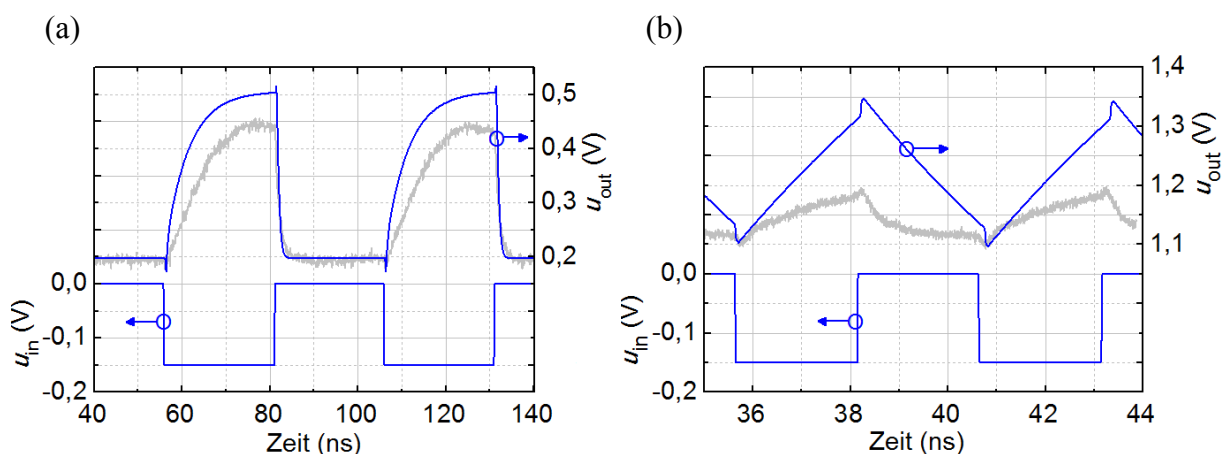


Abb. 4.12: Simulationsergebnisse (blau) nach Entfernen der Ersatzschaltung der aktiven Nadel gemeinsam mit den gemessenen Ausgangsspannungen (grau; mit Offset versehen) bei 20 MHz (a) und $0,2$ GHz (b).

Mit der reduzierten kapazitiven Belastung der Schaltungen gehen kleinere Zeitkonstanten und damit größere Verstärkungen einher. So wäre bei einer Frequenz von 20 MHz für die hier betrachtete Schaltung eine Verstärkung von etwa 2 statt 1,7 zu erwarten. Bei einer Frequenz von 0,2 GHz betrug der Spitze-Spitze-Wert der mit der aktiven Nadel gemessenen Ausgangsspannung lediglich das 0,4fache dessen der Eingangsspannung, während die Simulation ohne die Nadel hier ein Verhältnis von etwas oberhalb 1 ergibt.

Noch höhere Grenzfrequenzen sollten durch größere Steilheitswerte der Transistoren zu erzielen sein. Diese fallen bei den Transistoren der Abtast-Halte-Glieder (vgl. 4.1), für die auf Nanodrähte aus einem anderen Wachstumsprozess zurückgegriffen wurde, besser aus. Das an den zugehörigen Referenztransistor angepasste Modell wird im Folgenden in der Simulation der Inverterschaltungen eingesetzt, um so eine genauere Abschätzung der tatsächlich erzielbaren Grenzfrequenzen zu ermöglichen. Abb. 4.13 zeigt die Simulationsergebnisse bei einer Frequenz von 0,2 GHz und 3 V Versorgungsspannung. Die Parameter des Transistormodells wurden für einen Last- bzw. Treibertransistor mit jeweils 10 Nanodrähten und einer Schwellenspannung von -0,5 V eingestellt.

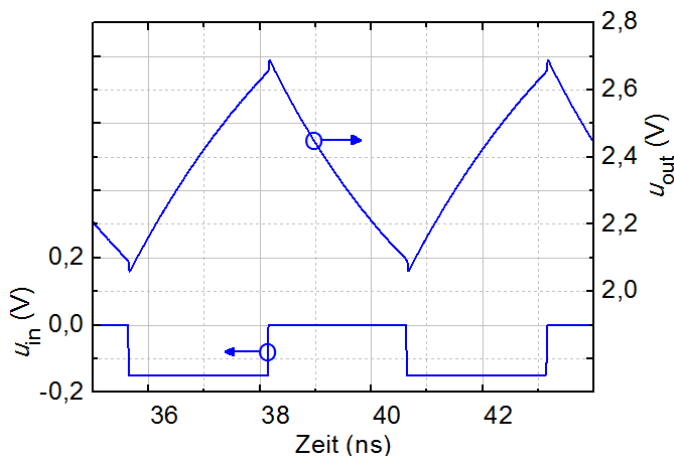


Abb. 4.13: Simulationsergebnis bei 0,2 GHz mit $T/L = 10/10$ unter Verwendung des Transistormodells, das an den Referenztransistor der Abtast-Halte-Glieder angepasst ist.

Es zeigt sich eine deutliche Verringerung der Zeitkonstanten aufgrund der höheren Leitfähigkeit der Transistoren. Die Schaltung weist trotz der großen parasitären Kapazitäten eine Verstärkung bis zu einer Frequenz von etwa 1 GHz auf. Hierbei ist zu berücksichtigen, dass die Schaltungen auf InP-Substraten gefertigt wurden. Durch Verwendung eines Substrates mit kleinerer effektiver Permittivität, etwa Silizium mit einer zusätzlichen SiO_2 -Isolation, können die Kapazitäten durch die Kontaktstrukturen erheblich reduziert werden (vgl. 3.3). Wie für die Hochfrequenz-Transistoren diskutiert, sind zudem durch höhere

Packungsdichten der Nanodrähte sowie aggressiver skalierte Gate-Längen und EOT auch für die Inverter weitere Verbesserungen der Grenzfrequenz um mindestens eine Größenordnung zu erwarten.

4.3 Abtast-Halte-Glieder

Die Abtast-Halte-Glieder wurden im Rahmen des Verbundprojektes „Nanowire/CMOS Heterogeneous Integration for Next-Generation Communication Systems“ der Deutschen Forschungsgemeinschaft DFG und der Japan Science and Technologie Agency JST untersucht. Als wichtige Vorarbeit für eine Co-Integration mit CMOS-Schaltungen konnten die Abtast-Halte-Glieder zusätzlich gemeinsam mit mikroelektronischen Ausgangsverstärkern gefertigt werden. Diese wurden aus InP/InGaAs-MISHFETs aufgebaut. Die Ausgangsverstärker entkoppeln die Nanodrahttransistor-Schaltung von der niederohmigen Messumgebung und verhindern so eine ausgangsseitige Entladung der Haltekapazität.

4.3.1 Der MIS-Heterostruktur-Feldeffekttransistor

Im Folgenden werden zunächst Aufbau und Funktion eines InP/InGaAs-Heterostruktur-FETs (HFET) (Abb. 4.14 a) dargestellt, bevor auf die zusätzliche Gate-Isolation des MISHFETs (b) und dessen elektrischen Eigenschaften eingegangen wird.

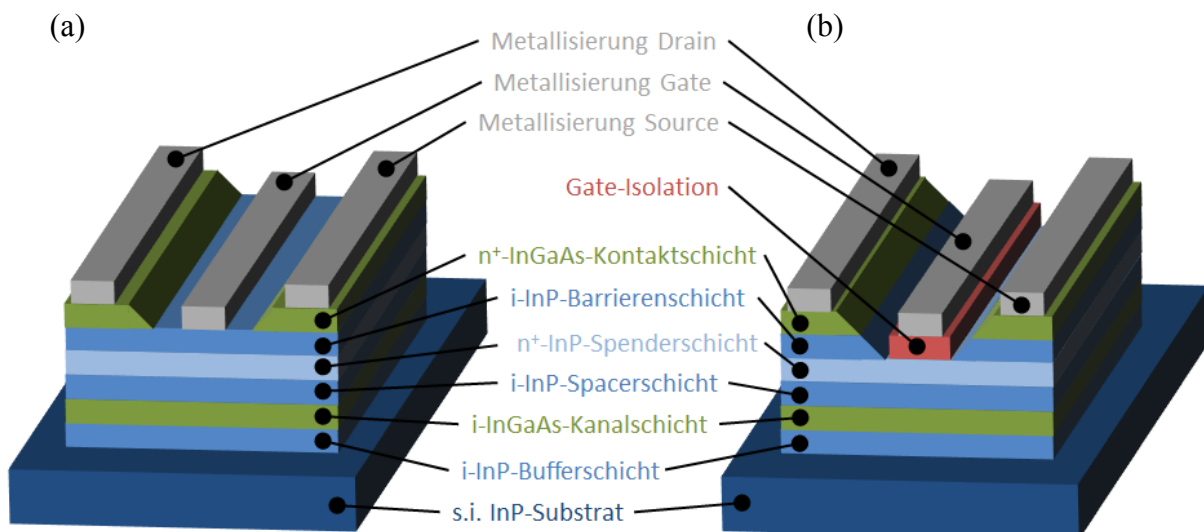


Abb. 4.14: InP/InGaAs-HFET (a) bzw. -MISHFET (b).

Mit dem Heteroübergang zwischen der InGaAs-Kanalschicht und dem InP-Spacer, die beide nominell undotiert sind, geht eine Banddiskontinuität einher, die zur Ausbildung eines Potentialtopfes im InGaAs führt. In dem Potentialtopf treten unterhalb der Fermi-Energie diskrete Energie-Niveaus auf, die von Elektronen aus der hoch n-dotierten InP-Spenderschicht besetzt werden, so dass an der Grenzschicht im InGaAs ein sogenanntes zweidimensionales Elektronengas (2DEG) entsteht [146, 147]. Die räumliche Trennung des 2DEG, das dem Transistor als stromführender Kanal dient, von den ionisierten Dotierstoffatomen in der Spenderschicht führt zu einer Reduzierung von Coulomb-Streuungen und somit zu einer höheren Ladungsträgerbeweglichkeit im Kanal [148]. Der Zugang zum 2DEG bzw. zum Ladungsträgerkanal erfolgt über die InGaAs-Kontaktschicht, die zur Ausbildung sperrfreier Ohm-Kontakte hoch n-dotiert ist. Von der Kontaktschicht aus fließt der Drain-Strom durch die InP-Schichten (Barriere, Spender und Spacer) und wird im 2DEG zum anderen Ende des Kanals geführt. Für eine effektive Steuerung der Ladungsträgerkonzentration im 2DEG sowie zur Ausbildung eines sperrenden Kontaktes liegt die Gate-Elektrode auf der nominell undotierten InP-Barrierschicht. Die InGaAs-Kontaktschicht ist hier vor Aufbringen der Gate-Metallisierung mittels eines Ätzschrittes zu entfernen („Gate-Recess“). Zudem muss das komplette Schichtpaket, das ganzflächig auf dem InP-Substrat epitaxiert wird, zwischen den Bauelementen durchtrennt werden, um diese elektrisch voneinander zu isolieren. Hierdurch entsteht die abgebildete Halbleiter-Mesa.

Der beschriebene HFET wurde um eine Gate-Isolation aus SiN_x erweitert, die den Eingangsstrom und somit die Belastung der Nanodrahttransistor-Schaltungen erheblich reduziert. Vorversuche zeigten eine zu hohe Schwellenspannung bei Abscheidung der SiN_x -Isolation auf der Barrierschicht. Daher wurde der Gate-Recess um einen Ätzschritt zum Entfernen der Barrierschicht erweitert (vgl. Abb. 4.14 b). Dies verringert den Abstand zwischen der steuernden Gate-Elektrode und dem 2DEG, so dass die maximale Steilheit im vorgesehenen Arbeitspunkt erreicht wird und zudem größer ausfällt als für den MISHFET mit Barrierschicht unter der Gate-Isolation. Abb. 4.15 zeigt (a) die Eingangskennlinie eines MISHFETs gemeinsam mit der eines HFETs und (b) die Steilheit in Abhängigkeit der Gate-Source-Spannung. Beide Bauelemente wurden aus dem gleichen Schichtpaket gefertigt und weisen eine Gate-Weite von $10\ \mu\text{m}$ sowie eine Gate-Länge von $1\ \mu\text{m}$ auf. Das Ausgangskennlinienfeld des MISHFETs findet sich in Anhang 6.2.6.

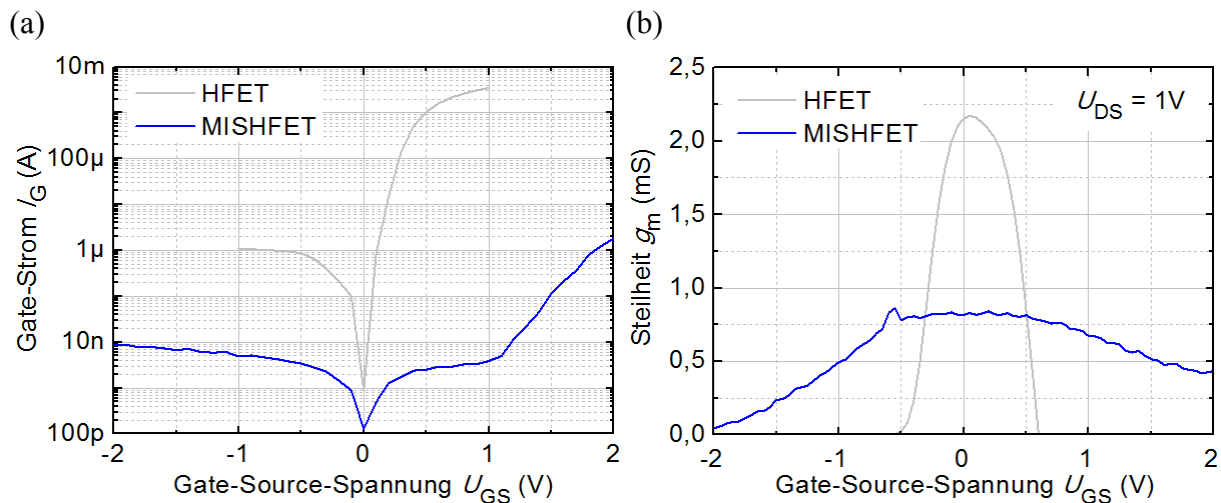


Abb. 4.15: Gate-Strom (a) sowie Steilheit (b) eines MISHFETs mit Entfernung der Barrierenschicht und 29 nm dickem SiN_x -Gatedielektrikum (blau) bzw. eines HFETs (grau).

Durch die Gate-Isolation konnte der Gate- bzw. Eingangsstrom gegenüber dem HFET um etwa zwei Größenordnungen bei negativen Gate-Source-Spannungen und um etwa sechs Größenordnungen bei positiven Gate-Source-Spannungen reduziert werden. Der verbleibende Eingangsstrom ist darauf zurückzuführen, dass die erforderlichen Kontaktpads für Gate und Source beide auf dem Trägersubstrat aufliegen, bei dem es sich um semi-isolierendes InP handelt und dieses entsprechend einen geringen Stromfluss zulässt. Die MISHFETs werden in dieser Arbeit für Ausgangsverstärker verwendet, die einer Entkopplung der Abtast-Halte-Glieder von der Messumgebung dienen sollen. Ohne diesen zwischengeschalteten Ausgangsverstärker wird die Haltekapazität durch die aktive Nadel, mit der die Ausgangsspannung erfasst wird, teilentladen. Die aktive Nadel nimmt bereits bei einer Spannung von 100 mV einen Strom von über 80 nA auf (1,2 M Ω Eingangswiderstand), während der Eingangsstrom eines MISHFETs bei gleicher Spannung nur etwa 1 nA beträgt.

Gemäß Abb. 4.15 b erreicht der MISHFET bei einer Drain-Source-Spannung von 1 V eine maximale Steilheit von 0,83 mS bzw. 0,083 S/mm, die zwar geringer als beim HFET mit 2,2 mS bzw. 0,22 S/mm ausfällt, dafür jedoch über einen deutlich weiteren Spannungsbereich von etwa -0,5 V bis +0,5 V nahezu konstant vorliegt. Für Eingangsspannungen in diesem Bereich sollte somit grundsätzlich eine Signalübertragung frei von Verzerrungen möglich sein. Die geringere maximale Steilheit des MISHFETs gegenüber der des HFETs ist dem größeren Abstand zwischen Kanal und steuernder Gate-Elektrode geschuldet.

4.3.2 Herstellung der Abtast-Halte-Glieder

Während die zuvor betrachteten Inverter ausschließlich aus Nanodrahttransistoren aufgebaut waren, müssen bei der Herstellung der Abtast-Halte-Glieder zusätzlich die Prozessschritte für die Haltekapazitäten und, im Falle der Schaltungen mit Ausgangsverstärker, die Prozessschritte für die MISHFETs berücksichtigt werden. Um die Anzahl der erforderlichen Lithographieebenen gering zu halten, wurden verschiedene Schritte bzw. Strukturen zusammengeführt. So konnten als untere Platten der Haltekapazitäten, die hier als Metall-Isolator-Metall (MIM)-Strukturen realisiert sind, die Masseflächen der Zugangsstrukturen verwendet werden. Als Dielektrikum dient das zur Gate-Isolation erforderliche SiN_x und die oberen Kondensatorplatten wurden gemeinsam mit den Gate-Elektroden aufgebracht. Auch einige Prozessschritte für die MISHFETs konnten mit denen der Nanodrahttransistoren kombiniert werden, wie weiter unten dargestellt wird.

Abtast-Halte-Glieder ohne Ausgangsverstärker

Für die Abtast-Halte-Glieder ohne Ausgangsverstärker ergibt sich damit folgender Prozessablauf:

1. Aufbringen der Elektroden für die Dielektrophorese
2. Deposition der Nanodrähte
3. Entfernen der überschüssigen Nanodrähte und der Elektroden
4. Aufbringen der Drain- und Source-Kontakte sowie der Zugangsstrukturen
5. Abscheiden und Strukturieren der SiN_x -Schicht
6. Aufbringen der Gate-Elektroden und oberen Kondensatorplatten

Ein vollständiges Probenprotokoll einschließlich sämtlicher Prozessparameter findet sich in Anhang 6.2.7. Mit Ausnahme der Gate-Ebene wurde auch bei der Herstellung der Abtast-Halte-Glieder ausschließlich optische Lithographie zur Strukturdefinition eingesetzt. Die Belichtung der Gate-Ebene mittels Elektronenstrahlolithographie erlaubt, neben kürzeren Gate-Längen, die Größe der Haltekapazitäten jederzeit über die Fläche der MIM-Kondensatoren zu variieren bzw. an die (tatsächliche) Dicke der abgeschiedenen SiN_x -Schicht anzupassen.

In Abb. 4.16 a ist der Ausschnitt einer Probe gezeigt, die wie zuvor beschrieben gefertigt wurde. Zudem sind der Nanodrahttransistor (b) und der MIM-Kondensator (c) eines der

Abtast-Halte-Glieder stark vergrößert abgebildet. Als Träger wurden hier Siliziumsubstrate mit einer isolierenden SiO_2 -Schicht verwendet.

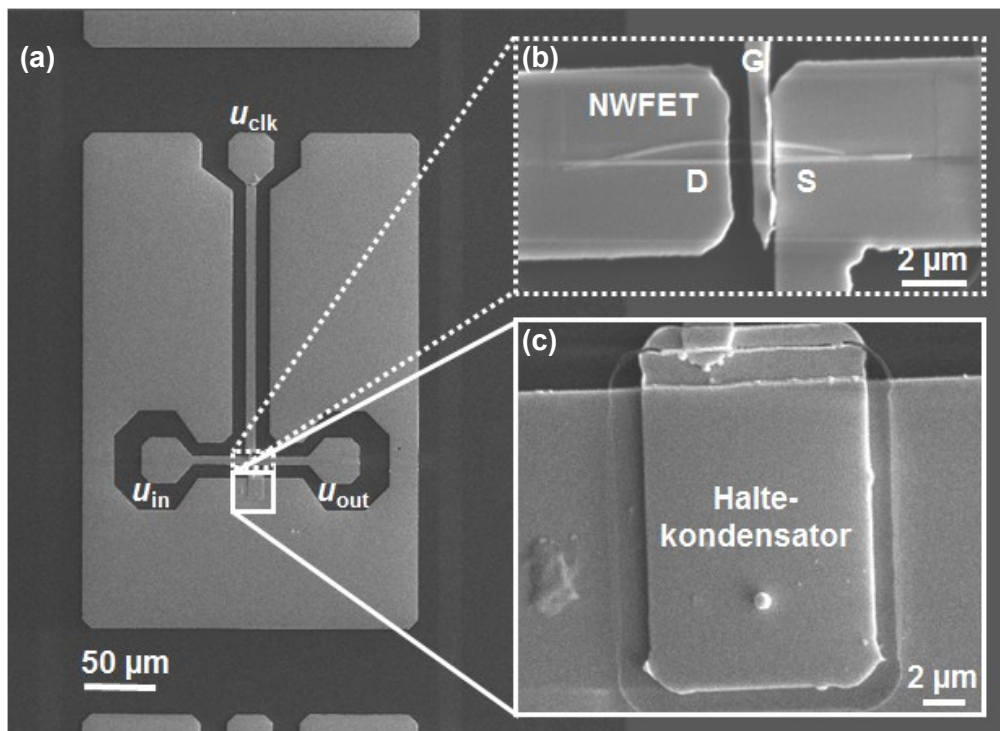


Abb. 4.16: Abtast-Halte-Glied ohne Ausgangsverstärker (a), der Nanodrahttransistor (b) und der MIM-Kondensator (c).

Abtast-Halte-Glieder mit Ausgangsverstärker

Der Ausgangsverstärker ist aus zwei MISHFETs, einem als Treiber und einem als aktive Last, aufgebaut (vgl. Inverter 2.5.1). Für die Herstellung der MISHFETs fallen zusätzliche Prozessschritte an: Die Ohm-Kontakte erfordern eine andere Metallisierung als die der Nanodrahttransistoren, und auch die Halbleiter-Mesas müssen in einem separaten Schritt geätzt werden. Alle weiteren Prozessschritte wurden wie folgt mit denen der Nanodraht-FETs und Haltekondensatoren zusammengeführt:

1. Aufbringen der Ohm-Kontakte für die MISHFETs
2. Ätzen der MISHFET Halbleiter-Mesas
3. Aufbringen der Elektroden für die Dielektrophorese
4. Deposition der Nanodrähte
5. Entfernen der überschüssigen Nanodrähte und Elektroden, Gate-Recess
6. Aufbringen der Drain- und Source-Kontakte der NWFETs sowie der Zugangsstrukturen
7. Abscheiden und Strukturieren des Dielektrikums
8. Aufbringen der Gate-Elektroden und der oberen Kondensatorplatten

Während bei den vorangegangenen Depositionen der Nanodrähte lediglich die Elektroden und Justiermarken mit einer Höhe von 15 nm auf der sonst unstrukturierten Probenoberfläche vorhanden waren, werden die Nanodrähte hier bei einer ausgeprägten Topologie angeordnet (Schritt 4). So weisen die Halbleiter-Mesas der MISHFETs einschließlich der Ohm-Metallisierung eine Höhe von etwa 245 nm auf. Ein Einfluss auf die Anordnung der Nanodrähte konnte nicht festgestellt werden. Abb. 4.17 zeigt eines der gefertigten Abtast-Halte-Glieder. Die Aufnahmen wurden im Anschluss an die Messungen gemacht, so dass die Zugangsstrukturen hier Spuren durch die Kontaktierung mit den Messnadeln aufweisen.

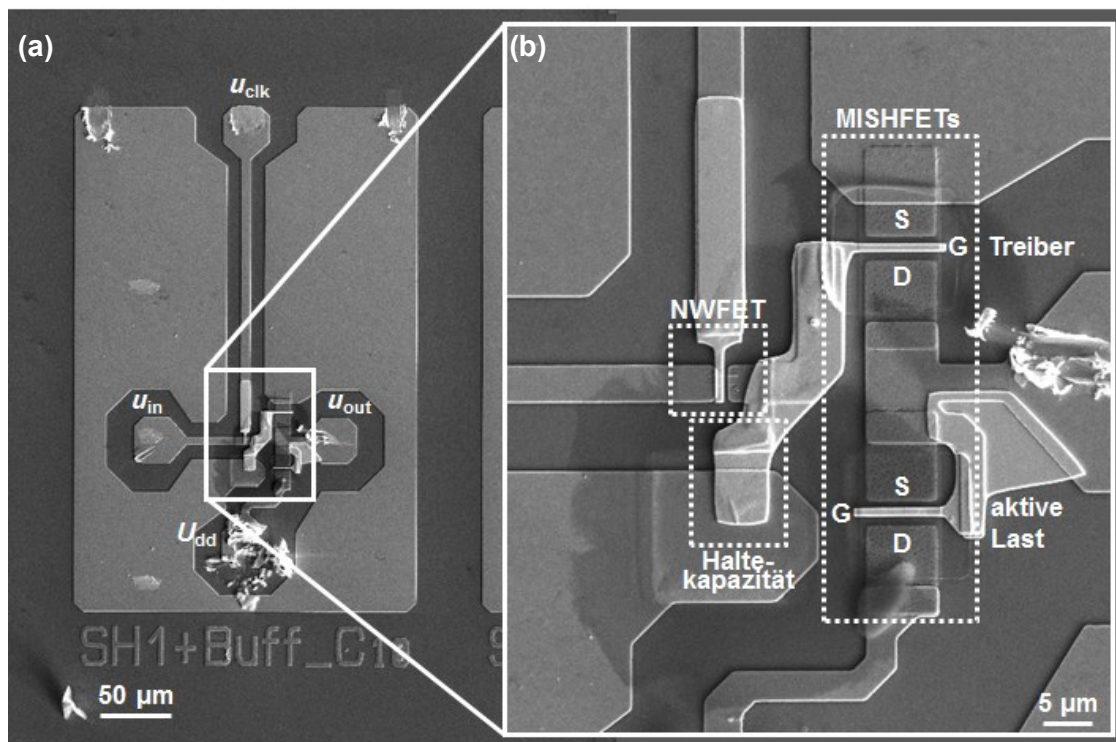


Abb. 4.17: Abtast-Halte-Glied mit Ausgangsverstärker einschließlich der Zugangsstrukturen (a) und die Bauelemente bei höherer Vergrößerung (b).

Aufgrund eines Defektes der CVD-Anlage konnte die SiN_x -Schicht nicht in der vorgesehenen Dicke und Komposition bzw. Struktur abgeschieden werden. Die Schichtdicke betrug hier 65 nm anstelle 30 nm, so dass mit einer kleineren Haltekapazität sowie einer niedrigeren Steilheit der Transistoren zu rechnen ist. Zudem konnte das SiN_x , trotz angepasster Ätzdauer, in großen Bereichen der Probe gar nicht und in den verbleibenden Bereichen nur unvollständig entfernt werden, wie etwa an den dunklen Flächen um die Bauelemente in Abb. 4.17 b zu erkennen ist. Dies deutet auf eine veränderte Struktur bzw. Komposition hin. Die Strukturierung der SiN_x -Schicht ist hier erforderlich, da eine ganzflächige Isolation einen elektrischen Kontakt zwischen den Elementen der Gate-Ebene und der unteren Metallisierung verhindert. Der Defekt der CVD-Anlage war vor Abschluss dieser Arbeit nicht mehr zu beheben. Einige Schaltungen und Testelemente konnten jedoch dank eines angepassten Layouts der Gate-Ebene (siehe helle Metallstrukturen in Abb. 4.17 b) einer elektrischen Charakterisierung zugeführt werden. Ein vollständiges Probenprotokoll einschließlich sämtlicher Prozessparameter findet sich in Anhang 6.2.7.

4.3.3 Messergebnisse der Abtast-Halte-Glieder

Für die dynamische Charakterisierung der Abtast-Halte-Glieder ergeben sich ähnliche Herausforderungen wie im Falle der Inverterschaltungen. So ist auch hier das Übersprechen zwischen Ein- und Ausgang gering zu halten. Dies wurde bereits im Design der Zugangsstrukturen berücksichtigt. Zudem erfordert wieder die ausgangsseitige Beschaltung besondere Aufmerksamkeit, da sie das Messergebnis der Abtast-Halte-Glieder ohne Ausgangsverstärker erheblich beeinflussen kann. Eine direkte Abnahme des Ausgangssignals mit einem Oszilloskop würde, neben der großen ohmschen Belastung, die Kapazität am Ausgang der Schaltung weit über die maximal angestrebte Haltekapazität von 100 fF anheben. Daher wird auch das Ausgangssignal der Abtast-Halte-Glieder mit einer aktiven Nadel (1,2 M Ω , 50 fF) erfasst. Deren Beitrag zur Ausgangskapazität, genauso wie der Beitrag der parasitären Kapazität durch die Zugangsstrukturen, kann korrigiert werden, indem die obere Kondensatorplatte der Haltekapazität kleiner ausgeführt wird. Dahingegen führt selbst der hohe Eingangswiderstand der aktiven Nadel zu dem in 2.5.2 erwähnten Laststrom und damit zu einer Teilentladung des Haltekapazitors. Wie sich dies auf die Spannungsdrift in den Haltephasen auswirkt, wird weiter unten mit Hilfe von Schaltungssimulationen untersucht. Die Schaltungen mit Ausgangsverstärker sind hiervon nicht betroffen.

Der Messaufbau ähnelt somit stark dem zur Charakterisierung der Inverterschaltungen in Abb. 4.9. Ein zusätzlicher Signalgenerator stellt über eine GSG-Nadel das Clock-Signal für den Nanodrahttransistor bereit. Dieses wird von einem zweiten Ausgang des Signalgenerators an das Oszilloskop weitergegeben, so dass ein Powersplitter hier nicht erforderlich ist. Die Spannungsversorgung der Ausgangsverstärker erfolgt mit einem Labornetzgerät.

Abtast-Halte-Glied ohne Ausgangsverstärker

Abb. 4.18 zeigt die Ausgangsspannungen eines Abtast-Halte-Gliedes mit einer Haltekapazität C_{hold} von etwa 35 fF bei einer Abtastfrequenz f_{sample} von 50 MHz (a) bzw. 500 MHz (b). Die Frequenz des sinusförmigen Eingangssignals beträgt 10 MHz bzw. 100 MHz. Bei den grauen Kurven handelt es sich um die Spannung am Ausgang bei konstantem Clock-Potential von +0,5 V, also durchgehendem Folgebetrieb. Blau abgebildet sind die Ausgangsspannungen einschließlich der Haltephasen, in denen das Potential am Clock-Eingang -1 V beträgt. Die Spannungen wurden bereits bezüglich der Dämpfung durch den Messaufbau korrigiert. Das hier vorgestellte Abtast-Halte-Glied ist die erste Realisierung unter Verwendung eines Nanodrahttransistors.

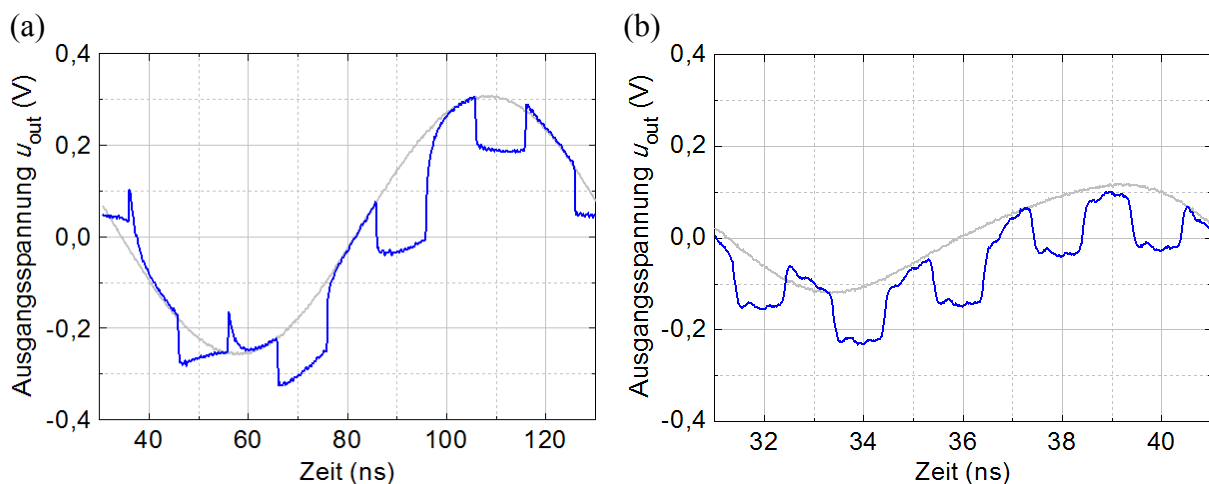


Abb. 4.18: Ausgangsspannung eines Abtast-Halte-Gliedes ($C_{\text{hold}} = 35$ fF, 4 Nanodrähte) bei einer Abtastfrequenz von 50 MHz (a) und 500 MHz (b), jeweils zusammen mit der Ausgangsspannung bei durchgehendem Folgebetrieb (grau).

Die Schaltung zeigt klar ausgebildete Folge- und Haltephasen mit einem Clock-Durchgriff von gut 100 mV. Bei einer Abtastfrequenz von 50 MHz (a) beträgt die Spannungsdrift maximal 79 mV und ist in den kürzeren Haltephasen bei 10facher Abtastfrequenz sogar nicht mehr festzustellen (b). Die Amplitude des Ausgangssignals nimmt in dem untersuchten

Frequenzbereich bereits stark ab. Hiervon ist auch das Referenzsignal bei durchgehend aufgesteuertem Transistorkanal betroffen. Demnach reicht die Leitfähigkeit des Nanodrahttransistors mit 4 Nanodrähten (Radius 25 nm) nicht aus, um die große Ausgangskapazität vollständig auf die Spannungswerte des Eingangssignals mit einer Frequenz von 100 MHz umzuladen. Die Ausgangskapazität setzt sich aus der Haltekapazität, der Kapazität durch die Zugangsstrukturen sowie der Eingangskapazität der aktiven Nadel zusammen und beträgt in diesem Fall fast 100 fF.

Für die weitere Diskussion der Messergebnisse, insbesondere in Hinblick auf die beobachtete Spannungsdrift, die etwa bei einer Anwendung in Analog-Digital-Wandlern die Auflösung limitieren könnte, werden erneut Schaltungssimulationen herangezogen. Die verwendete Ersatzschaltung, in der neben den parasitären Kapazitäten auch Eingangskapazität und -widerstand der aktiven Nadel berücksichtigt sind, findet sich in Anhang 6.2.8. Wie in Abb. 4.16 zu erkennen ist, sind die mittels Elektronenstrahlithographie belichteten Gate-Elektroden leicht fehljustiert, so dass es zu einem Überlapp mit dem Source-Kontakt kommt, einhergehend mit einer größeren parasitären Gate-Source-Kapazität. In der Simulation musste diese um 4 fF erhöht werden, um den experimentell ermittelten Clock-Durchgriff wiederzugeben. Abb. 4.19 zeigt die Ausgangsspannungen aus der Simulation (blau) gemeinsam mit den gemessenen Ausgangsspannungen (grau, mit Offset versehen).

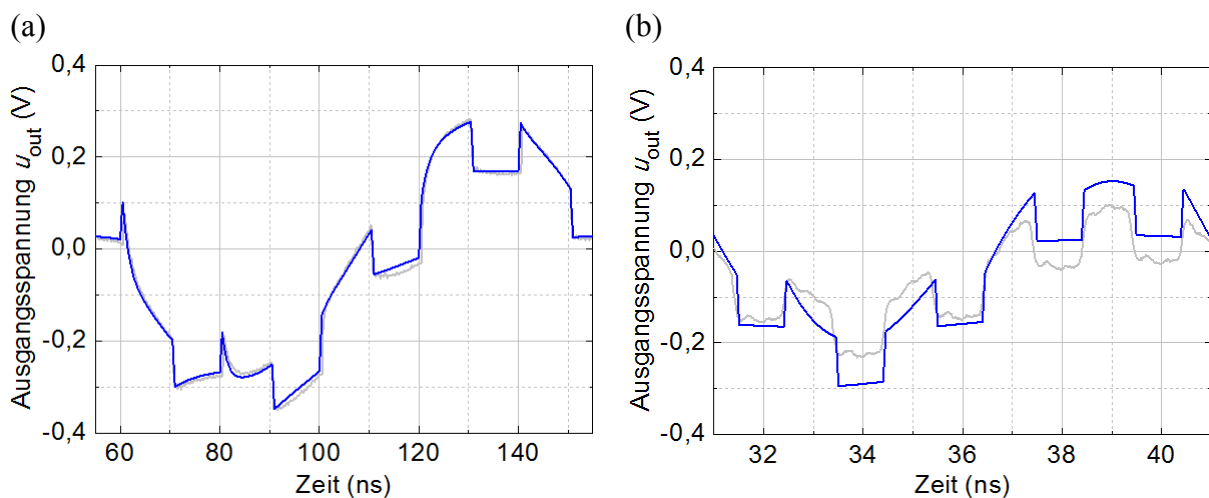


Abb. 4.19: Ausgangsspannungen aus der Simulation (blau) bei einer Abtastfrequenz von 50 MHz (a) und 500 MHz (b) zusammen mit den gemessenen Spannungen (grau).

Die Simulation gibt bei einer Abtastfrequenz von 50 MHz die Ausgangsspannung des betrachteten Abtast-Halte-Gliedes hervorragend wieder, lediglich die Einstellzeit wird leicht unterschätzt. Auch die erheblich reduzierte Spannungsdrift bei einer Abtastfrequenz von 500 MHz wird durch die Simulation genauso bestätigt wie die Abnahme der Amplitude.

Letztere nimmt jedoch nicht ganz in dem Maße ab, wie dies für die gemessene Ausgangsspannung zu beobachten war. Die Ursache hierfür, sowie für die kleinere Einstellzeit in der Simulation, wird in einer etwas niedrigeren Leitfähigkeit der Nanodrähte des untersuchten Abtast-Halte-Gliedes gegenüber derer des Referenztransistors vermutet. Eine weitere Erklärung könnte darin liegen, dass die Parameter des Transistormodells an die Gleichspannungskennlinien angepasst wurden und die zugehörigen Steilheitswerte bzw. Leitfähigkeiten bei sehr hohen Frequenzen nicht immer erreicht werden, wie in 3.3 behandelt.

Mit Hilfe der Schaltungssimulationen wurde untersucht, wie die Spannungsdrift anteilig auf den Laststrom über die aktive Nadel und den Sperrstrom über den Nanodrahttransistor zurückzuführen ist. In Abb. 4.20 sind die Simulationsergebnisse für einen erhöhten Lastwiderstand (a) bzw. ein verbessertes Sperrverhalten des Transistors (b) gezeigt. Alle weiteren Parameter, einschließlich der kapazitiven Belastung durch die aktive Nadel, entsprechen denen der vorangegangenen Simulation. Die Abtastfrequenz wurde zu 50 MHz gewählt, da in den langen Haltephasen der Einfluss auf die Spannungsdrift stärker zu tragen kommt.

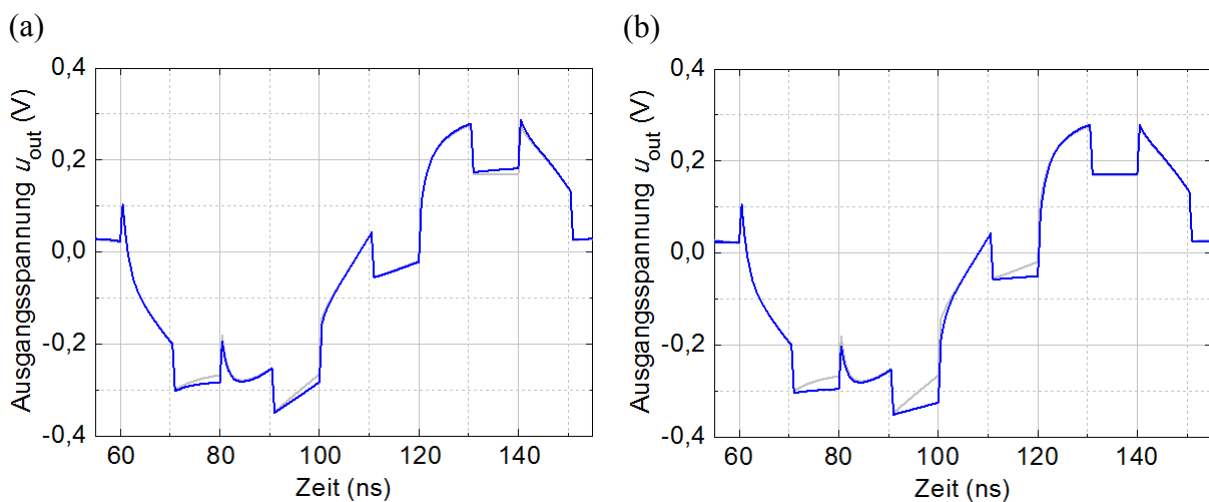


Abb. 4.20: Ausgangsspannung für einen größeren Lastwiderstand von $10\text{ M}\Omega$ (a) bzw. ein höheres On/Off-Verhältnis von 10^3 (b), jeweils mit der Ausgangsspannung der Simulation für einen $1,2\text{ M}\Omega$ Lastwiderstand und ein On/Off-Verhältnis von 10^2 (grau).

Die ohmsche Belastung resultiert in den Messungen aus dem Eingangswiderstand der aktiven Nadel von $1,2\text{ M}\Omega$. Gemäß Simulation verringert ein größerer Lastwiderstand von $10\text{ M}\Omega$ (a) die maximale Spannungsdrift um 16 mV . Diese tritt in der Haltephase ab $t = 90\text{ ns}$ auf, in der mit der betragsmäßig größten Ausgangsspannung auch die stärkste Entladung über den Lastwiderstand einhergeht. Für Haltephasen nahe dem Nulldurchgang hingegen ist keine Verbesserung zu beobachten. Hier fällt der Laststrom bereits vor Erhöhung des Widerstandes so gering aus, dass der Leckstrom über den Nanodraht-FET dominant ist. In Haltephasen, in denen der Laststrom zu einer Entladung und der Leckstrom zu einer Aufladung der

Haltekapazität führt, wie ab $t = 130$ ns, kommt es nun zu einer höheren Spannungsdrift. Für einen noch höheren Lastwiderstand von $100\text{ M}\Omega$ waren keine weiteren nennenswerten Veränderungen in der Ausgangsspannung festzustellen.

Im Falle eines verringerten Leckstromes über den Nanodraht-FET ist der in Abb. 4.20 b gezeigte Spannungsverlauf zu erwarten. Der Lastwiderstand betrug in dieser Simulation $1,2\text{ M}\Omega$. Das Sperrverhalten wurde im Transistormodell soweit angepasst, dass das On/Off-Verhältnis etwa 10^3 statt ursprünglich 10^2 beträgt. Die maximale Spannungsdrift nimmt hierdurch um 57 mV ab. Auch in den zuvor diskutierten Haltephasen nahe dem Nulldurchgang wie etwa ab $t = 110$ ns, in denen die Spannungsdifferenz zwischen Ein- und Ausgangs schnell anwächst, wird eine deutliche Verbesserung erreicht. Die Simulationsergebnisse offenbaren, dass die Spannungsdrift der untersuchten Schaltung hauptsächlich aus dem Leckstrom über den Transistor herrührt. Für diesen ist von einem geringen On/Off-Verhältnis auszugehen, das auch für den Referenztransistor der gleichen Probe mit 10^2 geringer als die durchschnittlich erzielten Werte um 10^3 ausfällt. Für andere Transistoren der vorliegenden Arbeit wurden Werte bis über 10^4 erreicht und Möglichkeiten für weitere Verbesserungen bereits in 3.2 diskutiert. Bei großen Abtastfrequenzen bzw. kurzen Haltephasen fällt jedoch die Spannungsdrift selbst bei einem On/Off-Verhältnis von 10^2 vernachlässigbar klein aus, wie in Abb. 4.19 b ersichtlich.

Abschließend wurde untersucht, welchen Einfluss die Anzahl der deponierten Nanodrähte auf das Verhalten der Abtast-Halte-Glieder nimmt. In Abb. 4.21 sind die Simulationsergebnisse für einen Einzeldraht-FET und für einen Drahtarray-FET mit 10 Nanodrähten jeweils der Ausgangsspannung bei 4 Nanodrähten (grau) gegenübergestellt. Das On/Off-Verhältnis der Nanodrahttransistoren wurde in diesen Simulationen zu 10^2 gewählt und ein Lastwiderstand von $1,2\text{ M}\Omega$ berücksichtigt. Für den Einzeldraht-FET (a) ist erwartungsgemäß eine deutlich verringerte Spannungsdrift zu beobachten, da sich der Leckstrom durch den Transistor proportional zu der Anzahl der Nanodrähte verhält. Mit Letzterer nimmt allerdings auch der Lade-/Entladestrom in den Folgephasen ab, so dass die Einstellzeit ansteigt und die Amplitude des Ausgangssignals bereits bei dieser Frequenz herabgesetzt ist. Die Simulation für einen Drahtarray-FET mit 10 Nanodrähten (b) ergibt entsprechend eine höhere Spannungsdrift aber geringere Einstellzeit.

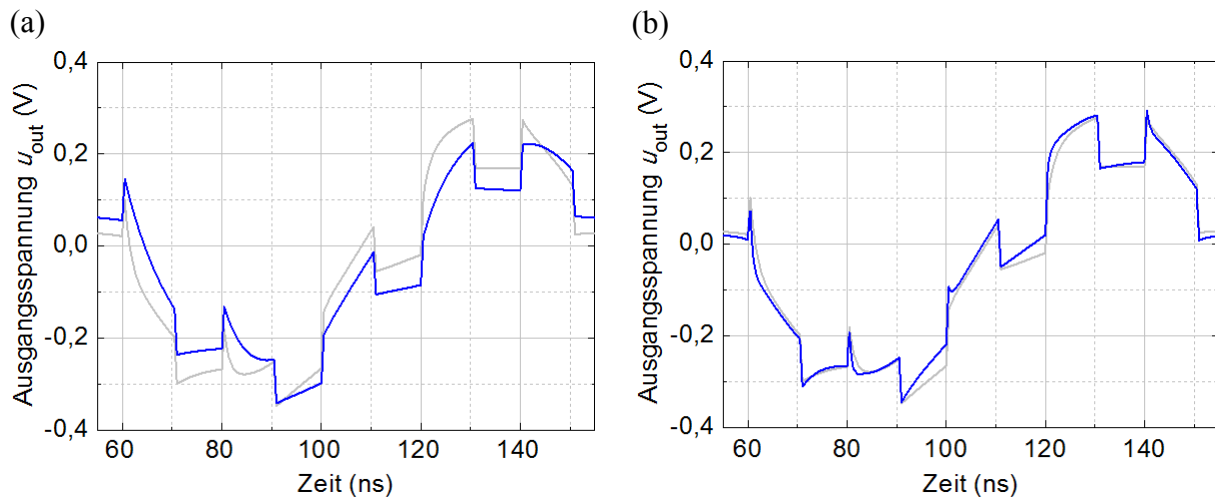


Abb. 4.21: Ausgangsspannung gemäß Simulation im Falle eines Einzeldraht-FETs (a) bzw. eines Drahtarray-FETs aus 10 Nanodrähten (b) gemeinsam mit der Ausgangsspannung für 4 Nanodrähte (grau).

Über die Anzahl der angeordneten Nanodrähte ist somit eine Anpassung an die jeweilige Anwendung möglich. So sollten bei niedrigen Frequenzen und damit längeren Haltephasen weniger Nanodrähte verwendet werden, um die Spannungsdrift bei noch ausreichend kleiner Einstellzeit gering zu halten. Dahingegen können für höhere Betriebsfrequenzen mehr Nanodrähte deponiert und so die erforderlichen Einstellzeiten erreicht werden, ohne in den kürzeren Haltephasen die Auflösung durch eine große Spannungsdrift zu beeinträchtigen.

Abtast-Halte-Glied mit Ausgangsverstärker

Abb. 4.22 zeigt die Ausgangsspannung eines Abtast-Halte-Gliedes mit Ausgangsverstärker bei einer Versorgungsspannung von 3,5 V und einer Abtastfrequenz von 50 MHz. Die Clock-Spannung beträgt wieder -1 V in den Haltephasen und 0,5 V in den Folgephasen. Die sinusförmige Eingangsspannung hat eine Frequenz von 10 MHz und eine Amplitude von 250 mV. Bedingt durch den Messaufbau wird der Gleichanteil von hier etwa $U_{dd}/2 = 1,75$ V nicht an das Oszilloskop weitergegeben.

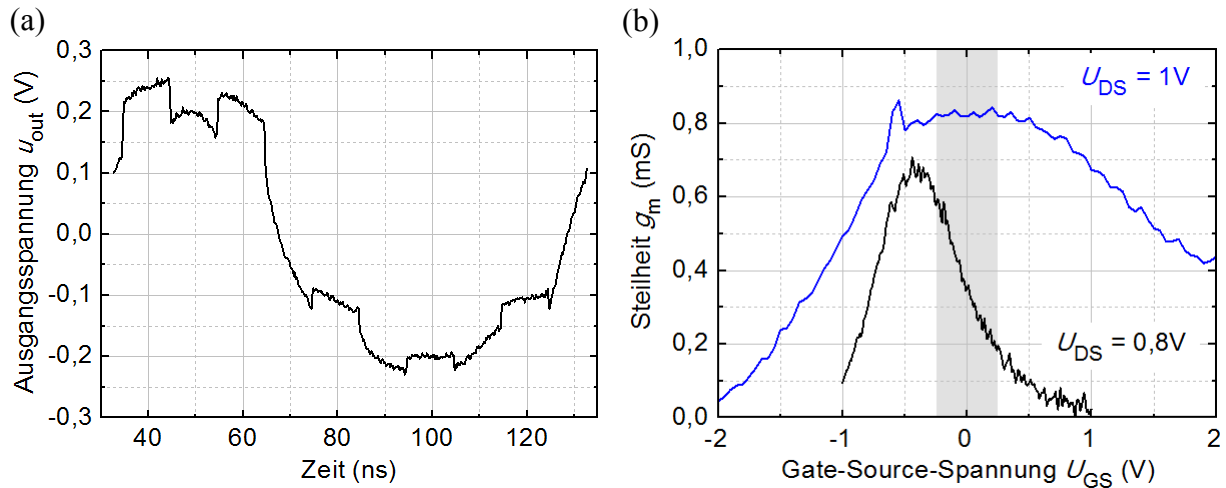


Abb. 4.22: Ausgangsspannung eines Abtast-Halte-Gliedes (4 Nanodrähte) mit Ausgangsverstärker bei einer Abtastfrequenz von 50 MHz (a) und Steilheit eines MISHFETs der gleichen Probe (b) sowie des MISHFETs aus 4.3.2 (blau).

Die Folge- und Haltephasen sind in der Ausgangsspannung deutlich ausgebildet und es wird nahezu die Amplitude des Eingangssignals erreicht. Der Clock-Durchgriff fällt dank des fehlenden Überlapps zwischen der Gate-Elektrode und dem Source-Kontakt deutlich kleiner aus als für das zuvor betrachtete Abtast-Halte-Glied. Bedingt durch das invertierende Verhalten des Verstärkers führt die Verringerung des Clock-Potentials beim Einleiten der Haltephasen zu positiven Spannungssprüngen am Ausgang. Letztere nehmen mit fallender Ausgangsspannung ab, die offensichtlich durch die Verstärkerstufe verzerrt wird. In Abb. 4.22 b ist die Steilheit eines MISHFETs, der als Testelement gemeinsam mit der Schaltung gefertigt wurde, über der Gate-Source-Spannung abgebildet. Im Bereich der zu verstärkenden Spannungen zwischen $-0,25\text{ V}$ bis $+0,25\text{ V}$, in der Abbildung grau hinterlegt, zeigt sich eine deutliche Abnahme der Steilheit. Somit weist auch die Verstärkerstufe für größere Eingangsspannungen, denen hier die negative Halbwelle der Ausgangsspannung zuzuordnen ist, eine kleinere Verstärkung auf. Das veränderte Übertragungsverhalten gegenüber der MISHFETs des vorangegangenen Laufes in 4.3.2 liegt in der mehr als doppelt so dicken Gate-Isolation durch den Defekt der CVD-Anlage begründet.

Die Spannungsdrift in den Haltephasen ist aufgrund des vernachlässigbaren Eingangsstromes des MISHFET-Ausgangsverstärkers nahezu vollständig auf den Leckstrom über den Nanodrahttransistor aus hier 4 Nanodrähten zurückzuführen. Sie fällt mit maximal 47 mV gegenüber den 79 mV des zuvor betrachteten Abtast-Halte-Gliedes mit ebenfalls 4 Nanodrähten gleichen nominellen Durchmessers erwartungsgemäß deutlich geringer aus. Bei diesem kam es ohne den zwischengeschalteten Ausgangsverstärker zu einer Teilentladung

über die aktive Nadel. Der Ausgangsverstärker entkoppelt wie angestrebt die Nanodraht-transistor-Schaltung von der Messumgebung und reduziert so die Belastung durch die aktive Nadel erheblich. Auf Grund der veränderten Zusammensetzung des SiN_x sowie der Verzerrung durch den Ausgangsverstärker wird an dieser Stelle auf weitere Auswertungen der Messergebnisse verzichtet. Mit der vorgestellten Schaltung wurde eine erste Co-Integration von Nanodrahttransistoren und mikroelektronischen Schaltungen demonstriert. Auf Grundlage dieser Vorarbeiten konnte erstmals ein InAs Nanodraht als Widerstandselement in eine CMOS-Schaltung integriert werden [149].

5 Zusammenfassung

In dieser Arbeit wurden InAs Nanodraht-Feldeffekttransistoren für hochfrequente Anwendungen weiterentwickelt und in elementaren Schaltungen eingesetzt. Ganz wesentlich war hierfür eine feldunterstützte Anordnung der epitaktisch gewachsenen Nanodrähte im Transfer auf die Träger- bzw. Schaltungssubstrate.

In Kapitel 3 wurden zunächst die Prozessabläufe für die Herstellung der untersuchten Einzeldraht- und Drahtarray-FETs, letztere aus feldunterstützt angeordneten Nanodrähten, dargestellt. Im Gleichspannungsbereich konnte eine Skalierbarkeit der Steilheit mit der Gate-Länge experimentell für Kanallängen bis unter 150 nm nachgewiesen sowie analytisch modelliert werden. Die Abhängigkeit weiterer wichtiger Kenngrößen von der Gate-Länge wurde herausgearbeitet und auch das Driftverhalten des Drain-Stromes eingehend behandelt. Die Drahtarray-FETs ermöglichten eine größere Steilheit proportional zu der Anzahl angeordneter Nanodrähte. Im Hochfrequenzbereich gelangen aussagekräftige Untersuchungen, einschließlich einer zuverlässigen Extraktion von Stromverstärkung und Transitfrequenz, nach Überarbeitung der Kontaktstrukturen für eine verringerte Koppelkapazität. Die intrinsischen Grenzfrequenzen der Einzeldraht-FETs waren stark durch dominante Streukapazitäten beeinflusst und im Falle einer Selbstjustage der Gate-Elektroden, einhergehend mit zusätzlichen Überlapp-Kapazitäten, deutlich herabgesetzt. Durch die Verwendung nicht-selbstjustierter Gate-Elektroden konnten jedoch eine gute maximale Schwingfrequenz bis 20 GHz und eine Transitfrequenz bis 2,5 GHz schon bei großer Gate-Länge sowie EOT erreicht werden. Eine Steigerung der Transitfrequenz auf 8 GHz erfolgte mit den Drahtarray-FETs, deren deutlich größere Steilheit einer nur geringfügig höheren Streukapazität gegenüberstand. Möglichkeiten für weitere Verbesserungen der Grenzfrequenzen bis in den dreistelligen GHz-Bereich, wie aggressiver skalierte Gate-Längen und EOT sowie höhere Packungsdichten der Nanodrähte wurden diskutiert.

Auf Grundlage der feldunterstützten Anordnung konnten die InAs Nanodraht-Feldeffekttransistoren auch gezielt in erste Schaltungen eingebunden werden. Diese waren Gegenstand von Kapitel 4, in dem vorweg die Modellierung der Drahtarray-FETs für Schaltungssimulationen dargelegt wurde. Die Simulationen dienten der Interpretation der Messergebnisse und Erfassung der physikalischen bzw. technischen Grenzen der Schaltungen. Die untersuchten Inverter erreichten in statischen Messungen bereits bei niedrigen Versorgungsspannungen von 1 V gute Kleinsignalsspannungsverstärkungen bis über 6 und

unterstreichen damit die Eignung von InAs Nanodraht-FETs für Anwendungen mit kleinsten Leistungsaufnahmen. In der Schaltspannung und Kleinsignalspannungsverstärkung zeigte sich eine empfindliche Abhängigkeit von dem Verhältnis, in dem die Anzahl der Nanodrähte bei Treiber- und Lasttransistor steht. Dies konnte im Schaltungsdesign berücksichtigt und zusätzlich eine Strategie für eine reduzierte Empfindlichkeit gegenüber der variierenden Anzahl deponierter Nanodrähte erarbeitet werden. Für komplexere Schaltungen und kleine Parameterstreuungen erscheint dennoch der Einsatz einer selbstlimitierenden Depositionstechnik erforderlich. Zur dynamischen Charakterisierung der Inverter konnte die kapazitive Ausgangsbelastung durch Verwendung einer aktiven Nadel verringert und eine Großsignalspannungsverstärkung bis in den MHz-Bereich experimentell nachgewiesen werden. Schaltungssimulationen für gängige Steilheitswerte zeigten ohne die kapazitive Last durch die Messumgebung sogar einen möglichen Betrieb bis etwa 1 GHz, mit einer potentiellen Skalierbarkeit vergleichbar derer der zuvor diskutierten Hochfrequenztransistoren.

Abschließend wurden Abtast-Halte-Glieder behandelt. Diese konnten in der vorliegenden Arbeit erstmals unter Verwendung eines Nanodrahttransistors realisiert werden. Im Ausgangssignal zeigten sich selbst bei einer Abtastfrequenz von 0,5 GHz noch klar ausgebildete Folge- und Haltephasen. Bereits mit nur 4 Nanodrähten reichte die Leitfähigkeit des Transistors aus, um die Spannung an der großen Ausgangskapazität in unter 10 ns vollständig auf den Wert der Eingangsspannung einzustellen, die hierbei eine Frequenz von 10 MHz aufwies. Das elektrische Verhalten wurde für unterschiedliche Lastwiderstände, On/Off-Verhältnisse und Anzahlen deponierter Nanodrähte untersucht. Über letztere können die Spannungsdrift und Einstellzeit in einem weiten Bereich angepasst werden. Die Abtast-Halte-Glieder konnten zudem um Ausgangsverstärker aus MISHFETs für eine reduzierte ohmsche Belastung erweitert und die Funktion der Schaltung demonstriert werden. Dies stellt die erste Co-Integration eines InAs Nanodraht-Feldeffekttransistors mit mikroelektronischen Transistoren dar. Auf Grundlage einer feldunterstützten Anordnung können zukünftig InAs Nanodrahttransistoren gleichermaßen in CMOS-Schaltungen integriert und so die Stärken beider Technologien vereint werden.

6 Anhang

6.1 Zu Kapitel 3

6.1.1 Prozessprotokolle Nanodraht-Feldeffekttransistoren

Vorlauf	
Transferschritt	Isopropanol
Lösungsmittelreinigung	Aceton / Propanol heiß
Koordinaten	optisch + e-beam, 200pA, 20kV, position.rec
Layouts und Positionlist	Raith Elphy Plus Version 4
Drain- und Source-Kontakte	
Lösungsmittelreinigung	Aceton / Propanol heiß
Belacken	ARP 671_06 1000/50/5000 (Prog.7 FL-Technik) Trocknen 10' 170°C HP
Belichten	e-beam, 200pA, 20kV, M3_pos, Layer 63+0
Entwickeln	1' MiBK:Pr 1:3 30" Pr N ₂ Trocknen
Kontrolle	optisch
O ₂ -Plasma	2' 25W O ₂ -Plasma
Metallisierung	Ti/Au 30/300 [nm]
Lift-Off	Ac / Pr heiß
Kontrolle	optisch



self-aligned Gate	
Lösungsmittelreinigung (nur falls nicht unmittelbar nach Lift-Off)	Aceton / Propanol heiß
Belacken	ARP 671_06 1000/50/5000 (Prog.7 FL-Technik) Trocknen 10' 170°C HP
Belichten	e-beam, 200pA, 20kV, M3_pos, Layer 63+4
Entwickeln	1' MiBK:Pr 1:3 30" Pr N ₂ Trocknen
Kontrolle	optisch
O ₂ -Plasma	2' 25W O ₂ -Plasma
SiNx Abscheiden	_nm SiNx in CVD, Pr.: 6 Abscheidedauer _min
Metallisierung	Ti/Au 30/250 [nm]
Lift-Off	Ac / Pr heiß
Kontrolle	optisch

Abb. 6.1: Prozessprotokoll eines Einzeldraht-FETs aus ungeordnet deponierten Nanodrähten.

FASA-Elektroden		
Lösungsmittelreinigung		
	Aceton / Propanol heiss	
Oxidreinigung		
	HCl : H ₂ O (1: 4): 20s	
	DI-Wasser (30s), N ₂ -Trocknen	
Kontrolle (Lichtmikroskop)		
	Kontrolle nach Resten	
PL-Strukturierung		
Belacken		
	ARP 5350 (neu) 3000/30/7000 (Prg. 5)	
	HP 15' 95°C	
Belichten		
	UV400 Frontlinse verwenden!	
	2,5", Maske: FasaMaske1 Quadrant 1 (obere oder untere Hälfte von Q1 mittig auf Probe!)	
Entwickeln		
	15" AR 300-35:H2O 1:1	
	DI-Wasser (60 s), N ₂ -Trocknen	
Kontrolle (Olympus)		
	Kontrolle nach Resten	
Reinigung		
	NH ₃ :H ₂ O (1:10): 20s	
	KEIN DI-Wasser, nur N ₂ -Trocknen	
Metallisierung (Leybold)		
	Ti / Au: 100 / 2000 A	
Lift-off		
	Aceton (kalt, ca. 3min) / Propanol (heiss)	
Kontrolle (Lichtmikroskop)		
	Kontrolle der Metallisierung	
Schichtdickenmessung (Dektak)		
	Messung der Metallisierungshöhe	
Abscheiden (CVD)		
	30nm SiNx; Prog.4mod:90/20; 11min	
Nanodrahtdeposition		
Lösung vorbereiten		
	Drähte in Propanol transferieren, Ultraschall: 10%, 30s	
Deposition		
	Sinussignal:	Vpp; sec
	Wg20_dds2.5_1	
	Wg20_dds2.5_2	
	Wg20_dds2.5_3	
	Wg20_dds2.5_4	
	Wg10_dds2.5_1	
	Wg10_dds2.5_2	
	Wg10_dds2.5_3	
	Wg10_dds2.5_4	
	Wg5_dds2.5_1	
	Wg5_dds2.5_2	
	Wg5_dds2.5_3	
	Wg5_dds2.5_4	
	Wg20_dds3_1	
	Wg20_dds3_2	
	Wg20_dds3_3	
	Wg20_dds3_4	
	Wg10_dds3_1	
	Wg10_dds3_2	
	Wg10_dds3_3	
	Wg10_dds3_4	
	Wg5_dds3_1	
	Wg5_dds3_2	
	Wg5_dds3_3	
	Wg5_dds3_4	
	N ₂ -Trocknen	
Kontrolle (Lichtmikroskop)		
	Bilder speichern unter Delta/Technologie/Whisker/Mxxxx	



OHM	
Oxidreinigung	
	HCl : H ₂ O (1: 4): 20s
	DI-Wasser (30s), N ₂ -Trocknen
Kontrolle (Lichtmikroskop)	
	Kontrolle nach Resten
PL-Strukturierung	
Belacken	
	ARP 5350 (neu) 3000/30/7000 (Prg. 5)
	HP 15' 95°C
Belichten	
	UV400 Frontlinse verwenden!
	3", Maske: FasaMaske1 Quadrant 3
Entwickeln	
	15" AR 300-35:H2O 1:1
	DI-Wasser (60 s), N ₂ -Trocknen
Kontrolle (Olympus)	
	Kontrolle nach Resten, Fehjustierung, Abdeckung
Reinigung	
	NH ₃ :H ₂ O (1:10): 20s
	KEIN DI-Wasser, nur N ₂ -Trocknen
Metallisierung (Leybold)	
	Ti / Au: 300/3000 A
Lift-off	
	Aceton (kalt, ca. 3min) / Propanol (heiss)
Kontrolle (Lichtmikroskop)	
	Kontrolle der Metallisierung
Schichtdickenmessung (Dektak)	
	Messung der Metallisierungshöhe
Gate-Isolation	
Abscheiden (CVD)	
	30nm SiNx; Prog.4mod:90/20; 11min
Gate	
Lösungsmittelreinigung (nur falls nicht unmittelbar nach Lift-Off)	
	Aceton / Propanol heiß
Belacken	
	ARP 671_06 1000/50/5000 (Prog.7 FL-Technik)
	Trocknen 10' 170°C HP
Belichten	
	e-beam, 200pA, 20kV, M3_pos, Layer 63+4
Entwickeln	
	1' MiBK:Pr 1:3
	30" Pr
	N ₂ Trocknen
Kontrolle	
	optisch
Metallisierung	
	Ti/Au 30/250 [nm]
Lift-Off	
	Ac / Pr heiß
Kontrolle	
	optisch

Abb. 6.2: Prozessprotokoll eines Drahtarray-FETs aus feldunterstützt angeordneten Nanodrähten.

6.1.2 Analytische Modellierung der Kurzkanal-Transistoren

Die effektive Beweglichkeit wurde nach [119] und in Anlehnung an die Matthiessen'sche Regel im Langkanal-MOSFET-Modell in Form folgender Gleichung berücksichtigt:

$$\frac{1}{\mu_{\text{eff}}} = \frac{1}{\mu_0} + \frac{E}{v_{\text{sat}}} + \frac{\pi m^* v_{\text{th}}}{2qL_G} \quad (6.1)$$

Dabei sind μ_0 die Niederfeldbeweglichkeit, E der Betrag der lateralen Feldstärke im Kanal, v_{sat} die Sättigungsgeschwindigkeit, m^* die effektive Elektronenmasse, v_{th} die thermische Geschwindigkeit, q die elektrische Ladung des Elektrons und L_G die Gate- bzw. Kanallänge. E wird vereinfachend als U_{DS} geteilt durch die Kanallänge angenommen.

Die Strom-Spannungsgleichung des Langkanal-MOSFET-Modells (Gleichung 2.11) kann geschrieben werden zu:

$$I_D = \frac{\mu_{\text{eff}} C'_{\text{GS}}}{L_G} \left[(U_{\text{GS},i} - U_T) U_{\text{DS},i} - \frac{1}{2} U_{\text{DS},i}^2 \right] \quad (6.2)$$

Dabei sind C'_{GS} die Gate-Kapazität bezogen auf die Gate-Länge, $U_{\text{GS},i}$ die intrinsische Gate-Source-Spannung und $U_{\text{DS},i}$ die intrinsische Drain-Source-Spannung. $U_{\text{GS},i}$ und $U_{\text{DS},i}$ können aus den extrinsischen Spannung unter Berücksichtigung der Spannungsabfälle über den Kontaktwiderständen ($R_{\text{c,D}} = R_{\text{c,S}} = R_{\text{c}}$) berechnet werden zu:

$$U_{\text{GS},i} = U_{\text{GS}} - I_D R_{\text{c}} \quad (6.3)$$

$$U_{\text{DS},i} = U_{\text{DS}} - 2I_D R_{\text{c}} \quad (6.4)$$

Einsetzen in Gleichung 6.2 und Auflösen nach I_D liefert:

$$\begin{aligned} I_D &= \frac{\mu_{\text{eff}} C'_{\text{GS}}}{L_G} \left[(U_{\text{GS}} - I_D R_{\text{c}} - U_T) (U_{\text{DS}} - 2I_D R_{\text{c}}) \right. \\ &\quad \left. - \frac{1}{2} (U_{\text{DS}} - 2I_D R_{\text{c}})^2 \right] \\ &= \frac{\mu_{\text{eff}} C'_{\text{GS}}}{L_G} \left[(U_{\text{GS}} - U_T) U_{\text{DS}} - (U_{\text{GS}} - U_T) 2I_D R_{\text{c}} - I_D R_{\text{c}} U_{\text{DS}} \right. \\ &\quad \left. + 2(I_D R_{\text{c}})^2 - \frac{1}{2} U_{\text{DS}}^2 + 2U_{\text{DS}} I_D R_{\text{c}} - \frac{1}{2} (2I_D R_{\text{c}})^2 \right] \\ &= \frac{\mu_{\text{eff}} C'_{\text{GS}}}{L_G} \left[(U_{\text{GS}} - U_T) U_{\text{DS}} - (U_{\text{GS}} - U_T) 2I_D R_{\text{c}} + I_D R_{\text{c}} U_{\text{DS}} \right. \\ &\quad \left. - \frac{1}{2} U_{\text{DS}}^2 \right] \end{aligned}$$

$$\rightarrow I_D = \frac{\frac{\mu_{\text{eff}} C'_{\text{GS}}}{L_G} \left[(U_{\text{GS}} - U_T) U_{\text{DS}} - \frac{1}{2} U_{\text{DS}}^2 \right]}{1 + \frac{\mu_{\text{eff}} C'_{\text{GS}}}{L_G} [(U_{\text{GS}} - U_T) 2R_c - R_c U_{\text{DS}}]} \quad (6.5)$$

Hieraus folgt im linearen Bereich bzw. Sättigungsbereich:

$$I_D = \frac{\frac{\mu_{\text{eff}} C'_{\text{GS}}}{L_G} (U_{\text{GS}} - U_T) U_{\text{DS}}}{1 + \frac{\mu_{\text{eff}} C'_{\text{GS}}}{L_G} (U_{\text{GS}} - U_T) 2R_c} \quad (6.6)$$

$$I_D = \frac{\frac{\mu_{\text{eff}} C'_{\text{GS}}}{L_G} \frac{1}{2} (U_{\text{GS}} - U_T)^2}{1 + \frac{\mu_{\text{eff}} C'_{\text{GS}}}{L_G} (U_{\text{GS}} - U_T) R_c} \quad (6.7)$$

6.1.3 Ausgangskennlinienfeld des Einzeldraht-Feldeffekttransistors mit selbstjustierten Gate-Elektroden

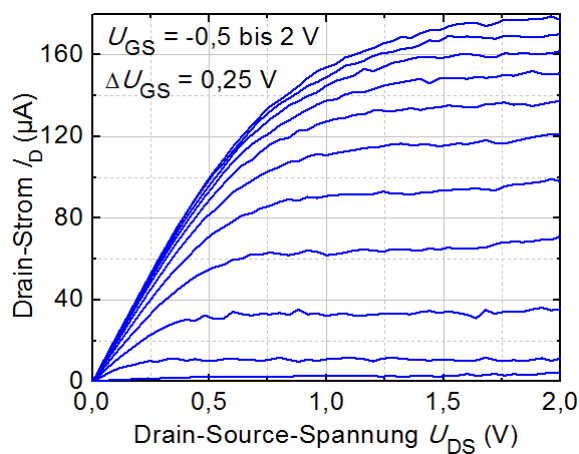


Abb. 6.3: Ausgangskennlinienfeld des Einzeldraht-FETs zu Abb. 3.13.

6.1.4 Parasitäre Kapazität in Abhängigkeit des Trägermaterials

Abb. 6.4 zeigt die Gate-Source-Kapazität eines OPEN-Elementes auf einem semi-isolierenden GaAs-Substrat (spezifischer Widerstand etwa $\sigma_{\text{GaAs}} = 1 \cdot 10^7 \Omega\text{cm}$, relative Permittivität $\epsilon_{r,\text{GaAs}} = 13,1$) mit einer $0,15 \mu\text{m}$ dicken SiN_x -Isolationsschicht ($\epsilon_{r,\text{SiN}_x} = 7,9$) und auf einem Siliziumsubstrat ($\sigma_{\text{Si}} = 1 \cdot 10^4 \Omega\text{cm}$, $\epsilon_{r,\text{Si}} = 11,9$), das mit $4 \mu\text{m}$ SiO_2 bedeckt ist ($\epsilon_{r,\text{SiO}_2} = 3,9$).

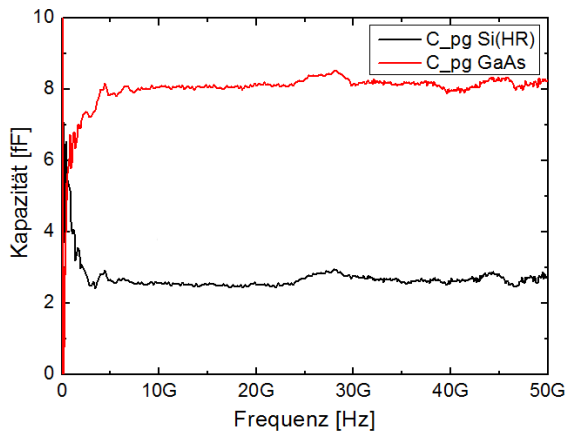


Abb. 6.4: Gate-Source-Kapazität eines OPEN-Elementes auf unterschiedlichen Trägern.

6.2 Zu Kapitel 4

6.2.1 Modellbildung

Die folgende Abbildung zeigt die Ersatzschaltung, die in PSpice für die Simulation der Ausgangskennlinienfelder und der Übertragungskennlinien verwendet wurde.

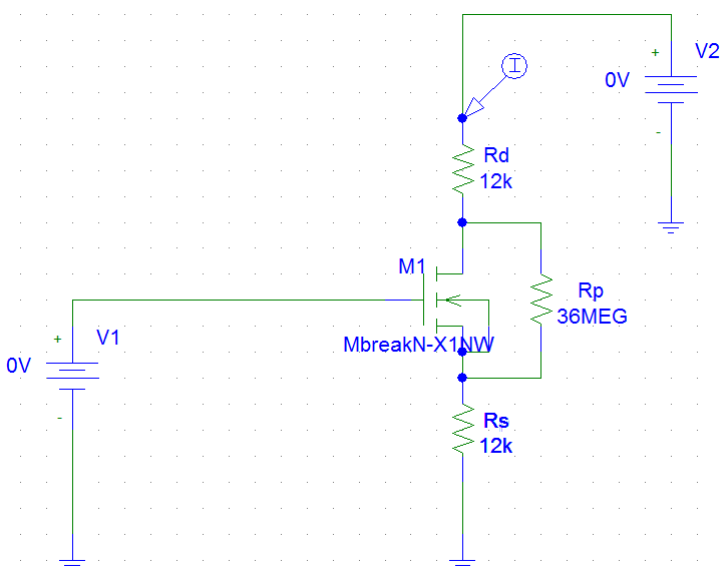


Abb. 6.5: Ersatzschaltung zur Anpassung der Modellparameter.

Die Kontaktwiderstände R_s bzw. R_d und der Parallelwiderstand R_p sind hier als diskrete Bauelemente berücksichtigt. In dem LEVEL2-MOSFET-Modell „MbreakN“ wurden die folgenden Parameter zur Nachbildung der Kennlinienfelder der Referenztransistoren angepasst:

Parameter	Einheit	Bedeutung
L	m	Gate length
W	m	Gate width
DELTA	-	Narrow width factor for adjusting the threshold
Vto	V	Threshold voltage
GAMMA	$V^{1/2}$	Body effect factor
KP	AV^{-2}	Intrinsic transconductance parameter
LAMBDA	V^{-1}	Channel length modulation
NFS	$cm^{-2}V^{-1}$	Fast surface state density
NSUB	cm^{-3}	Bulk surface doping
Tox	m	Oxid thickness
UCRIT	Vcm^{-1}	Critical field for mobility degradation
VMAX	ms^{-1}	Maximum drift velocity of the carriers
UEXP	-	Critical field exponent in the empirical formula that characterizes the surface mobility degradation

Tab. 6.1: Parameter des Level 2 MOSFET-Modells.

Die restlichen Modellparameter sowie ihre Default-Werte sind etwa [100] zu entnehmen.

Das Ersatzschaltbild des Level 2 MOSFET-Modells ist in der folgenden Abbildung gezeigt.

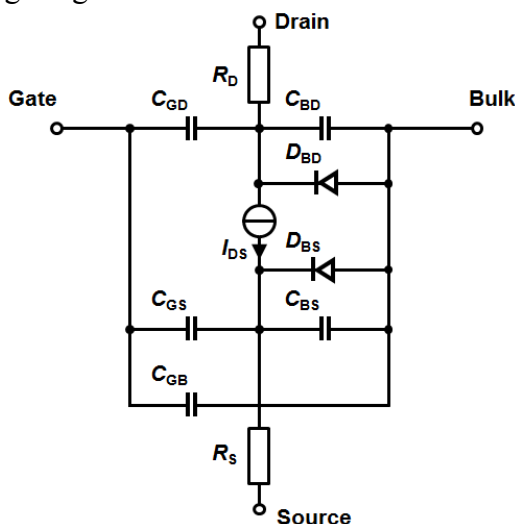


Abb. 6.6: Ersatzschaltbild Level 2 MOSFET-Modell.

R_D , R_S : Drain- bzw. Source-Kontaktwiderstand

C_{GD} , C_{GS} , C_{GB} : Gate-Drain-, Gate-Source- bzw. Gate-Bulk-Kapazität

C_{BD} , C_{BS} : Bulk-Drain- bzw. Bulk-Source-Kapazität

D_{BD} , D_{BS} : Bulk-Drain- bzw. Bulk-Source-Diode

Inverterschaltungen

In der folgenden Tabelle sind die Werte der Modellparameter angegeben, die zu den in Abb. 4.3 gezeigten Kennlinien führen. Für alle nicht angegebenen Parameter wurden die Default-Werte beibehalten.

Parameter	Wert	Einheit
L	$1 \cdot 10^{-6}$	m
W	$0,5 \cdot 10^{-6}$	m
DELTA	2,2	-
Vto	-0,5	V
GAMMA	0,7	$V^{1/2}$
KP	$9,67 \cdot 10^{-5}$	AV^{-2}
LAMBDA	0,13	V^{-1}
NFS	$1,5 \cdot 10^{13}$	$cm^{-2}V^{-1}$
NSUB	$7 \cdot 10^{15}$	cm^{-3}
Tox	$10 \cdot 10^{-9}$	m
UCRIT	6000	Vcm^{-1}
VMAX	$1,1 \cdot 10^5$	ms^{-1}
UEXP	0,25	-

Tab. 6.2: Modellparameter für die Simulationen zu den Invertern.

Der intrinsische Steilheitsparameter $KP = 9,67 \cdot 10^{-5} AV^{-2}$ ist hier bereits auf einen Nanodraht normiert, genauso wie die Kontaktwiderstände R_s bzw. R_d von $12 k\Omega$ und der Parallelwiderstand $R_p = 36 M\Omega$ in Abb. 6.15. Da das als Gate-Dielektrikum verwendete SiN_x eine bedeutend höhere Permittivität als das in der Simulation angenommene SiO_2 aufweist, wurde zum Ausgleich eine geringere Oxid-Dicke von nur 10 nm anstelle der abgeschiedenen 30 nm gewählt.

Abtast-Halte-Glieder

Die folgenden Abbildungen zeigen das Ausgangskennlinienfeld und die Übertragungskennlinie des Referenztransistors (a) zu den Abtast-Halte-Gliedern sowie die zugehörigen Kennlinien aus der Simulation (b).

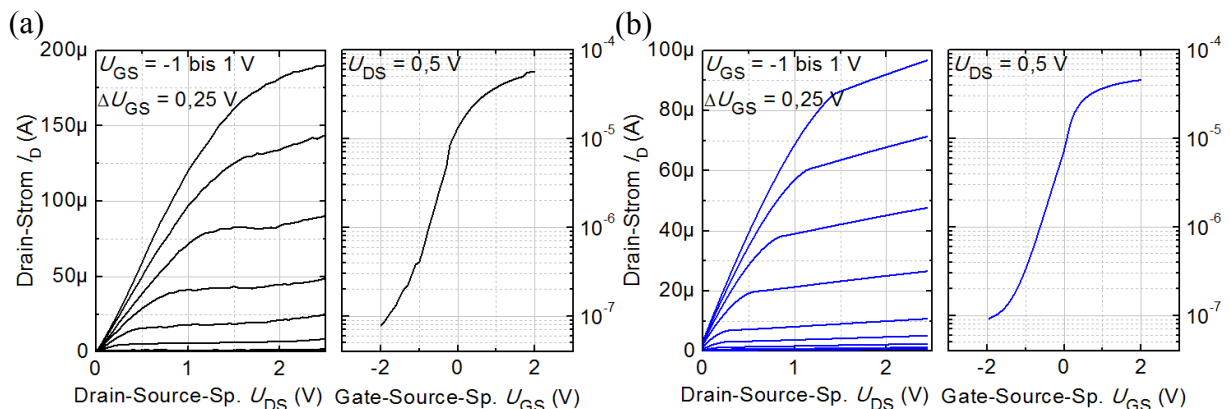


Abb. 6.7: Kennlinienfelder des Referenztransistors (a) und aus der Simulation (b).

Es handelt sich hierbei um einen II-Gate-Nanodrahttransistor aus 3 InAs Nanodrähten mit einem Radius von 25 nm. Die Gate-Länge beträgt je 1,5 μm und die Dicke der Gate-Isolation aus SiN_x 30 nm. Die Simulation wurde für einen Gate-Finger durchgeführt.

In der folgenden Tabelle sind die Werte der Modellparameter angegeben, die zu den obigen Kennlinien führen. Für alle nicht angegebenen Parameter wurden die Default-Werte beibehalten.

Parameter	Wert	Einheit
L	$1,5 \cdot 10^{-6}$	m
W	$0,5 \cdot 10^{-6}$	m
DELTA	0	-
Vto	-0,3	V
GAMMA	0,0001	$\text{V}^{1/2}$
KP	$50 \cdot 10^{-5}$	AV^{-2}
LAMBDA	0,2	V^{-1}
NFS	$2,2 \cdot 10^{13}$	$\text{cm}^{-2}\text{V}^{-1}$
NSUB	$0,7 \cdot 10^{15}$	cm^{-3}
Tox	$10 \cdot 10^{-9}$	m
UCRIT	10000	Vcm^{-1}
VMAX	$1,1 \cdot 10^5$	ms^{-1}
UEXP	0,01	-

Tab. 6.3: Modellparameter für die Simulationen zu den Abtast-Halte-Gliedern.

Der intrinsische Steilheitsparameter KP beträgt entsprechend $16,7 \cdot 10^{-5} \text{AV}^{-2}$ pro Nanodraht, die Kontaktwiderstände R_s bzw. R_d 12 $\text{k}\Omega$ und der Parallelwiderstand R_p 18 $\text{M}\Omega$ (in der zu obiger Abbildung gehörigen Simulation entsprechend 4 $\text{k}\Omega$ und 6 $\text{M}\Omega$, da 3 Nanodrähte).

6.2.2 Herstellung der Inverter

FASA-Elektroden	
Lösungsmittelreinigung	
	Aceton / Propanol (heiss)
Oxidreinigung	HCl : H ₂ O (1: 4): 20s DI-Wasser (30s), N ₂ -Trocknen
Kontrolle (Lichtmikroskop)	Kontrolle nach Resten
PL-Strukturierung	
Belacken:	ARP 5350 (neu) 3000/30/7000 (Prg. 5)
Hotplate:	15min@95°C
Belichten:	UV400 Frontlinse verwenden! 2.5", Maske: FASA
Entwickeln:	15" AR 300-35:H ₂ O 1:1 DI-Wasser (60 s), N ₂ -Trocknen
Kontrolle (Olympus)	Kontrolle nach Resten
Reinigung	NH ₃ -H ₂ O (1:10): 20s KEIN DI-Wasser, nur N ₂ -Trocknen
Metallisierung (Leibold)	
Liift-off	Ti : 150 A (Ti_min) → NW-FASA
	Aceton / Propanol
Kontrolle (Lichtmikroskop)	Kontrolle der Metallisierung
Schichtdickenmessung (Dektak)	Messung der Metallisierungshöhe
Nanodrahtdeposition	
Lösung vorbereiten	
NW-Transfer:	Drähte in Iso-Propanol transferieren
Ultraschall:	30s@10%
Deposition	Waferprober
	N ₂ -Trocknen
Kontrolle (Lichtmikroskop)	Kontrolle der Deposition
MESA NW	
Lösungsmittelreinigung	
	Aceton / Propanol
Kontrolle	Kontrolle nach Resten
PL-Strukturierung	
Belacken:	AZ 6612 3000/30/3000 (Prg. 4)
Hotplate:	10min@120°C
Belichten:	25", Maske: Mesa NW
Entwickeln:	1min , AZ-Dev:H ₂ O 3:2 DI-Wasser (60 s), N ₂ -Trocknen
Kontrolle (Olympus)	Kontrolle nach Resten
Hartbacken	Hotplate: 30min@120°C
Oxidreinigung	HCl : H ₂ O (1: 4) 20s DI-Wasser (30s), N ₂ -Trocknen
Ätzung (Nanodrähte)	
	H ₂ PO ₄ :H ₂ O ₂ :H ₂ O (1:1:25): 30s DI-Wasser (30s), N ₂ -Trocknen
Ätzen (Ti)	HF(5%) 10 sec 20" DI-Wasser spülen im Becher 20" DI-Wasser spülen fließend N ₂ -Trocknen
Kontrolle (Lichtmikroskop)	Ti-Reste? <input type="checkbox"/> Ja <input type="checkbox"/> Nein Starke Unterätzungen? <input type="checkbox"/> Ja <input type="checkbox"/> Nein
Strippen	Aceton / Propanol
Pads & Ohm NW	
Kontrolle (Lichtmikroskop)	Kontrolle nach Resten
PL-Strukturierung	
Belacken:	ARP 5350 (neu) 3000/30/7000 (Prg. 5)
Hotplate:	15min@95°C
Belichten:	UV400 Frontlinse verwenden! 2.5", Maske: Ohm NW
Entwickeln:	15" AR 300-35:H ₂ O 1:1 DI-Wasser (60 s), N ₂ -Trocknen



Kontrolle (Olympus)	
	Kontrolle nach Resten, Fehljustage und NW-Abdeckung
Metallisierung (Leibold)	
Liift-off	Ti / Pt / Au: 300/100/3000 A → Pads_NW-HFET
	Aceton / Propanol
Kontrolle (Lichtmikroskop)	Kontrolle der Metallisierung
Schichtdickenmessung (Dektak)	Messung der Metallisierungshöhe
Leigieren der OhM-Kontakte	
	RTA: mof.9 (300°C)
Dielektrikum	
Kontrolle (Lichtmikroskop)	Kontrolle nach Resten
Reinigung	NH ₃ -H ₂ O (1:10): 20s KEIN DI-Wasser, nur N ₂ -Trocknen
SiNx Abscheidung (CVD)	
	30nm SiNx; Prg.4 mod:5%; 7min
PL-Strukturierung	
Haftvermittler:	AR 300/80 1000/50/5000 (Prg. 7 FLT)
Hotplate:	10min@120°C
Akklimatisation:	10min@RT
Belacken:	AZ 6612 3000/30/3000 (Prg. 4)
Hotplate:	10min@120°C
Belichten:	25", Maske: Iso NW
Entwickeln:	1min , AZ-Dev:H ₂ O 3:2 DI-Wasser (60 s), N ₂ -Trocknen
Kontrolle (Olympus)	Kontrolle nach Resten
Hartbacken	Hotplate: 30min@120°C
Kontrolle	optisch
Ätzen (SiNx)	30" HF 1% 20" DI spülen im Becher 20" DI spülen fließend N ₂ -Trocknen
Kontrolle	optisch, SiNx-Reste? <input type="checkbox"/> Ja <input type="checkbox"/> Nein
Lösungsmittelreinigung	
	Aceton / Propanol heiß
Kontrolle	optisch, Fotolackreste? <input type="checkbox"/> Ja <input type="checkbox"/> Nein
Kontrolle (Lichtmikroskop)	Kontrolle der Isolation
Schichtdickenmessung (Dektak)	Messung der SiNx Höhe
Gate	
EL-Strukturierung	
Belacken:	ARP 671.06 5000 rpm (Prg. 4 ebeam)
Hotplate:	10 min@170°C
Belichten:	20 kV; 80 pA; 1 Pixel; 0.001ms
Entwickeln:	60" Mik:Pr 1:3 Iso-Propanol (30s)
Kontrolle (Olympus)	Kontrolle nach Resten, Fehljustierung, Abdeckung
O--Plasma-Reinigung	
	2min@50W
Metallisierung (Leibold)	
Liift-off	Ti / Pt / Au: 300/100/3600 A
	Aceton (kalt, ca. 3min) / Propanol (heiss)
Kontrolle (Lichtmikroskop)	Kontrolle der Metallisierung
Schichtdickenmessung (Dektak)	Messung der Metallisierungshöhe
Kontrolle (Lichtmikroskop, REM)	Kontrolle der HFET-Gatelänge Kontrolle der NW-Gatelänge

Abb. 6.8: Probenprotokoll zu den Invertern.

6.2.3 Statische Charakterisierung der Inverter

Die folgende Abbildung zeigt die Ersatzschaltung, die zur Untersuchung des Übertragungsverhaltens verwendet wurde.

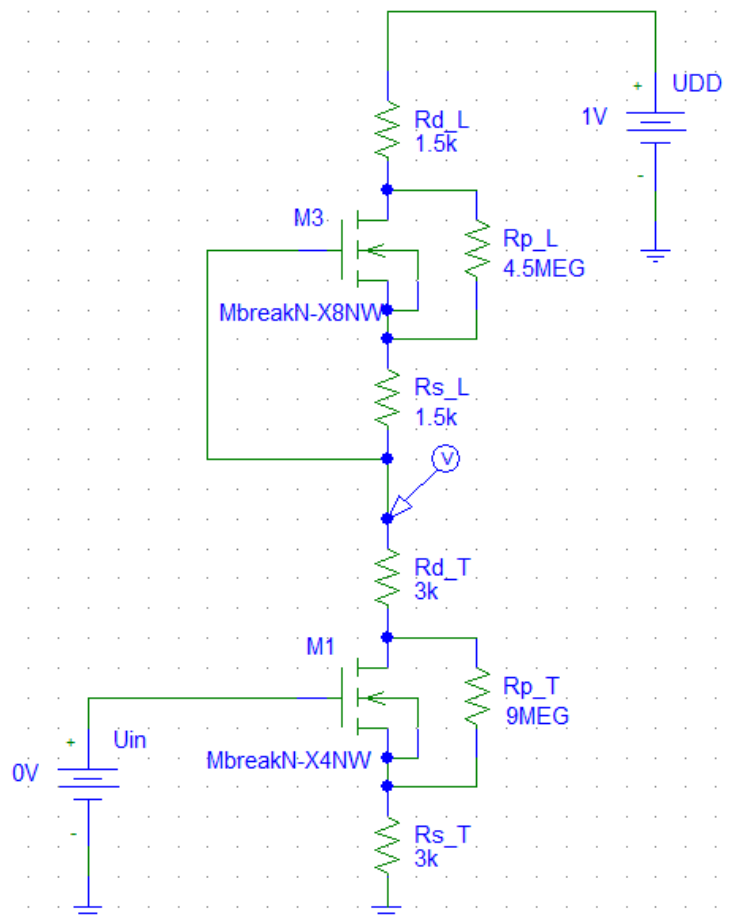


Abb. 6.9: Ersatzschaltung für die Simulation des statischen Verhaltens der Inverter.

U_{in} , U_{DD} : Eingangs- bzw. Versorgungsspannung

R_{d_L} , R_{s_L} , R_{p_L} : Kontaktwiderstände und Parallelwiderstand des Lasttransistors

R_{d_T} , R_{s_T} , R_{p_T} : Kontaktwiderstände und Parallelwiderstand des Treibertransistors

Das Verhältnis T/L beträgt für die abgebildete Schaltung $4/8 = 0,5$ (vgl. Werte der Kontakt- und Parallelwiderstände).

6.2.4 Dynamische Charakterisierung der Inverter

Die folgende Abbildung zeigt die Ersatzschaltung, die für die Untersuchung des dynamischen Verhaltens verwendet wurde.

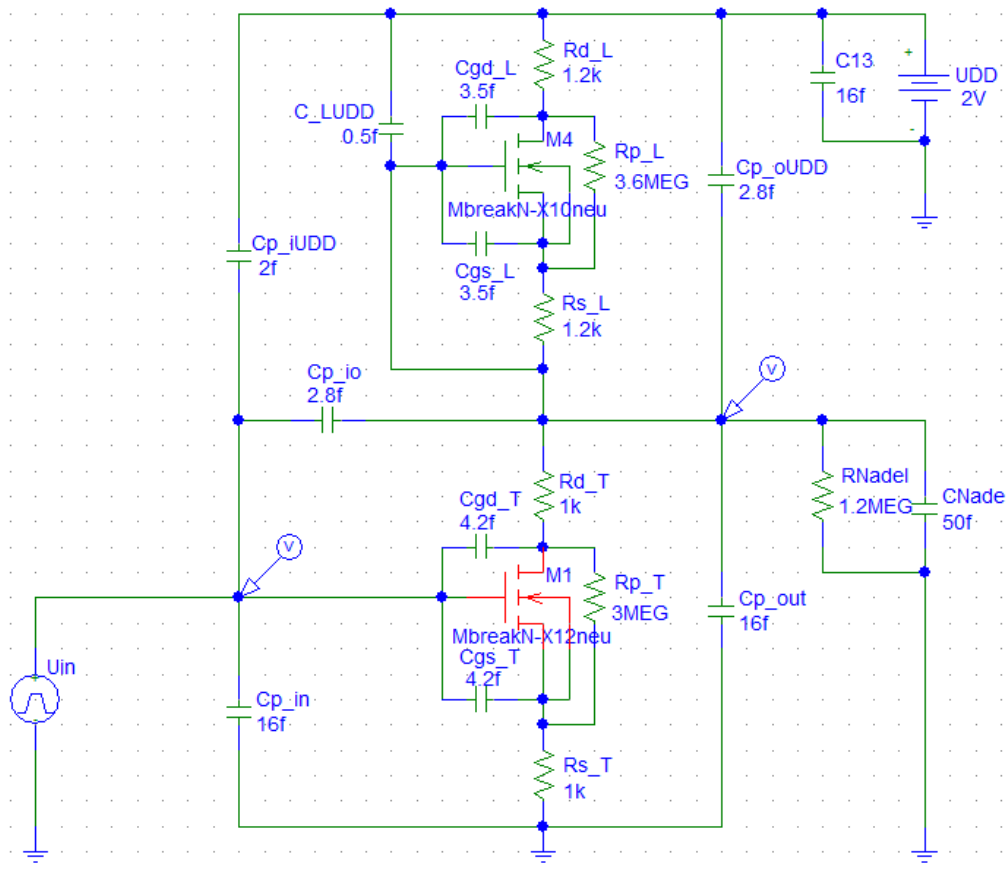


Abb. 6.10: Ersatzschaltung für die Simulationen zum dynamischen Verhalten der Inverter.

U_{in} , UDD: Eingangs- und Versorgungsspannung

R_{d_L} , R_{s_L} , R_{p_L} : Kontaktwiderstände und Parallelwiderstand des Lasttransistors

C_{gd_L} , C_{gs_L} : intrinsische Gate-Drain- und Gate-Source-Kapazität des Lasttransistors

R_{d_T} , R_{s_T} , R_{p_T} : Kontaktwiderstände und Parallelwiderstand des Treibertransistors

C_{gd_T} , C_{gs_T} : intrinsische Gate-Drain- und Gate-Source-Kapazität des Treibertransistors

C_{p_x} : Kapazitäten der Kontaktstrukturen

CLUDD: Kapazität zwischen Gate des Lasttransistors und Zugangsstruktur für UDD

RNadel, CNadel: Eingangswiderstand und –kapazität der aktiven Nadel

Das Verhältnis T/L beträgt für die abgebildete Schaltung $12/10 = 1,2$ (vgl. Werte der Kontakt- und Parallelwiderstände).

6.2.5 Übertragungskennlinien der Inverterschaltung zu Abb. 4.10 a

Die abgebildeten Kennlinien bei einer Versorgungsspannung von 1 V und 2 V wurden im Anschluss an die dynamische Charakterisierung aufgenommen:

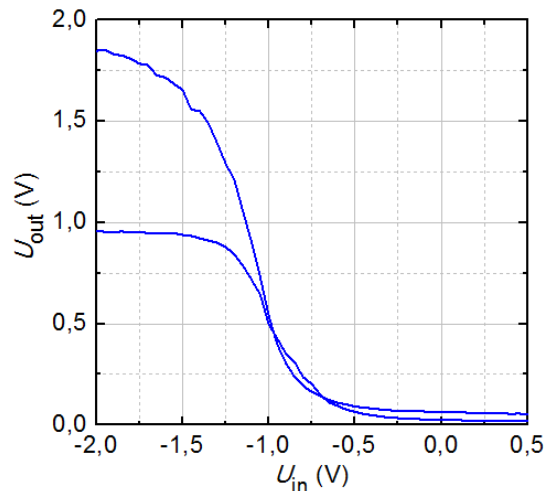


Abb. 6.11: Übertragungskennlinien der Schaltung zu Abb. 4.10 a.

6.2.6 Ausgangskennlinienfeld eines MISFET

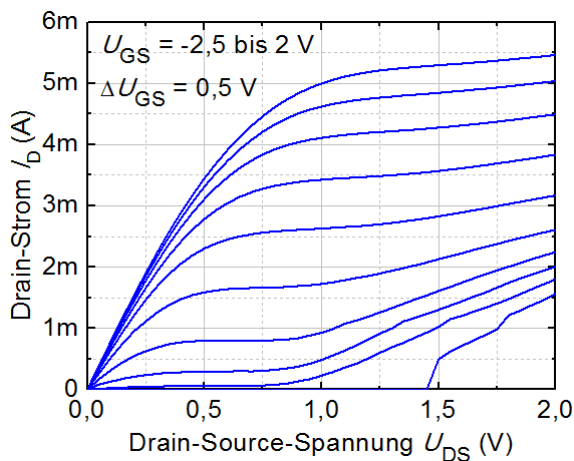


Abb. 6.12: Ausgangskennlinienfeld eines MISFET mit einer Gate-Weite von $10 \mu\text{m}$ und einer Gate-Länge von $1 \mu\text{m}$.

6.2.7 Herstellung der Abtast-Halte-Glieder ohne bzw. mit Ausgangsverstärker

FASA-Elektroden	
Lösungsmittelreinigung	
	Aceton / Propanol heiss
Oxidreinigung	
	HCl : H ₂ O (1: 4): 20s
	DI-Wasser (30s), N ₂ -Trocknen
Kontrolle (Lichtmikroskop)	
	Kontrolle nach Resten
PL-Strukturierung	
Belacken	
	ARP 5350 (neu) 3000/30/7000 (Prg. 5)
	HP 15' 95°C
Belichten	
	UV400 Frontlinse verwenden!
	2,5", Bereich 5 (untere Hälfte von B5 (zur Maskenmitte hin) mittig auf Probe!)
Entwickeln	
	15" AR 300-35:H2O 1:1
	DI-Wasser (60 s), N ₂ -Trocknen
Kontrolle (Olympus)	
	Kontrolle nach Resten
Reinigung	
	NH ₃ :H ₂ O (1:10): 20s
	KEIN DI-Wasser, nur N ₂ -Trocknen
Metallisierung (Leybold)	
	Ti: 100 A
Lift-off	
	Aceton / Propanol
Kontrolle (Lichtmikroskop)	
	Kontrolle der Metallisierung
Schichtdickenmessung (Dektak)	
	Messung der Metallisierungshöhe



Nanodrahtdeposition	
Lösung vorbereiten	
	Drähte in Propanol transferieren, Ultraschall: 10%, 30s
Deposition	
	Sinussignal: Vpp; sec
	Wg5_dds2.5_links
	Wg5_dds2.5_rechts
	sh2_l
	sh2_r
	sh1_l
	sh1_r
	N ₂ -Trocknen
Kontrolle (Lichtmikroskop)	
	Bilder speichern unter Delta/Technologie/Whisker/Mxxxx



Abb. 6.13: Probenprotokoll für die Abtast-Halte-Glieder ohne Ausgangsverstärker (Fortsetzung siehe Abb. 6.14).

Elektroden ätzen	
Lösungsmittelreinigung	
	Aceton / Propanol heiss
Oxidreinigung	
	20" HCl : H ₂ O 1: 4, 30" DI, N ₂ Trocknen
Kontrolle	Kontrolle nach Resten
Belacken	
	AR 300/80 (Promoter): 1000/50/5000 (Prg. 4 ebeam) Hotplate: 140°C, 10min Akklimatisierung: 10min ARP 3740alt 1000/30/1300 (Prog. 1) Trocknen 10' 120°C HP
Belichten	40" LoVacKontakt, B4
Entwickeln	90" AR 300-35:H ₂ O pur 20" DI N ₂ Trocknen
Kontrolle	optisch
Postbake	30' 120 °C HP
Ätzen (Ti)	
	HF(5%) : H ₂ O2 10:1 10 sec 20" DI spülen im Becher 20" DI spülen fließend N ₂ Trocknen
Kontrolle	optisch, Ti-Reste? <input type="checkbox"/> Ja <input type="checkbox"/> Nein optisch, starke Unterätzungen? <input type="checkbox"/> Ja <input type="checkbox"/> Nein
Strippen	Aceton / Propanol
OHM	
Oxidreinigung	
	HCl : H ₂ O (1: 4): 20s DI-Wasser (30s), N ₂ -Trocknen
Kontrolle (Lichtmikroskop)	Kontrolle nach Resten
PL-Strukturierung	
Belacken	ARP 5350 (neu) 3000/30/7000 (Prg. 5) HP 15' 95°C
Belichten	UV400 Frontlinse verwenden! 2,5", B3
Entwickeln	15" AR 300-35:H ₂ O 1:1 DI-Wasser (60 s), N ₂ -Trocknen
Kontrolle (Olympus)	Kontrolle nach Resten, Fehljustierung, Abdeckung
Reinigung	NH ₃ :H ₂ O (1:10): 20s KEIN DI-Wasser, nur N ₂ -Trocknen
Metallisierung (Leybold)	
	Ti / Au: 300/4000 A
Lift-off	Aceton / Propanol
Kontrolle (Lichtmikroskop)	Kontrolle der Metallisierung
Schichtdickenmessung (Dektak)	
	Messung der Metallisierungshöhe



Isolation	
Oxidreinigung	
	HCl : H ₂ O (1: 4): 20s DI-Wasser (30s), N ₂ -Trocknen
Kontrolle (Lichtmikroskop)	Kontrolle nach Resten
PL-Strukturierung	
Belacken	ARP 5350 (neu) 3000/30/7000 (Prg. 5) HP 15' 95°C
Belichten	UV400 Frontlinse verwenden! 2,5", B2
Entwickeln	15" AR 300-35:H ₂ O 1:1 DI-Wasser (60 s), N ₂ -Trocknen
Kontrolle (Olympus)	Kontrolle nach Resten
Reinigung	NH ₃ :H ₂ O (1:10): 20s KEIN DI-Wasser, nur N ₂ -Trocknen
Abscheiden (CVD)	
	30nm SiNx; Prog.4mod:90/20; 11min
Lift-off	Aceton / Propanol
Kontrolle (Lichtmikroskop)	Kontrolle der Isolation
Schichtdickenmessung (Dektak)	
	Messung der Metallisierungshöhe
Gate und obere Kondensatorplatte	
EL-Strukturierung	
	ARP 671.06 5000 rpm (Prg. 4 ebeam) HP 10' 170°C Belichten: 20 kV; 200 pA; 2 Pixel; Entwickeln: Mibk 1:3 60s + Pr 30s
Kontrolle (Olympus)	Kontrolle nach Resten, Fehljustierung, Abdeckung
Reinigung	O ₂ -Plasma: 25W 1min
Metallisierung (Leybold)	
	Ti / Au: 300/4000 A
Lift-off	Aceton / Propanol
Kontrolle (Lichtmikroskop)	Kontrolle der Metallisierung
Schichtdickenmessung (Dektak)	
	Messung der Metallisierungshöhe

Abb. 6.14: Fortsetzung des Probenprotokolls aus Abb. 6.13.

Ohm-HFET	
<u>Lösungsmittelreinigung</u>	
	Aceton / Propanol (heiss)
<u>Oxidreinigung</u>	
	HCl : H ₂ O (1: 4): 20s
	DI-Wasser (30s), N ₂ -Trocknen
<u>Kontrolle (Lichtmikroskop)</u>	
	Kontrolle nach Resten
<u>PL-Strukturierung</u>	
Belacken:	ARP 5350 (neu) 3000/30/7000 (Prg. 5)
Hotplate:	15min@95°C
Belichten:	UV400 Frontlinse verwenden!
	2.5", Maske: Ohm HFET
Entwickeln:	15" AR 300-35:H ₂ O 1:1
	DI-Wasser (60 s), N ₂ -Trocknen
<u>Kontrolle (Olympus)</u>	
	Kontrolle nach Resten
<u>Reinigung</u>	
	NH ₃ -H ₂ O (1:10): 20s
	KEIN DI-Wasser, nur N ₂ -Trocknen
<u>Metallisierung (Leybold)</u>	
	Ge/Ni/Ge/Au: 50/100/250/750 Å → Ohm_NW-HET
<u>Lift-off</u>	
	Aceton (kalt, ca. 3min) / Propanol (heiss)
<u>Kontrolle (Lichtmikroskop)</u>	
	Kontrolle der Metallisierung
<u>Schichtdickenmessung (Dektak)</u>	
	Messung der Metallisierungshöhe
<u>VU-Messung (Spitzenmessplatz Reinraum)</u>	
	Messung der VU-Charakteristik vor dem Legieren
<u>Legieren der OHM-Kontakte</u>	
	RTA: uni-du.7
<u>VU-Messung (Spitzenmessplatz Reinraum)</u>	
	Messung der VU-Charakteristik nach dem Legieren
Mesa HFET	
<u>Lösungsmittelreinigung</u>	
	Aceton / Propanol (heiss)
<u>Oxidreinigung</u>	
	HCl : H ₂ O (1: 4): 20s
	DI-Wasser (60s), N ₂ -Trocknen
<u>Kontrolle (Lichtmikroskop)</u>	
	Kontrolle nach Resten, Abdeckung
<u>PL-Strukturierung</u>	
Belacken:	AZ 6612 3000/30/3000 (Prg. 4)
Hotplate:	10min@120°C
Belichten:	25", Maske: Mesa HFET
Entwickeln:	1min , AZ-Dev:H ₂ O 3:2
	DI-Wasser (60 s), N ₂ -Trocknen
<u>Kontrolle (Olympus)</u>	
	Kontrolle nach Resten
<u>Hartbacken</u>	
Hotplate:	30min@120°C
<u>Ätzung (InGaAs, InP)</u>	
	H ₂ SO ₄ :H ₂ O ₂ :H ₂ O (1:1:20): 10s
	DI-Wasser (20s), N ₂ -Trocknen
	H ₂ SO ₄ :H ₂ O ₂ :H ₂ O (1:1:20): 10s
	DI-Wasser (20s), N ₂ -Trocknen
	HCl : H ₂ O (1: 1): 10s @ RT



	DI-Wasser (20s), N ₂ -Trocknen
	HCl : H ₂ O (1: 1): 5s @ RT
	DI-Wasser (20s), N ₂ -Trocknen
	H ₂ SO ₄ :H ₂ O ₂ :H ₂ O (1:1:40): 10s
	DI-Wasser (20s), N ₂ -Trocknen
	H ₂ SO ₄ :H ₂ O ₂ :H ₂ O (1:1:40): 10s
	DI-Wasser (20s), N ₂ -Trocknen
	HCl : H ₂ O (1: 1): 25s @ 10°C
	DI-Wasser (20s), N ₂ -Trocknen
<u>Lösungsmittelreinigung</u>	
	Aceton / Propanol (heiss)
<u>Kontrolle (Lichtmikroskop)</u>	
	Kontrolle der Ätzstrukturierung
<u>Schichtdickenmessung (Dektak)</u>	
	Messung der Ätztiefe
FASA-Elektroden	
<u>Lösungsmittelreinigung</u>	
	Aceton / Propanol (heiss)
<u>Oxidreinigung</u>	
	HCl : H ₂ O (1: 4): 20s
	DI-Wasser (30s), N ₂ -Trocknen
<u>Kontrolle (Lichtmikroskop)</u>	
	Kontrolle nach Resten
<u>PL-Strukturierung</u>	
Belacken:	ARP 5350 (neu) 3000/30/7000 (Prg. 5)
Hotplate:	15min@95°C
Belichten:	UV400 Frontlinse verwenden!
	2.5", Maske: FASA
Entwickeln:	15" AR 300-35:H ₂ O 1:1
	DI-Wasser (60 s), N ₂ -Trocknen
<u>Kontrolle (Olympus)</u>	
	Kontrolle nach Resten
<u>Reinigung</u>	
	NH ₃ -H ₂ O (1:10): 20s
	KEIN DI-Wasser, nur N ₂ -Trocknen
<u>Metallisierung (Leybold)</u>	
	Ti : 150 Å (Ti_min) → NW-FASA
<u>Lift-off</u>	
	Aceton / Propanol
<u>Kontrolle (Lichtmikroskop)</u>	
	Kontrolle der Metallisierung
<u>Schichtdickenmessung (Dektak)</u>	
	Messung der Metallisierungshöhe
Nanodrahtdeposition	
<u>Lösung vorbereiten</u>	
NW-Transfer:	Drähte in Iso-Propanol transferieren
Ultraschall:	30s@10%
Deposition	Waferprober
	N ₂ -Trocknen
<u>Kontrolle (Lichtmikroskop)</u>	
	Kontrolle der Deposition



Abb. 6.15: Probenprotokoll für die Abtast-Halte-Glieder mit MISHFET-Ausgangsverstärker (Fortsetzung siehe Abb. 6.16).

↓		↓	
MESA NW (plus Deckschichten HFET ätzen)		Dielektrikum	
<u>Lösungsmittelreinigung</u>		<u>Kontrolle (Lichtmikroskop)</u>	
	Aceton / Propanol		Kontrolle nach Resten
<u>Kontrolle</u>	Kontrolle nach Resten	<u>Reinigung</u>	NH ₃ :H ₂ O (1:10): 20s
<u>PL-Strukturierung</u>		KEIN DI-Wasser, nur N ₂ -Trocknen	
Belacken:	AZ 6612 3000/30/3000 (Prg. 4)	<u>SiNx Abscheidung (CVD)</u>	
Hotplate:	10min@120°C	30nm SiNx; Prog.4 mod:5%; 7min	
Belichten:	25", Maske: Mesa NW	<u>PL-Strukturierung</u>	
Entwickeln:	1min, AZ-Dev:H ₂ O 3:2	Haftvermittler:	AR 300/80 1000/50/5000 (Prg. 7 FLT)
	DI-Wasser (60 s), N ₂ -Trocknen	Hotplate:	10min@120°C
<u>Kontrolle (Olympus)</u>		Akklimatisation:	10min@RT
	Kontrolle nach Resten	Belacken:	AZ 6612 3000/30/3000 (Prg. 4)
<u>Hartbacken</u>		Hotplate:	10min@120°C
Hotplate:	30min@120°C	Belichten:	25", Maske: Iso NW
<u>Oxidreinigung</u>		Entwickeln:	1min, AZ-Dev:H ₂ O 3:2
	HCl : H ₂ O (1 : 4) 20s		DI-Wasser (60 s), N ₂ -Trocknen
	DI-Wasser (30s), N ₂ -Trocknen	<u>Kontrolle (Olympus)</u>	
<u>Ätzung (Nanodrähte und InP-Barrierschicht)</u>			Kontrolle nach Resten
	H ₃ PO ₄ :H ₂ O ₂ :H ₂ O (1:1:25): 30s	<u>Hartbacken</u>	
	HCl : H ₂ O (1 : 2) 4s @ 10°C	Hotplate:	30min@120°C
	DI-Wasser (30s), N ₂ -Trocknen	<u>Kontrolle</u>	optisch
<u>Ätzen (Ti)</u>		<u>Ätzen (SiNx)</u>	30" HF 1%
	HF(5%) 10 sec		20" DI spülen im Becher
	20" DI-Wasser spülen im Becher		20" DI spülen fließend
	20" DI-Wasser spülen fließend		N ₂ Trocknen
	N ₂ -Trocknen	<u>Kontrolle</u>	optisch, SiNx-Reste? <input type="checkbox"/> Ja <input type="checkbox"/> Nein
<u>Kontrolle (Lichtmikroskop)</u>		<u>Lösungsmittelreinigung</u>	
	Ti-Reste? <input type="checkbox"/> Ja <input type="checkbox"/> Nein		Aceton / Propanol heiß
	Starke Unterätzungen? <input type="checkbox"/> Ja <input type="checkbox"/> Nein	<u>Kontrolle</u>	optisch, Fotolackreste? <input type="checkbox"/> Ja <input type="checkbox"/> Nein
<u>Strippen</u>	Aceton / Propanol	<u>Kontrolle (Lichtmikroskop)</u>	
Pads & Ohm NW		Kontrolle der Isolation	
<u>Kontrolle (Lichtmikroskop)</u>		Schichtdickenmessung (Dektak)	
	Kontrolle nach Resten	Messung der SiNx Höhe	
<u>PL-Strukturierung</u>		Gate und obere Kondensatorplatte (ebeam)	
Belacken:	ARP 5350 (neu) 3000/30/7000 (Prg. 5)	<u>EL-Strukturierung</u>	
Hotplate:	15min@95°C	Belacken:	ARP 671.06 5000 rpm (Prg. 4 ebeam)
Belichten:	UV400 Frontlinse verwenden!	Hotplate:	10 min@170°C
	2.5", Maske: Ohm NW	Belichten:	20 kV; 80 pA; 1 Pixel; 0.001ms
Entwickeln:	15" AR 300-35:H ₂ O 1:1	Entwickeln:	60" Mik:Pr 1:3
	DI-Wasser (60 s), N ₂ -Trocknen		Iso-Propanol (30s)
<u>Kontrolle (Olympus)</u>		<u>Kontrolle (Olympus)</u>	
	Kontrolle nach Resten, Fehljustage und NW-Abdeckung		Kontrolle nach Resten, Fehljustierung, Abdeckung
<u>Metallisierung (Leybold)</u>		<u>O₂-Plasma-Reinigung</u>	
	Ti / Pt / Au: 300/100/3000 Å → Pads_NW-HFET		2min@50W
<u>Lift-off</u>		<u>Metallisierung (Leybold)</u>	
	Aceton / Propanol		Ti / Pt / Au: 300/100/3600 Å
<u>Kontrolle (Lichtmikroskop)</u>		<u>Lift-off</u>	
	Kontrolle der Metallisierung		Aceton (kalt, ca. 3min) / Propanol (heiss)
<u>Schichtdickenmessung (Dektak)</u>		<u>Kontrolle (Lichtmikroskop)</u>	
	Messung der Metallisierungshöhe		Kontrolle der Metallisierung
<u>Legieren der OHM-Kontakte</u>		<u>Schichtdickenmessung (Dektak)</u>	
	RTA: mof.9 (300°C)		Messung der Metallisierungshöhe
		<u>Kontrolle (Lichtmikroskop, REM)</u>	
			Kontrolle der HFET-Gatelänge
			Kontrolle der NW-Gatelänge

Abb. 6.16: Fortsetzung des Probenprotokolls aus Abb. 6.15.

6.2.8 Ersatzschaltung für die Simulationen zu den Abtast-Halte-Gliedern

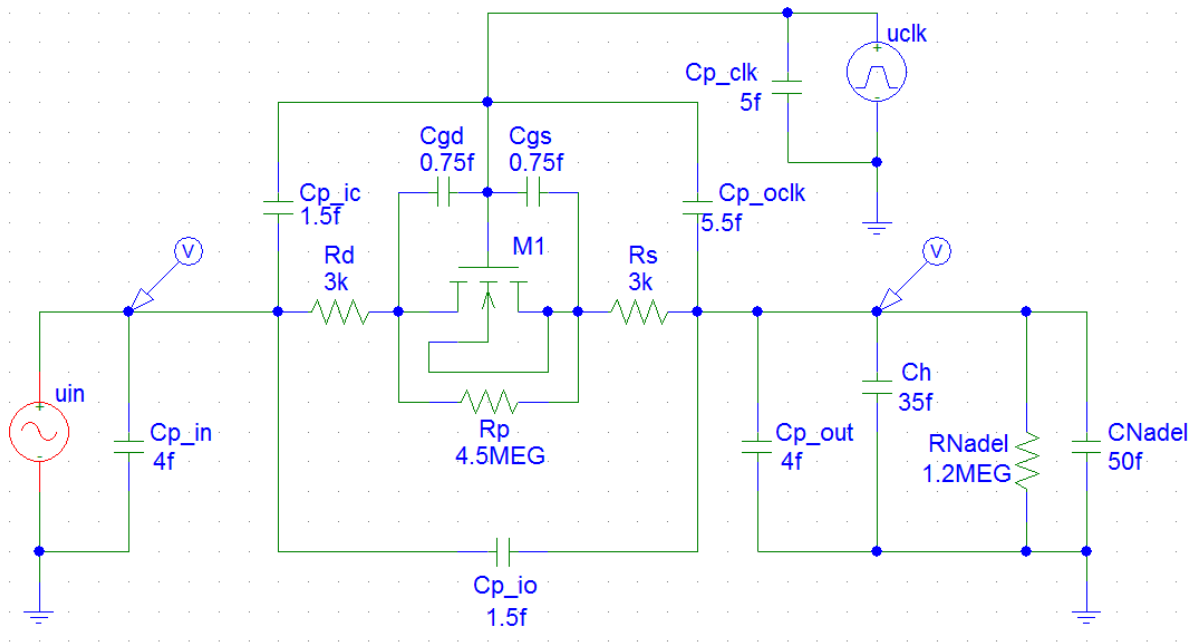


Abb. 6.17: Ersatzschaltung für die Simulationen zu den Abtast-Halte-Gliedern.

u_{in} , u_{clk} : Eingangs- und Clockspannung

R_d , R_s , R_p : Kontaktwiderstände und Parallelwiderstand des Transistors

C_{gd} , C_{gs} : intrinsische Gate-Drain- und Gate-Source-Kapazität des Lasttransistors

C_h : Haltekapazität

C_{p_x} : Kapazitäten der Kontaktstrukturen

R_{Nadel} , C_{Nadel} : Eingangswiderstand und -kapazität der aktiven Nadel

Der Nanodrahttransistor in der abgebildeten Schaltung besteht aus 4 Nanodrähten (vgl. Werte der Kontakt- und Parallelwiderstände).

7 Literaturverzeichnis

7.1 Verwendete Literatur

- [1] R. R. Schaller
Moore's Law: past, present, and future
IEEE Spectrum, Vol. 34, No. 6, pp. 52–59, 1997
- [2] K. A. Gupta, D. K Anvekar, V. V
Device characterisation of short channel devices and its impact on CMOS circuit
International Journal of VLSI design & Communication Systems (VLSICS) Vol. 3, No. 5, pp. 163-173, 2012
- [3] K. Ahmed, K. Schuegraf
Transistor wars - rival architectures face off in a bid to keep Moore's law alive
IEEE Spectrum, pp. 51-66, 2011
- [4] E. Gnani, S. Reggiani, M. Rudan, G. Baccarani
Design Considerations and Comparative Investigation of Ultra-Thin SOI, Double-Gate and Cylindrical Nanowire FETs
Proceeding of the 36th European Solid-State Device Research Conference (ESSDERC), pp. 371-374, 2006
- [5] W. Lu, P. Xie, C. M. Lieber
Nanowire Transistor Performance Limits and Applications
IEEE Transactions on Electron Devices, Vol. 55, No. 11, pp. 2859-2876, 2008
- [6] J. Kong, N. R. Franklin, C. Zhou, M. G. Chapline, S. Peng, K. Cho, H. Dai
Nanotube molecular wires as chemical sensors
Science, Vol. 287, No. 5453, pp. 622-625, 2000
- [7] P. G. Collins, K. Bradley, M. Ishigami, A. Zettl
Extreme Oxygen Sensitivity of Electronic Properties of Carbon Nanotubes
Science, Vol. 287, pp. 1801-1804, 2000
- [8] R. Huang, J. Zhu
Silicon nanowire array films as advanced anode materials for lithium-ion batteries
Materials Chemistry and Physics, Vol. 121, No. 3, pp. 519–522, 2010

- [9] J. Chen, X. Xia, J. Tu, Q. Xiong, Y.-X. Yu, X. Wang, C. Gu
Co₃O₄-C core-shell nanowire array as an advanced anode material for lithium ion batteries
Journal of Materials Chemistry, Vol. 22, No. 30, pp. 15056-15061, 2012
- [10] B. Tian, X. Zheng, T. J. Kempa, Y. Fang, N. Yu, G. Yu, J. Huang, C. M. Lieber
Coaxial silicon nanowires as solar cells and nanoelectronic power sources
Nature, Vol. 449, pp. 885–889, 2007
- [11] C. Gutsche, A. Lysov, D. Braam, I. Regolin, G. Keller, Z.-A. Li, M. Geller, M. Spasova, W. Prost, F.-J. Tegude
n-GaAs/InGaP/p-GaAs Core-Multishell Nanowire Diodes for Efficient Light-to-Current Conversion
Advanced Functional Materials, Vol. 22, pp. 929–936, 2012
- [12] M. Yao, N. Huang, S. Cong, C.-Y. Chi, M. A. Seyedi, Y.-T. Lin, Y. Cao, M. L. Povinelli, P. D. Dapkus, C. Zhou
GaAs Nanowire Array Solar Cells with Axial p-i-n Junctions
Nano Letters, Vol. 14, No. 6, pp. 3293–3303, 2014
- [13] E. Leobandung, J. Gu, L. Guo, S. Y. Chou
Wire-channel and wrap-around-gate metal-oxide-semiconductor field-effect transistors with a significant reduction of short channel effects
Journal of Vacuum Science & Technology B, Vol. 15, No. 6, pp. 2791-2794, 1997
- [14] N. Singh, A. Agarwal, L. K. Bera, T. Y. Liow, R. Yang, S. C. Rustagi, C. H. Tung, R. Kumar, G. Q. Lo, N. Balasubramanian, D.-L. Kwong
High-Performance Fully Depleted Silicon Nanowire (Diameter ≤ 5 nm) Gate-All-Around CMOS Devices
IEEE Electron Device Letters, Vol. 27, No. 5, pp. 383-386, 2006
- [15] S. Bangsaruntip, G. M. Cohen, A. Majumdar, J. W. Sleight
Universality of Short-Channel Effects in Undoped-Body Silicon Nanowire MOSFETs
IEEE Electron Device Letters, Vol. 31, No. 9, pp. 903-905, 2010
- [16] K. J. Kuhn
CMOS Transistor Scaling Past 32nm and Implications on Variation
Advanced Semiconductor Manufacturing Conference (ASMC), San Francisco, CA, USA, 2010

- [17] Y. Cui, Z. Zhong, D. Wang, W. U. Wang, C. M. Lieber
High Performance Silicon Nanowire Field Effect Transistors
Nano Letters, Vol. 3, No. 2, pp. 149-152, 2003
- [18] J. Goldberger, D. J. Sirbuly, M. Law, P. Yang
ZnO Nanowire Transistors
Journal of Physical Chemistry B, Vol. 109, No. 1, pp. 9–14, 2005
- [19] T. Bryllert, L.-E. Wernersson, L.E. Froberg, L. Samuelson
Vertical high-mobility wrap-gated InAs nanowire Transistor
IEEE Electron Device Letters, Vol. 27, pp. 323-325, 2005
- [20] S. A. Dayeh, D. P. R. Aplin, X. Zhou, P. K. L. Yu, E. T. Yu, D. Wang
High Electron Mobility InAs Nanowire Field-Effect Transistors
small, Vol. 3, No. 2, pp. 326-332, 2007
- [21] Q.-T. Do, K. Blekker, I. Regolin, W. Prost, F.J. Tegude
High Transconductance MISFET with a Single InAs Nanowire Channel
IEEE Electron Device Letters, Vol. 28, No. 8, pp. 682-684, 2007
- [22] A. W. Dey, C. Thelander, E. Lind, K. A. Dick, B. M. Borg, M. Borgström,
P. Nilsson, L.-E. Wernersson
High-performance InAs Nanowire MOSFETs
IEEE Electron Device Letters, Vol. 33, No. 6, pp. 791-793, 2012
- [23] H. Matsuzaki, T. Maruyama, T. Koasugi, H. Takahashi, M. Tokumitsu, T. Enoki
**Lateral Scale Down of InGaAs/InAs Composite-Channel HEMTs With
Tungsten-Based Tiered Ohmic Structure for 2-S/mm and 500-GHz f_T**
IEEE Transactions on Electron Devices, Vol. 54, No. 3, pp. 378-384, 2007
- [24] D.-H. Kim, J. del Alamo
30-nm InAs PHEMTs with $f_T = 644$ GHz and $f_{max} = 681$ GHz
IEEE Electron Device Letters, Vol. 31, No. 8, pp. 806–808, 2010
- [25] T.-W. Kim, R. J. W. Hill, C. D. Young, D. Veksler, L. Morassi, S. Oktybrshky,
J. Oh, C.Y. Kang, D.-H Kim, J. A. del Alamo, C. Hobbs, P. D. Kirsch, R. Jammy
InAs quantum-well MOSFET ($L_g = 100$ nm) with record high g_m , f_T and f_{max}
In Proceedings of Symposium on VLSI Technology (VLSIT), pp. 179–180, 2012
- [26] M. Noguchi, K. Hirakawa, T. Ikoma
**Intrinsic electron accumulation layers on reconstructed clean InAs(100)
surfaces**
Physical Review Letters, Vol. 66, No. 17, pp. 2243-2246, 1991

- [27] L. Ö. Olsson, C. B. M. Andersson, M. C. Hakansson, J. Kanski, L. Ilver, U. O. Karlsson
Charge Accumulation at InAs Surfaces
Physical Review Letters, Vol. 76, No. 19, pp. 3626-3629, 1996
- [28] K. Blekker
Kontaktierung und elektrische Charakterisierung von InAs Nanodrähten
Diplomarbeit, Universität Duisburg-Essen, 2006
- [29] J. M. Bethoux, H. Happy, G. Dambrine, V. Derycke, M. Goffman, J.P. Bourgoin
An 8-GHz ft carbon nanotube field-effect transistor for gigahertz range applications
Electron Device Letters, IEEE, Vol. 27, No. 8, pp. 681-683, 2006
- [30] J. Chaste, L. Lechner, P. Morfin, G. Fève, T.Kontos, J. M. Berroir, D. C. Glattli, H. Happy, P. Hakonen, B. Placais
Single Carbon Nanotube Transistor at GHz Frequency
Nano Letters, Vol. 8, No. 2, pp. 525-528, 2008
- [31] A. L. Louarn, F. Kapche, J.-M. Bethoux, H. Happy, G. Dambrine, V. Derycke, P. Chenevier, N. Izard, M. F. Goffman, J.-P. Bourgoin
Intrinsic current gain cutoff frequency of 30 GHz with carbon nanotube transistor
Applied Physics Letters, Vol. 90, No. 23, pp. 233108 1-3, 2007
- [32] L. Nougaret, H. Happy, G. Dambrine, V. Derycke, J. P. Bourgoin, A. A. Green, M. C. Hersam
80 GHz field-effect transistors produced using high purity semiconducting single-walled carbon nanotubes
Applied Physics Letters, Vol. 94, No. 24, pp. 243505 1-3, 2009
- [33] M. Liu, Z. Wu, W. M. Lau, J. Yang
Recent Advances in Directed Assembly of Nanowires or Nanotubes
Nano-Micro Letters, Vol. 4, No. 3, pp. 142-153, 2012
- [34] M. Egard, S. Johansson, A.-C. Johansson, K.-M. Persson, A. W. Dey, B. M. Borg, C. Thelander, L.-E. Wernersson, E. Lind
Vertical InAs Nanowires Wrap Gate Transistors with $f_t > 7$ GHz and $f_{max} > 20$ GHz
Nano Letters, Vol. 10, No. 3, pp. 809-812, 2010

- [35] S. Johansson, S. G. Ghalamestani, M. Egard, M. Borg, M. Berg, L.-E. Wernersson, E. Lind
High frequency vertical InAs nanowire MOSFETs integrated on Si substrates
Physica Status Solidi C, Vol. 9, No. 2, pp. 350–353, 2012
- [36] S. Johansson, E. Memisevic, L.-E. Wernersson, E. Lind
High-Frequency Gate-All-Around Vertical InAs Nanowire MOSFETs on Si Substrate
IEEE Electron Device Letters, Vol. 35, No. 5, pp. 518-520, 2014
- [37] K.-M. Persson, M. Berg, H. Sjöland, E. Lind, L.-E. Wernersson
InAs nanowire MOSFET differential active mixer on Si-substrate
Electronics Letters, Vol. 50, No. 9, pp. 682–683, 2014
- [38] R. Chau, S. Datta, A. Majumdar
Opportunities and challenges of III-V nanoelectronics for future high speed, low power logic applications
In Proceedings of 2005 IEEE Compound Semiconductor Integrated Circuit Symposium (CSIS) Technical Digest, pp. 17–20, 2005
- [39] S. G. Ghalamestani, S. Johansson, B. M. Borg, E. Lind, K. A. Dick, L.-E. Wernersson
Uniform and position-controlled InAs nanowires on 2" Si substrates for transistor applications
Nanotechnology, Vol. 23, No. 1, pp. 015302 1-7, 2011
- [40] P. A. Smith, C. D. Nordquist, T. N. Jackson, T. S. Mayer
Electric-field assisted assembly and alignment of metallic nanowires
Applied Physics Letters, Vol. 77, No. 9, pp. 1399–1401, 2000
- [41] X. F. Duan, Y. Huang, Y. Cui, J. F. Wang, C. M. Lieber
Indium phosphide nanowires as building blocks for nanoscale electronic and optoelectronic devices
Nature, Vol. 409, No. 6816, pp. 66–69, 2001
- [42] I. Regolin
Wachstum von Nanodrähten mittels der Metallorganischen Gasphasenepitaxie
Doktorarbeit, Universität Duisburg-Essen, 2010
- [43] R. S. Wagner, W. C. Ellis
Vapor-Liquid-Solid mechanism of single crystal growth
Applied Physics Letters, Vol. 4, No. 5, pp. 89-90, 1964

- [44] E. I. Givargizov
Fundamental Aspects of VLS Growth
Journal of Crystal Growth, Vol. 31, pp. 20-30, 1975
- [45] H. G. Scheibel, J. Porstendörfer
Generation of monodisperse Ag- and NaCl-aerosols with particle diameters between 2 and 300 nm
Journal of Aerosol Science, Vol. 14, No. 2, pp. 113-126, 1983
- [46] K. Deppert, F. Schmidt, T. Krinke, J. Dixkens, H. Fissan
Electrostatic precipitator for homogeneous deposition of ultrafine particles to create quantum-dot structures
Journal of Aerosol Science, Vol. 27, No. 1, pp. 151-152, 1996
- [47] S. M. Prokes, H. D. Park, O. J. Glembocki
Growth and Characterization of single crystal InAs nanowire arrays and their application to plasmonics
Proceedings of the SPIE, Vol. 6370, 2006
- [48] S. E. R. Hiscocks, W. Hume-Rothery
The Equilibrium Diagram of the System Gold-Indium
Proceedings of the Royal Society of London. Series A, Mathematical and Physical Sciences, Vol. 282, No. 1390, pp. 318-330, 1964
- [49] K. A. Dick, K. Deppert, T. Martensson, B. Mandl, L. Samuelson, W. Seifert
Failure of the Vapor-Liquid-Solid Mechanism in Au-Assisted MOVPE Growth of InAs Nanowires
Nano Letters, Vol. 5, No. 4, pp. 761-764, 2005
- [50] N. Chetty, R. M. Martin
GaAs (111) and (-1-1-1) surface and the GaAs/AlAs 111 heterojunction studied using a local energy density
Physical Review B, Vol. 45, No. 11, pp. 6089-6100, 1992
- [51] Z. Zhang, K. Zheng, Z.-Y. Lu, P.-P. Chen, W. Lu, J. Zou
Catalyst Orientation-Induced Growth of Defect-Free Zinc-Blende Structured $\langle 00\bar{1} \rangle$ InAs Nanowires
Nano Letters, Vol. 15, No. 2, pp. 876-882, 2015
- [52] H. Xu, Y. Wang, Y. Guo, Z. Liao, Q. Gao, H. H. Tan, C. Jagadish, J. Zou
Defect-Free $\langle 110 \rangle$ Zinc-Blende Structured InAs Nanowires Catalyzed by Palladium
Nano Letters, Vol. 12, No. 11, pp. 5744-5749, 2012

- [53] Z.-A. Li, C. Möller, V. Migunov, M. Spasova, M. Farle, A. Lysov, C. Gutsche, I. Regolin, W. Prost, F.-J. Tegude, P. Ercius
Planar-defect characteristics and cross-sections of <001>, <111>, and <112> InAs nanowires
Journal of Applied Physics, Vol. 109, No. 11, pp. 114320 1-6, 2011
- [54] J. Trägårdh, A. I. Persson, J. B. Wagner, D. Hessman, L. Samuelson
Measurements of the band gap of wurtzite InAs_{1-x}P_x nanowires using photocurrent spectroscopy
Journal of Applied Physics, Vol. 101, No. 12, pp. 123701 1-3, 2007
- [55] P. Caroff, K. Dick, J. Johansson, M. Messing, K. Deppert, L. Samuelson
Controlled polytypic and twin-plane superlattices in III–V nanowires
Nature Nanotechnology, Vol. 4, No. 1, pp. 50-55, 2008
- [56] Y. Huang, X. Duan, Q. Wie, C. M. Lieber
Directed assembly of one dimensional nanostructures into functional networks
Science, Vol. 291, No. 5504, pp. 630–633, 2001
- [57] X. Duan, C. Niu, V. Sahi, J. Chen, J. W. Parce, S. Empedocles, J. L. Goldman
High-performance thin-film transistors using semiconductor nanowires and nanoribbons
Nature, Vol. 425, No. 6955, pp. 274-278, 2003
- [58] A. Tao, F. Kim, C. Hess, J. Goldberger, R. He, Y. Sun, Y. Xia, P. Yang
Langmuir–Blodgett Silver Nanowire Monolayers for Molecular Sensing Using Surface-Enhanced Raman Spectroscopy
Nano Letters, Vol. 3, No. 9, pp. 1229-1233, 2003
- [59] D. Wang, H. Dai
Germanium nanowires: from synthesis, surface chemistry, and assembly to devices
Applied Physics A, Vol. 85, No. 3, pp. 217-225, 2006
- [60] H. C. Hamaker
The London–Van Der Waals attraction between spherical particles
Physica, Vol. 4, No. 10, pp. 1058-1072, 1937
- [61] H. A. Pohl
The Motion and Precipitation of Suspensoids in Divergent Electric Fields
Journal of Applied Physics, Vol. 22, No. 7, pp. 869-871, 1951

- [62] T. B. Jones
Electromechanics of Particles
Cambridge University Press: New York, NY, 1995
- [63] R. Pethig, G. H. Markx
Applications of dielectrophoresis in biotechnology
Trends in Biotechnology, Vol. 15, No. 10, pp. 426-432, 1997
- [64] J. W. Choi, A. Pu, D. Psaltis
Optical detection of asymmetric bacteria utilizing electro orientation
Optics Express, Vol. 14, No. 21, pp. 9780–9785, 2006
- [65] J. Venermo, A. Sihvola
Dielectric polarizability of circular cylinder
Journal of Electrostatics, Vol. 63, No. 2, pp. 101–117, 2005
- [66] M. Motayed, M. He, A. V. Davydov, J. Melngailis, S. N. Mohammad
Simple model for dielectrophoretic alignment of gallium nitride nanowires
Journal of Vacuum Science and Technology B, Vol. 25, No. 1, pp. 120–123, 2007
- [67] F. X. Hassion, R. H. Cole
Dielectric Properties of Liquid Ethanol and 2-Propanol
The Journal of Chemical Physics, Vol. 23, No. 10, pp. 1756-1761, 1955
- [68] S. Raychaudhuri, S. A. Dayeh, D. Wang, E. T. Yu
Precise Semiconductor Nanowire Placement Through Dielectrophoresis
Nano Letters, Vol. 9, No. 6, pp. 2260-2266, 2009
- [69] Q.-T. Do
Ein Beitrag zur Entwicklung des Ω -Gate InAs Nanodraht-Transistors
Doktorarbeit, Universität Duisburg-Essen, 2009
- [70] D. S. Lee, D. W. Kim, H. S. Kim, S.W. Lee, S. H. Jhang, Y. W. Park, E. E. B. Campbell
Extraction of semiconducting CNTs by repeated dielectrophoretic filtering
Applied Physics A: Materials Science & Processing, Vol. 80, No. 1, pp. 5-8, 2005
- [71] W. Dannhauser, L. W. Bahe
Dielectric Constant of Hydrogen Bonded Liquids. III. Superheated Alcohols
The Journal of Chemical Physics, Vol. 40, No. 10, pp. 3058-3066, 1964

- [72] M. A. Alzamil
Study of Static Dielectric Constant of n-Type InAs
Research Journal of Applied Sciences, Engineering and Technology, Vol. 5, No. 2,
pp. 481-484, 2013
- [73] K. Maex, M. R. Baklanov, D. Shamiryman, F. Iacopi, S. H. Brongersma,
Z. S. Yanovitskaya
Low dielectric constant materials for microelectronics
Journal of Applied Physics, Vol. 93, No. 11, pp. 8793-8841, 2003
- [74] A. Einstein
**Über die von der molekularkinetischen Theorie der Wärme geforderte
Bewegung von in ruhenden Flüssigkeiten suspendierten Teilchen**
Annalen der Physik, Vol. 17, pp. 549-560, 1905
- [75] S. Ota, T. Li, Y. Li, Z. Ye, A. Labno, X. Yin, M.-R. Alam, X. Zhang
Brownian motion of tethered nanowires
Physical Review E, Vol. 89, No. 5, pp. 053010 1-10, 2014
- [76] I. Ruge, H. Mader
Halbleiter-Technologie
Springer-Verlag, Berlin/Heidelberg, ISBN 978-3-540-53873-8, 1991
- [77] W. Prost
Technologie der III/V-Halbleiter
Springer-Verlag, Berlin/Heidelberg, ISBN 3-540-62804-5, 1997
- [78] J. S. Greeneich
Developer characteristics of Poly-(Methyl Methacrylate) electron resist
Journal of The Electrochemical Society, Vol. 122, No. 7, pp. 970-976, 1975
- [79] W. M. Moreau
Semiconductor Lithography: Principles, Practices, and Materials
Plenum Press, New York & London, 1987
- [80] E. Hecht
Optik
Verlag Oldenbourg, München, 4. Auflage, ISBN 3-486-27359-0, 2005
- [81] D. P. Sanders
Advances in Patterning Materials for 193 nm Immersion Lithography
Chemical Reviews, Vol. 110, No. 1, pp. 321-360, 2010

- [82] A. N. Broers, A. C. F. Hoole, J. M. Ryan
Electron beam lithography – Resolution limits
Microelectronic Engineering, Vol. 32, No. 1-4, pp. 131–142, 1996
- [83] R. M. Ziff, E. D. McGrady
The kinetics of cluster fragmentation and depolymerisation
Journal of Physics A, Vol. 18, No. 15, pp. 3027-3037, 1985
- [84] A. Licciardello, M. E. Fragala, G. Foti, G. Compagnini, O. Puglisi
Ion beam effects on the surface and on the bulk of thin films of polymethylmethacrylate
Nuclear Instruments & Methods in Physics Research, Section B, Vol. 116, No. 1-4, pp. 168-172, 1996
- [85] W. Daumann
InP-Kurzkanal-Heterostruktur-Feldeffekttransistoren mit elektronenstrahldefinierten Gate-Kontakten
Doktorarbeit, Universität Duisburg, 2000
- [86] L. R. Harriott
Scattering with angular limitation projection electron beam lithography for suboptical lithography
Journal of Vacuum Science & Technology B, Vol. 15, No. 6, pp. 2130-2135, 1997
- [87] U. Hilleringmann
Silizium-Halbleitertechnologie
Vieweg + Teubner, ISBN 9783519301493, 2004
- [88] Firma Raith GmbH
Bedienungshandbuch ElphyPLUS
Produktinformationen, 1994
- [89] E. Unger
Die Erzeugung dünner Schichten. Das PECVD-Verfahren: Gasphasenabscheidung in einem Plasma
Chemie in unserer Zeit, Vol. 25, No. 3, pp. 148–158, 1991
- [90] A. Wiersch, C. Heedt, S. Schneiders, R. Tilders, F. Buchali, W. Kuebart, W. Prost, F.-J. Tegude.
Room-temperature deposition of SiN_x using ECR-PECVD for III/V semiconductor microelectronics in lift-off technique
Journal of Non-Crystalline Solids, Vol. 187, pp. 334-339, 1995

- [91] S. Matsuo
Microwave Electron Cyclotron Resonance Plasma Chemical Vapour Deposition
Chapter 5, Handbook of Thin-Film Deposition Processes and Techniques, K. K. Schuegraf, Noyes Publications Park Ridge, New Jersey, 1998
- [92] S. Matsuo, M. Kiuchi
Low Temperature Chemical Vapor Deposition Method Utilizing an Electron Cyclotron Resonance Plasma
Japanese Journal of Applied Physics, Vol. 22, No. 4, pp. 210-212, 1983
- [93] G. Gräff, E. Klempt
Messung der Zyklotronfrequenz freier Elektronen im Vierpolkäfig
Zeitschrift Naturforschung, Vol. 22, No. 12, pp. 1960-1962, 1967
- [94] A. Sherman
Chemical vapor deposition for microelectronics
Noyes Publications, New Jersey, 1987
- [95] E. Habann
Eine neue Generatorröhre
Zeitschrift für Hochfrequenztechnik, Vol. 24, pp. 115-120 und 135-141, 1924
- [96] S. Schneiders
Zum Einfluss der Abscheideparameter auf die dielektrischen Eigenschaften von ECR-PECVD Siliziumnitrid
Technischer Bericht, Gerhardt-Mercator-Universität Duisburg, 1994
- [97] E. Halpern, G. Elias, A. V. Kretinin, H. Shtrikman, Y. Rosenwaks
Direct measurements of surface states density and energy distribution in individual InAs nanowires
Applied Physics Letters, Vol. 100, No. 26, pp. 262105 1-4, 2012
- [98] B. Popescu, D. Popescu, P. Lugli
Modeling and High-Frequency Simulation of InAs Nanowires
IEEE Transactions on Nanotechnology, Vol. 13, No. 4, pp. 850-856, 2014
- [99] R. R. Troutman
VLSI Limitations from Drain-Induced Barrier Lowering
IEEE Journal of Solid-State circuits, Vol. 14, No. 2, pp. 461-469, 1979
- [100] N. Arora
MOSFET Modeling for VLSI Simulation Theory and Practice
World Scientific. ISBN 981-256-862-X, 2007

- [101] D. M. Caughey, R. E. Thomas
Carrier Mobilities in Silicon Empirically Related to Doping and Field
Proceedings of the IEEE, Vol. 55, No. 12, pp. 2192-2193, 1967
- [102] S. O. Koswatta, M. S. Lundstrom, D. E. Nikonov
Band-to-band tunneling in a carbon nanotube metal-oxide-semiconductor field-effect transistor is dominated by phonon assisted tunneling
Nano Letters, Vol. 7, No. 5, pp. 1160-1164, 2007
- [103] F.-J. Tegude
Elektronische Bauelemente
Vorlesungsskript, Universität Duisburg-Essen, 2010
- [104] D. Hisamoto, T. Kaga, Y. Kawamoto, E. Takeda
A fully depleted lean-channel transistor (DELTA) - a novel vertical ultra thin SOI MOSFET
Electron Devices Meeting IEDM, Washington, DC, USA, 1989
- [105] L. Niinistö, J. Päiväsaari, J. Niinistö, M. Putkonen, M. Nieminen
Advanced electronic and optoelectronic materials by Atomic Layer Deposition: An overview with special emphasis on recent progress in processing of high-k dielectrics and other oxide materials
Physica status solidi, Vol. 210, No. 7, pp. 1443 – 1452, 2004
- [106] R. C. Smith, T. Ma, N. Hoilien, L. Y. Tsung, M. J. Bevan, L. Colombo, J. Roberts, S. A. Campbell, W. L. Gladfelter
Chemical Vapour Deposition of the Oxides of Titanium, Zirconium and Hafnium for Use as High-k Materials in Microelectronic Devices. A Carbon-free Precursor for the Synthesis of Hafnium Dioxide
Advanced Materials for Optics and Electronics, Vol. 10, No. 3-5, pp. 105-114, 2000
- [107] E. Lind, A. I. Persson, L. Samuelson, L.-E. Wernersson
Improved Subthreshold Slope in an InAs Nanowire Heterostructure Field-Effect Transistor
Nano Letters, Vol. 6, No. 9, pp. 1842, 2006
- [108] J. R. Brews
Subthreshold Behavior of Uniformly and Nonuniformly Doped Long-Channel MOSFET
IEEE Transactions on Electron Devices, Vol. ED-26, No. 9, pp. 1282-1291, 1979

- [109] M. S. Gupta
Power Gain in Feedback Amplifiers, a Classic Revisited
IEEE Transactions on Microwave Theory and Techniques, Vol. 40, No. 5, pp. 864-879, 1992
- [110] A. Matiss.
Entwurf und Realisierung neuartiger Schaltungskonzepte mit Resonanztunneldioden
Doktorarbeit, Universität Duisburg-Essen, 2007
- [111] W. J. Dally, J. W. Poulton
Digital Systems Engineering
Cambridge University Press, 1998
- [112] U. Tietze, C. Schenk, E. Gamm
Halbleiter-Schaltungstechnik
Springer Verlag, ISBN 978-3-642-31025-6, 2012
- [113] R. Richter
Integration von Nanodraht-Transistoren in mikroelektronische Schaltungen
Master-Thesis, Universität Duisburg-Essen, 2010
- [114] J. M. Davis, J. C. Giddings.
Feasibility study of dielectrical field-flow fractionation
Separation Science and Technology, Vol. 21, No. 9, pp. 969-989, 1986
- [115] E. M. Freer, O. Grachev, X. Duan, S. Martin, D. P. Stumbo
High-yield self-limiting single-nanowire assembly with dielectrophoresis
Nature Nanotechnology, Vol. 5, No. 7, pp. 525-530, 2010
- [116] S. Sasaki, K. Tateno, G. Zhang, H. Suominen, Y. Harada, S. Saito, A. Fujiwara, T. Sogawa, K. Muraki
Encapsulated gate-all-around InAs nanowire field-effect transistors
Applied Physics Letters, Vol. 103, No. 21, pp. 213502 1-5, 2013
- [117] K. Blekker, I. Regolin, W. Prost, F.-J. Tegude
Gate Length Scaling of InAs Nanowire Field-Effect-Transistors
Poster, Nanoelectronic Days (ND), Aachen, Germany, Mai 2008
- [118] K. Blekker, B. Münstermann, A. Matiss, Q.-T. Do, I. Regolin, W. Prost, F.-J. Tegude
High Frequency Measurements on InAs Nanowire Field-Effect Transistors Using Coplanar Waveguide Contacts
IEEE Transactions on Nanotechnology, Vol. 9, No. 4, pp. 432–437, 2010

- [119] J. Wang, M. Lundstrom.
Ballistic Transport in High Electron Mobility Transistors
IEEE Transactions on Electron Devices, Vol. 50, No. 7, pp. 1604-1609, 2003
- [120] H. Cho, K. P. Lee, B. P. Gila, C. R. Abernathy, S. J. Pearton, F. Ren
Temperature dependence of MgO/GaN MOSFET performance
Solid-State Electronics, Vol. 47, No. 9, pp. 1601-1604, 2003
- [121] M. J. L. Sourribes, I. Isakov, M. Panfilova, P. A. Warburton
Minimization of the contact resistance between InAs nanowires and metallic contacts
Nanotechnology, Vol. 24, No. 4, pp. 045703 1-6, 2013
- [122] G. Satyanadh, R. P. Joshi, N. Abedin, U. Singh
Monte Carlo calculation of electron drift characteristics and avalanche noise in bulk InAs
Journal of Applied Physics, Vol. 91, No. 3, pp. 1331-1338, 2002
- [123] H. Arabshahi, M. R. Khalvati, M. Rezaee Rokn-Abadi
Temperature and Doping Dependencies of Electron Mobility in InAs, AlAs and AlGaAs at High Electric Field Application
Brazilian Journal of Physics, Vol. 38, No. 3A, pp. 293-296, 2008
- [124] D. Faber
Ohmsche Kontakte zu InAs und GaAs Nanodrähten
Studienarbeit, Universität Duisburg-Essen, 2006
- [125] J. J. Gu, X. Wang, H. Wu, R. G. Gordon, P. D. Ye
Variability Improvement by Interface Passivation and EOT Scaling of InGaAs Nanowire MOSFETs
IEEE Electron Device Letters, Vol. 34, No. 5, pp. 608-610, 2013
- [126] T. Tanaka, K. Tomioka, S. Hara, J. Motohisa, E. Sano, T. Fukui
Vertical Surrounding Gate Transistors Using Single InAs Nanowires Grown on Si Substrates
Applied Physics Express, Vol. 3, No. 2, pp. 025003 1-3, 2010
- [127] C. Thelander, L. E. Froberg, C. Rehnstedt, L. Samuelson, L.-E. Wernersson
Vertical Enhancement-Mode InAs Nanowire Field-Effect Transistor With 50 nm Wrap Gate
IEEE Electron Device Letters, Vol. 29, No. 3, pp. 206–208, 2008

- [128] R. Gandhi, Z. Chen, N. Singh, K. Banerjee, S. Lee
Vertical Si-Nanowire n-Type Tunneling FETs With Low Subthreshold Swing (≤ 50 mV/decade) at Room Temperature
IEEE Electron Device Letters, Vol. 32, No. 4, pp. 437–439, 2011
- [129] K. Yoh, Z. Cui, K. Konishi, M. Ohno, K. Blekker, W. Prost, F.-J. Tegude, J.-C. Harmand
An InAs Nanowire Spin Transistor with Subthreshold Slope of 20mV/dec
Proceedings of Device Research Conference (DRC), pp. 79-80, 2012
- [130] V. J. Kapoor, S. N. B. Bibyk
The Physics of MOS Insulators
Pergamon, Oxford, UK, 1980
- [131] Y. Kamigaki, S. Minami, H. Kato
A new portrayal of electron and hole traps in amorphous silicon nitride
Journal of Applied Physics, Vol. 68, No. 5, pp. 2211-2215, 1990
- [132] T. Waho, W. Prost
Nanowire/CMOS Heterogeneous Integration for Next-Generation Communication Systems
JST-DFG Workshop on Nanoelectronics, Bad Honnef, Germany, 2010
- [133] K. Blekker, Q. T. Do, A. Matiss, W. Prost, F.-J. Tegude
High Frequency Characterisation of Single InAs Nanowire Field-Effect Transistor
Proceedings of International Conference on InP and Related Materials (IPRM), Versailles, France, 2008
- [134] B. Li
Layout und Technologie von koplanaren Kontakten für Nanodraht-Feldeffekttransistoren
Bachelorarbeit, Universität Duisburg-Essen, 2008
- [135] J.M.-H. Cho, G.-W. Huang, C.-S. Chiu, K.-M. Chen, A.-S. Peng, Y.-M. Teng
A Cascade Open-Short-Thru (COST) De-Embedding Method for Microwave On-Wafer Characterization and Automatic Measurement
IEICE Transactions on Electronics, Vol. E88-C, No. 5, pp. 845-850, 2005
- [136] P. J. Burke
AC performance of nanoelectronics: Towards a ballistic THz nanotube transistor
Solid State Electronics, Vol. 48, No. 10, pp. 1981–1986, 2004

- [137] D. Wang, Z. Yu, S. McKernan, P. J. Burke
Ultrahigh Frequency Carbon Nanotube Transistor Based on a Single Nanotube
IEEE Transactions on Nanotechnology, Vol. 6, No. 4, pp. 400-403, 2007
- [138] J. Chaste, L. Lechner, P. Morfin, G. Fe`ve, T. Kontos, J.-M. Berroir, D. C. Glattli,
H. Happy, P. Hakonen, B. Placais
Single Carbon Nanotube Transistor at GHz Frequency
Nano Letters, Vol. 8, No. 2, pp. 525-528, 2008
- [139] T. Takahashi, K. Takei, E. Adabi, Z. Fan, A. M. Niknejad, A. Javey
**Parallel Array InAs Nanowire Transistors for Mechanically Bendable,
Ultrahigh Frequency Electronics**
ACS Nano, Vol. 4, No. 10, pp. 5855-5860, 2010
- [140] A. W. Dey, J. Svensson, B. M. Borg, M. Ek, L.-E. Wernersson
Single InAs/GaSb Nanowire Low-Power CMOS Inverter
Nano Letters, Vol. 12, No. 11, pp. 5593-5597, 2012
- [141] N. H. Van, J.-H. Lee, J. I. Sohn, S. N. Cha, D. Whang, J. M. Kim, D. J. Kang
**High performance Si nanowire field-effect-transistors based on a CMOS
inverter with tunable threshold voltage**
Nanoscale, Vol. 6, No. 10, pp. 5479-5483. 2014
- [142] K. D. Buddharaju, N. Singh, S. C. Rustagi, S. H. G. Teo, G. Q. Lo,
N. Balasubramanian, D. L. Kwong
**Si-nanowire CMOS inverter logic fabricated using gate-all-around (GAA)
devices and top-down approach**
Solid-State Electronics, Vol. 52, No. 9, pp. 1312-1317, 2008
- [143] D. Kaelblein, H. J. Boettcher, R. T. Weitz, U. Zschieschang, K. Kern, H. Klauk
**Integrated Circuits using Top-Gate ZnO Nanowire Transistors with Ultrathin
Organic Gate Dielectric**
In Proceedings of the IEEE International Electron Device Meeting (IEDM),
Baltimore, MD, USA, pp. 939-942, 2009
- [144] H. Ryu, D. Kaelblein, R. T. Weitz, F. Ante, U. Zschieschang, K. Kern, O. G.
Schmidt, H. Klauk
**Logic circuits based on individual semiconducting and metallic carbon-
nanotube devices**
Nanotechnology, Vol. 21, No. 47, pp. 475207 1-5, 2010

- [145] S. C. Rustagi, N. Singh, W. W. Fang, K. D. Buddharaju, S. R. Omampuliyur, S. G. H. Teo, C. H. Tung, G. Q. Lo, N. Balasubramanian, D. L. Kwong
CMOS Inverter Based on Gate-All-Around Silicon-Nanowire MOSFETs Fabricated Using Top-Down Approach
IEEE Electron Device Letters, Vol. 28, No. 11, pp. 1021-1024, 2007
- [146] A. M. Küsters, A. Kohl, R. Müller, V. Sommer, K. Heime
Double-Heterojunction Lattice-Matched and Pseudomorphic InGaAs HEMT with δ -Doped InP Supply Layers and p-InP Barrier Enhancement Layer Grown by LP-MOVPE
IEEE Electron Device Letters, Vol. 14, No. 1, pp. 36-39, 1993
- [147] H. Zhou, D. L. Pulfrey
A new method for estimating the electron concentration in the 2-dimensional electron gas in MODFETs
Solid-State Electronics, Vol. 35, No. 12, pp. 1779-1782, 1992
- [148] H. L. Strömer
Electron mobilities in modulation-doped GaAs-AlGaAs heterostructures
Surface Science, Vol. 132, No. 1-3, pp. 519- 526, 1983
- [149] K. Michimata, H. Kotani, T. Watanabe, H. Funayama, S. Murakami, K. Shimomura, T. Waho
Heterogeneous Integration of an InAs Nanowire with Energy-Efficient CMOS Delta-Sigma Modulator
Proceedings IEEE Sensors, Baltimore, MD, USA, 2013

7.2 Veröffentlichungen im Rahmen dieser Arbeit

K. Blekker, I. Regolin, W. Prost, F.-J. Tegude

Gate Length Scaling of InAs Nanowire Field-Effect-Transistors

Nanoelectronic Days 2008 (ND), Aachen, Germany, 2008

K. Blekker, Q. T. Do, A. Matiss, W. Prost, F.-J. Tegude

High Frequency Characterisation of Single InAs Nanowire Field-Effect Transistor

Proceedings of International Conference on InP and Related Materials (IPRM), Versailles, France, 2008

K. Blekker, A. Matiss, B. Münstermann, B. Li, I. Regolin, Q.T. Do, F.-J. Tegude

Coplanar Contact Pattern for single InAs Nanowire FET

66th Annual Device Research Conference (DRC), Santa Barbara, CA, USA, 2008

K. Blekker, B. Münstermann, I. Regolin, A. Lysov, W. Prost, F.-J. Tegude

InAs Nanowire Transistors with GHz Capability Fabricated Using Electric Field Assisted Self-Assembly

Topical Workshop on Heterostructure Microelectronics, Nagano, Japan, 2009

K. Blekker

InAs nanowire MISFET: fabrication and characterization

Seminar on Nanowire/CMOS Heterogeneous Integration for Next-Generation Communication Systems, Sophia University, Tokyo, Japan, 2009

K. Blekker, B. Münstermann, A. Matiss, Q.-T. Do, I. Regolin, W. Prost, F.-J. Tegude

High Frequency Measurements on InAs Nanowire Field-Effect Transistors Using Coplanar Waveguide Contacts

IEEE Transactions on Nanotechnology, Vol. 9, No. 4, pp. 432–437, 2010

K. Blekker, R. Richter, R. Oda, S. Taniyama, O. Benner, G. Keller, B. Münstermann, A. Lysov, I. Regolin, T. Waho, W. Prost

InAs Nanowire Circuits Fabricated by Field-Assisted Self-Assembly on a Host Substrate

IEICE Transactions on Electronics, Vol. E95-C, No. 8, pp.1369-1375, 2012

Danksagung

Die vorliegende Arbeit entstand während meiner Tätigkeit als wissenschaftlicher Mitarbeiter am Fachgebiet Halbleitertechnik/Halbleitertechnologie der Universität Duisburg-Essen.

Herr Prof. Dr. rer. nat. F.-J. Tegude ermöglichte mir als Fachgebietsleiter die Anfertigung dieser Arbeit. Ich danke ihm für die interessante Aufgabenstellung, die hervorragenden Arbeitsbedingungen und die Betreuung sowie Förderung dieser Arbeit.

Herrn Prof. Dr. rer. nat. R. Schmechel, dem Leiter des Fachgebietes Nanostrukturtechnik der Universität Duisburg-Essen, gilt mein Dank für die Übernahme des Korreferates.

Bei Herrn Dr.-Ing. W. Prost möchte ich mich ebenfalls für seine betreuende Unterstützung und auch für die sorgfältige Korrektur dieser Arbeit bedanken. Seine zahlreichen Ideen und Anregungen haben einen großen Anteil zum Gelingen dieser Arbeit beigetragen.

Herrn Dr.-Ing. I. Regolin und Herrn Dipl.-Ing. R. Geitmann danke ich für das epitaktische Wachstum der Nanodrähte als wesentliche Voraussetzung für diese Arbeit.

Bei Herrn Dr.-Ing. B. Münstermann und Dipl.-Ing. G. Keller bedanke ich mich für die Hilfe bei der Durchführung der Hochfrequenz- und Zeitbereichsmessungen.

Auch den übrigen Mitgliedern der Arbeitsgruppe bin ich dankbar für ihre Unterstützung, ihre Hilfsbereitschaft und für die gute Stimmung am Fachgebiet.

Herrn Dipl.-Ing. O. Benner, M. Sc. R. Richter und allen weiteren ehemaligen Studenten, die durch ihre Studien-, Bachelor, Diplom- und Masterarbeiten einen fruchtbaren Beitrag zu dieser Arbeit geleistet haben, gilt ebenfalls mein Dank.

Der Deutschen Forschungsgemeinschaft (DFG) und der Japanese Science and Technology Agency (JST) danke ich für die Unterstützung der vorliegenden Arbeit im Rahmen des Verbundprojektes „Nanowire/CMOS Heterogeneous Integration for Next-Generation Communication Systems“.