

**Temperaturstabile Dünnschichtwiderstände aus Ti/TiN und Ti/NiCr mit  
niedrigem Temperaturkoeffizienten und ihre Integration in einen  
Standard-CMOS-Prozess**

Von der Fakultät für Ingenieurwissenschaften

der Universität Duisburg-Essen

zur Erlangung des akademischen Grades eines

Doktor-Ingenieurs

genehmigte Dissertation

von

Dirk Nachrodt

aus Kempen (Krefeld-Hüls)

Referent: Prof. Dr.-Ing. Holger Vogt

Korreferent: Prof. Dr. rer. nat. Franz-Josef Tegude

Tag der mündlichen Prüfung: 06.06.2008

# Vorwort

Die vorliegende Arbeit entstand im Rahmen meiner Tätigkeit als wissenschaftlicher Mitarbeiter am Fachgebiet Elektronische Bauelemente und Schaltungen (EBS) der Fakultät für Ingenieurwissenschaften an der Universität Duisburg-Essen, Campus Duisburg. Der experimentelle Teil der Arbeit wurde überwiegend im Fraunhofer-Institut Mikroelektronische Schaltungen und Systeme (IMS) Duisburg durchgeführt.

Zunächst möchte ich Herrn Prof. Dr. A. Grabmaier (beziehungsweise seinem Vorgänger im Amt, Herrn Prof. Dr. G. Zimmer) danken, der mir als Leiter des Fachgebietes und des Fraunhofer-IMS die erfolgreiche Durchführung dieser Arbeit ermöglicht hat.

Mein besonderer Dank gilt Herrn Prof. Dr. H. Vogt für die wissenschaftliche Betreuung dieser Arbeit.

Herrn Prof. Dr. F.-J. Tegude danke ich für die Übernahme des Korreferats.

Desweiteren möchte ich den Mitarbeitern des Fachgebietes EBS und des Fraunhofer-IMS für die freundliche und kollegiale Zusammenarbeit danken. Allen Mitarbeitern der Abteilung TFE, insbesondere auch Herrn Dr. U. Paschen, sowie den Mitarbeitern von FEDU danke ich für die zahlreichen konstruktiven Diskussionen und Hilfestellungen bei der Planung, Durchführung, Messung und Auswertung meiner Versuche. Ohne sie wäre diese Arbeit nicht möglich gewesen.

Herrn Quoc-Thai Do gilt mein Dank für die Untersuchung verschiedener Proben mittels Rasterkraftmikroskops am Fachgebiet Halbleitertechnik/Halbleitertechnologie von Herrn Prof. Dr. Tegude.

Ferner danke ich Herrn M. Tambe, der im Rahmen seiner Master-Arbeit mit der Messung und Auswertung von Matching-Strukturen ebenfalls zum Gelingen dieser Arbeit beigetragen hat.

Schließlich möchte ich auch meinen Eltern, Gisela und Otmar Nachrodt, danken, die mich zur Aufnahme meines Studiums ermutigt und stets unterstützt haben.

Duisburg, im Juni 2008

Dirk Nachrodt

# Inhaltsverzeichnis

<b>1</b>	<b>Einleitung</b>	<b>1</b>
<b>2</b>	<b>Widerstände in integrierten Schaltungen</b>	<b>4</b>
2.1	Kenngößen und Anforderungen . . . . .	4
2.2	Standardwiderstände in CMOS-Prozessen . . . . .	7
2.2.1	Implantierte Widerstände . . . . .	7
2.2.2	Polysiliziumwiderstände . . . . .	8
2.3	Dünnschichtwiderstände . . . . .	9
2.3.1	Nickel-Chrom . . . . .	10
2.3.2	Tantalnitrid . . . . .	12
2.3.3	Cermets, Silizium-Chrom . . . . .	12
2.3.4	Titannitrid . . . . .	12
2.4	Motivation und Zielsetzung . . . . .	13
<b>3</b>	<b>Elektrischer Widerstand metallischer Dünnschichten</b>	<b>16</b>
3.1	Elektrischer Widerstand von Metallen . . . . .	16
3.2	Besonderheiten dünner Metallfilme im Vergleich zu Bulkmetall . . . . .	22
3.2.1	Herstellungsbedingte Besonderheiten . . . . .	22
3.2.2	Streuung an Filmoberflächen (Fuchs-Sondheimer-Modell) . . . . .	26
3.2.3	Streuung an Korngrenzen in Dünnschichten (Mayadas-Shatzkes-Modell) . . . . .	27
<b>4</b>	<b>Matching und Tracking integrierter Widerstände</b>	<b>32</b>
4.1	Grundbegriffe . . . . .	32
4.1.1	Matching und Mismatch . . . . .	32
4.1.2	Tracking . . . . .	34
4.2	Ursachen für Mismatch . . . . .	35
4.2.1	Zufälliges Mismatch . . . . .	35
4.2.2	Systematisches Mismatch . . . . .	36
4.3	Matchinggerechtes Layout . . . . .	39
4.3.1	Regeln zur Minimierung von Mismatch . . . . .	39
4.3.2	Übliche Matchingstrukturen . . . . .	40
<b>5</b>	<b>Herstellung und Integration der Dünnschichtwiderstände</b>	<b>43</b>
5.1	Filmabscheidung . . . . .	43
5.1.1	Metallabscheidung durch Sputtern . . . . .	43

---

5.1.2	Ti/TiN-Sputtern . . . . .	45
5.1.3	Ti/NiCr-Sputtern . . . . .	47
5.2	Strukturierung der Widerstände . . . . .	49
5.2.1	Prozessschritte zur Dünnschichtstrukturierung . . . . .	49
5.2.2	Trockenätzen Ti/TiN . . . . .	51
5.2.3	Nassätzen Ti/NiCr . . . . .	53
5.3	Ofentemperungen . . . . .	54
5.4	CMOS-Integration . . . . .	55
5.4.1	Generelle Aspekte der Prozessintegration . . . . .	55
5.4.2	Untersuchte Integrationsvarianten . . . . .	57
5.5	Prozessierung der Proben . . . . .	59
5.5.1	Prozessablauf zur Herstellung der Ti/TiN-Proben . . . . .	59
5.5.2	Prozessablauf zur Herstellung der Ti/NiCr-Proben . . . . .	62
<b>6</b>	<b>Ti/TiN-Dünnschichtwiderstand</b>	<b>64</b>
6.1	Ti/TiN-Barriere in CMOS als einfacher Widerstand . . . . .	64
6.2	Modellierung des spezifischen Widerstandes dünner Ti/TiN-Filme . . . . .	66
6.3	Untersuchungen an Ti/TiN-Dünnschichten . . . . .	70
6.3.1	Variation der Sputterparameter . . . . .	71
6.3.2	Einfluss von Temperungen und Schichtdickenreduzierung auf elektrische Größen und Stabilität . . . . .	74
6.3.3	Thermische Langzeitstabilität . . . . .	77
6.3.4	Stabilität gegenüber elektrischem Stress . . . . .	78
6.3.5	Aspekte der Prozessintegration . . . . .	79
6.4	Zusammenfassung und Diskussion der Ergebnisse . . . . .	83
<b>7</b>	<b>Ti/NiCr-Dünnschichtwiderstand</b>	<b>86</b>
7.1	Entwicklung des Ti/NiCr-Dünnschichtwiderstandes . . . . .	86
7.1.1	NiCr-Schichtdicke . . . . .	86
7.1.2	Optimierung der Titanschichtdicke und Temperatur . . . . .	87
7.1.3	Stabilität gegenüber hohen Temperaturen und Feuchtigkeit . . . . .	90
7.1.4	Stabilität gegenüber elektrischem Stress . . . . .	91
7.1.5	Widerstand und TCR bei tiefen Temperaturen . . . . .	92
7.2	Prozessintegration . . . . .	95
7.3	Untersuchungen und Diskussion der physikalischen Ursachen der beobachteten elektrischen Eigenschaften . . . . .	99
7.4	Zusammenfassung und Diskussion der Ergebnisse . . . . .	105
<b>8</b>	<b>Untersuchungen zu Matching und Tracking</b>	<b>108</b>
8.1	Einfluss der Widerstandsbreite auf das Mismatch . . . . .	109
8.2	Einfluss des Abstandes auf das Mismatch . . . . .	109
8.3	Mismatch und Tracking untersuchter Dünnschichtwiderstände . . . . .	112
8.4	Zusammenfassung und Diskussion der Ergebnisse . . . . .	113

---

<b>9 Zusammenfassung und Ausblick</b>	<b>115</b>
9.1 Zusammenfassung . . . . .	115
9.2 Ausblick . . . . .	117
<b>Literaturverzeichnis</b>	<b>119</b>
<b>A Messaufbau und Fehlerbetrachtung</b>	<b>124</b>

# Kapitel 1

## Einleitung

Mit der steten Verkleinerung mikroelektronischer Strukturen ist es in der Vergangenheit gelungen, den Integrationsgrad von Schaltungen deutlich zu erhöhen. In den letzten Jahren gibt es zunehmend den Trend, ganze Systeme - bestehend aus Digital- und Analogkomponenten sowie gegebenenfalls Sensorik - auf einem Chip zu integrieren. Die Automobilelektronik gehört zu den Bereichen, in denen diese Entwicklung besonders ausgeprägt ist. Schaltungen, die etwa im Motorraum zum Einsatz kommen, müssen unter harschen Umweltbedingungen, beispielsweise bei hohen Temperaturen, zuverlässig funktionieren. Eine wichtige Voraussetzung für solche "Systems-on-Chip" sind hochwertige passive CMOS-kompatible Bauelemente.

Insbesondere die Realisierung präziser und stabiler Widerstände ist in CMOS schwierig. Die üblichen CMOS-Widerstände sind meist nur mit großen Toleranzen herstellbar, besitzen einen großen Temperaturkoeffizienten und sind thermisch nicht sehr stabil. Zur Umgehung dieser Problematik wurde die "Switched Capacitor" (SC-) Technik zur Emulation von Widerständen etabliert [1]. Bei SC-Schaltungen handelt es sich aber um zeitdiskrete Systeme. Für manche Anwendungen sind kontinuierliche ohmsche Widerstände jedoch unerlässlich.

Da Widerstandsverhältnisse sehr viel präziser realisierbar sind als Absolutwerte, wurden für zahlreiche Anwendungen Schaltungskonzepte entwickelt, die auf solchen Verhältnissen beruhen (Matching). Besitzen die Teilwiderstände identische oder nahezu identische Temperaturkoeffizienten, wird sich das Widerstandsverhältnis auch bei Variation der Temperatur kaum verändern. Gleichwohl können kleinste Temperaturunterschiede auf dem Chip minimale Änderungen des Widerstandsverhältnisses hervorrufen. Für viele einfache Anwendungen, beispielsweise im Bereich der "Consumer Electronics" spielen solche kleinen Variationen keine Rolle, so dass der Einsatz von einfachen CMOS-Standardwiderständen in solchen Fällen hinreichend ist. Das gleiche gilt für die Langzeitdrift von Widerständen beziehungsweise Widerstandsverhältnissen. Steigen jedoch die Anforderungen an die Präzision und der Betriebstemperaturbereich, wie etwa in der Automobilelektronik, gilt dies nicht mehr. Um die Drift von Widerstandsverhältnissen bei Variation der Temperatur und durch langfristigen Temperaturstress zu minimieren, sind möglichst geringe Temperaturkoeffizienten und eine hohe thermische Langzeitstabilität der Widerstände erforderlich.

Entsprechende Anforderungen erfüllen Widerstände in Dünnschichttechnik, die ursprünglich vor allem als diskrete Chipwiderstände oder für den Einsatz in Hybridschaltungen entwickelt wurden. Im Gegensatz zu den klassischen CMOS-Widerständen besitzen Dünnschichtwiderstände exzellente elektrische Eigenschaften und eine hohe thermische Langzeitstabilität.

In den vergangenen Jahren begann man, Dünnschichtwiderstände auch in integrierten Schaltungen einzusetzen, meist oben über der Passivierung. Die Integration stellt jedoch einen aufwendigen und kostspieligen Zusatzprozess dar und ist mit Schwierigkeiten verbunden. Zum einen können die Dünnschichtmaterialien ein Problem darstellen, vor allem hinsichtlich einer möglichen Kontamination und damit einhergehenden Schädigung der Halbleiterbauelemente. Andererseits müssen die speziellen Prozessschritte zur Herstellung der Dünnschichtwiderstände CMOS-kompatibel sein.

Ziel dieser Arbeit war die Entwicklung von Dünnschichtwiderständen für Betriebstemperaturen bis zu 200°C zur einfachen und kostengünstigen Integration in einen CMOS-Submicron-Prozess und eine Untersuchung der zugrundeliegenden Widerstandsmechanismen. Als in Frage kommende Dünnschichtmaterialien wurden Schichtsysteme aus Titan/Titannitrid (Ti/TiN) und Titan/Nickel-Chrom (Ti/NiCr) untersucht.

Ti/TiN ist ein Standardmaterial in CMOS-Prozessen mit Aluminium-Metallisierung. In solchen kommt es als Diffusionsbarriere und Haftsicht zum Einsatz. Seine prinzipiell positiven Widerstandseigenschaften sind schon seit längerem bekannt. Trotzdem wird es bisher nicht als Widerstandsmaterial in CMOS eingesetzt. Im Rahmen dieser Arbeit wurde untersucht, inwieweit sich diese Schichtkombination als temperaturstabiler Widerstand in CMOS eignet und integrieren lässt.

NiCr andererseits ist ein schon seit vielen Jahren etabliertes Widerstandsmaterial und wurde und wird erfolgreich in Chipwiderständen und Hybridschaltungen eingesetzt. NiCr-Chipwiderstände sind mit Temperaturkoeffizienten von  $\pm 5$  ppm/K und einer exzellenten Langzeitstabilität herstellbar. Auch ein Einsatz dieses Materials in integrierten Schaltungen wird in der Literatur erwähnt. Die Realisierung eines geringen Temperaturkoeffizienten ist hier jedoch auf Grund der hohen Prozesstemperaturen, die auch am Ende eines CMOS-Prozesses noch auftreten, schwierig, insbesondere bei dem typischen Legierungsverhältnis Ni(80%)Cr(20%). In dieser Arbeit wird eine Methode aufgezeigt, den Temperaturkoeffizienten dennoch zu sehr kleinen Werten hin zu trimmen.

In Kapitel 2 werden zunächst die wichtigen Größen zur Charakterisierung von Widerständen in integrierten Schaltungen benannt und erläutert und typische Anforderungen an solche Widerstände - insbesondere zum Einsatz in Automotive-Anwendungen - angegeben. In der Folge wird ein Überblick über den Stand der Technik bezüglich integrierter und Dünnschichtwiderstände gegeben. Schließlich wird die Motivation für diese Arbeit dargelegt und die Zielsetzung beschrieben.

Kapitel 3 behandelt den theoretischen Hintergrund hinsichtlich der in dünnen Metallfilmen herrschenden Widerstandsmechanismen. Zunächst werden die Ursachen für den elektrischen Widerstand in Metall im allgemeinen ("Bulk") beschrieben. Anschließend werden die Besonderheiten metallischer Dünnschichten in Bezug auf den Widerstand erläutert und zwei einschlägige aus der Literatur bekannte Widerstandsmodelle vorgestellt.

Kapitel 4 liefert den theoretischen Hintergrund zum Verständnis von Matching und Tracking integrierter Widerstände. Nach der Erläuterung der in diesen Zusammenhang bedeutenden Größen wird auf Ursachen für Mismatch und Maßnahmen zu dessen Minimierung eingegangen.

In Kapitel 5 werden die Prozessschritte zur Herstellung der entwickelten Dünnschichtwiderstände und der gefertigten Proben beschrieben. Anschließend werden alle wichtigen Aspekte der Prozessintegration diskutiert und die in dieser Arbeit untersuchten Integrationsvarianten vorgestellt.

In den Kapiteln 6 und 7 werden die Untersuchungen und Entwicklungen der Dünnschichtwiderstände aus Ti/TiN respektive Ti/NiCr ausführlich beschrieben. In Kapitel 6 wird außerdem die Modellierung des spezifischen Widerstandes von Ti/TiN-Dünnschichten präsentiert. Die Ergebnisse werden jeweils kritisch in Bezug auf die Zielsetzungen diskutiert.

Kapitel 8 stellt die Ergebnisse bezüglich Untersuchungen zum Matching und Tracking beider Dünnschichtsysteme dar.

Kapitel 9 schließt diese Arbeit mit einer Zusammenfassung und einem Ausblick ab.

# Kapitel 2

## Widerstände in integrierten Schaltungen

### 2.1 Kenngrößen und Anforderungen

Die zentrale Größe eines resistiven Bauelementes ist sein Widerstandswert. In der Halbleitertechnik, in der Schichtdicken durch die Technologie vorgegeben sind, ist es üblich, den sogenannten *Schichtwiderstand* (auch Flächen- oder Squarewiderstand) zu betrachten. Es handelt sich dabei um den lateralen Widerstand eines quadratischen Stücks Schicht. In Abbildung 2.1 entspräche dies dem Fall  $l = b$ . Der Schichtwiderstand ergibt sich als der auf die Schichtdicke  $d$  normierte spezifische Widerstand  $\rho$  des Schichtmaterials:

$$R_s = \frac{\rho}{d} \quad \left[ \frac{\Omega}{\square} \right] \quad (2.1)$$



Abbildung 2.1: Einfache Widerstandsgeometrie

Der Gesamtwiderstand einer bahnförmigen Struktur ergibt sich aus dem Breiten-zu-Längen-Verhältnis, das heißt aus der Anzahl der Quadrate, aus denen er sich zusammensetzt. Abbildung 2.2 zeigt beispielhaft eine Widerstandsstruktur mit einer Länge von 5 Quadraten ("Squares").

Technologisch bedingt können Widerständen in integrierten Schaltungen bestenfalls mit einer Absolutgenauigkeit von wenigen Prozent hergestellt werden, typisch sind allerdings

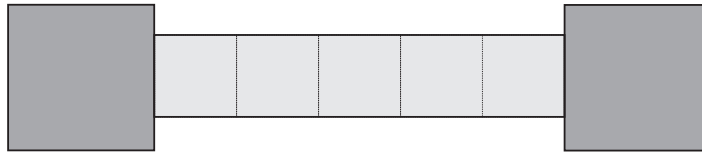


Abbildung 2.2: Widerstand mit einer Länge von 5 Squares

Toleranzen in der Größenordnung von 10% bis 30% [2][3]. Das Verhältnis zweier (oder mehrerer) Widerstände - das sogenannte *Matching* - kann hingegen deutlich präziser realisiert werden. Falls einige matchingspezifische Designregeln beachtet werden, können Widerstandsverhältnisse mit Toleranzen von deutlich unter einem Prozent erzielt werden [3]. Daher werden in vielen Fällen Schaltungskonzepte verwendet, deren Funktion auf Widerstandsverhältnissen statt auf Absolutwerten beruht. Als Beispiele seien A/D und D/A-Wandler genannt [4]. Die Langzeitkonstanz des Matching wird *Widerstands-Tracking* genannt. Die theoretischen Grundlagen zu Widerstands-Matching und -Tracking werden in Kapitel 4 behandelt.

Da integrierte Schaltungen oft über größere Temperaturbereiche präzise funktionieren müssen, sollten Widerstände eine möglichst geringe Temperaturabhängigkeit, das heißt einen niedrigen *Temperaturkoeffizienten des Widerstandes (TCR)* besitzen. Der TCR  $\alpha$  ist wie folgt definiert:

$$\alpha = \frac{1}{\rho(T_1)} \left( \frac{\rho(T_2) - \rho(T_1)}{T_2 - T_1} \right) \cdot 10^6 \quad \left[ \frac{ppm}{K} \right] \quad (2.2)$$

Der TCR nach Gleichung 2.2 beschreibt den temperaturabhängigen Widerstandsverlauf nur dann korrekt, wenn dieser zumindest zwischen  $T_1$  und  $T_2$  linear ist. Der sogenannte militärische Bereich von Elektronikprodukten zum Beispiel reicht von  $-55$  bis  $+125^\circ\text{C}$  [5][6]. Im Bereich der Automobilelektronik liegt die Maximaltemperatur noch höher, im Motorraum zum Beispiel bei etwa  $200^\circ\text{C}$  [7]. Damit sich Widerstandsverhältnisse bei variierenden Temperaturen nicht ändern, sollten aufeinander abgestimmte (gematchte) Widerstände möglichst gleiche Temperaturkoeffizienten besitzen. Das sogenannte *TCR-Tracking* ist das Maß für diese Übereinstimmung [8].

Ein weiteres wichtiges Qualitätskriterium ist die *Langzeitstabilität* eines Widerstandes. Chemische oder mikrostrukturelle Änderungen, wie sie insbesondere bei höheren Temperaturen auftreten können, gehen meist mit einer Drift der elektrischen Parameter (Widerstand und TCR) einher. Als Beispiele seien hier Oxidation und Phasenumwandlungen genannt. Um solche Änderungen auf ein Minimum zu beschränken, benötigt man geeignete Widerstandsmaterialien und Herstellungsverfahren. Wie in den folgenden Kapiteln noch gezeigt wird, ist nach der Herstellung der Widerstände häufig eine Temperaturbehandlung (Temperung) zu deren Stabilisierung notwendig. Desweiteren kann auch elektrischer Stress

zu einer langfristigen Widerstandsänderung führen. Abgesehen von erhöhten, durch hohe Stromdichten erzeugte Temperaturen führt Elektromigration zu irreversiblen Änderungen des elektrischen Widerstandes. Elektromigration bedeutet das Abtragen von Atomen des Leiter- beziehungsweise Widerstandsmaterials durch den durchfließenden elektrischen Strom. Abhängig vom jeweiligen Material setzt dieser Prozess bei einer spezifischen Mindeststromdichte ein.

Schließlich sollte ein Widerstand in der Regel eine lineare Strom-Spannungs-Charakteristik besitzen. Der sogenannte *Spannungskoeffizient des Widerstandes (VCR)* ist ein Maß für das nichtohmsche Verhalten, das heißt für die Nichtlinearität eines Widerstandes. Er ist wie folgt definiert:

$$VCR = \frac{1}{R(U_1)} \left( \frac{R(U_2) - R(U_1)}{U_2 - U_1} \right) \cdot 10^6 \quad \left[ \frac{ppm}{V} \right] \quad (2.3)$$

Tabelle 2.1 zeigt eine Übersicht über die genannten Widerstandsparameter und typische Anforderungen für den Einsatz in hochpräzisen Schaltungen, beispielsweise im Bereich der Automobilelektronik.

Tabelle 2.1: Typische Anforderungen an Widerstände in Automotive-Anwendungen

PARAMETER	ANFORDERUNG
Schichtwiderstand	ca. 100 $\Omega/\square$
TCR	< 100 ppm/K (-50..+200°C)
Matching (3-sigma)	< 0,5 %
Widerstands-Tracking	< 0,01 % nach 1000 h @ 125°C bzw. 200°C für spezielle Anwendungen
TCR-Tracking (3-sigma)	< 5 ppm/K
Langzeitstabilität	< 0,1 % nach 1000 h @ 125°C bzw. 200°C für spezielle Anwendungen

Zu den typischen analogen Schaltungskomponenten in Mixed-Signal-Anwendungen zählen wie bereits erwähnt Digital-Analog-Wandler. Ein typisches Beispiel ist der in Abbildung 2.3 dargestellte sogenannte R-2R-Wandler. Seine Funktion und Genauigkeit beruht auf dem Verhältnis der Widerstände vom Wert R respektive 2R zueinander [9].

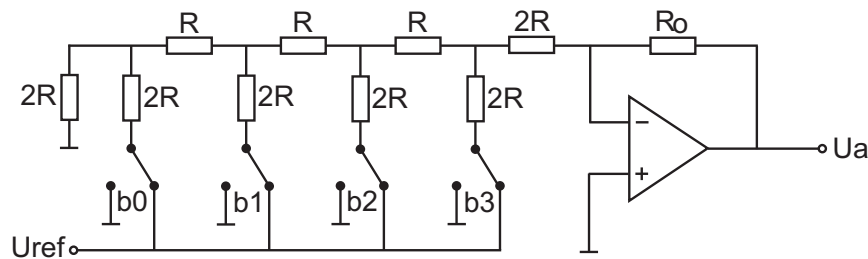


Abbildung 2.3: 4-Bit Digital-Analog-Wandler mit R-2R-Widerstandsnetzwerk

## 2.2 Standardwiderstände in CMOS-Prozessen

Die einfachste und kostengünstigste Methode, Widerstände in Halbleiterprozessen herzustellen, ist die Verwendung von Standardschichten, die einen Schichtwiderstand geeigneter Größenordnung besitzen. In CMOS-Prozessen kommen hauptsächlich Implantationsgebiete und Polysilizium in Frage. Tabelle 2.2 gibt einen Überblick über typische Parameter dieser CMOS-Widerstände, die in den folgenden Unterkapiteln kurz beschrieben werden [2][3].

Tabelle 2.2: Standardwiderstände in CMOS-Prozessen [2]

CMOS-WIDERSTAND	TYP. $R_s$ [ $\frac{\Omega}{\square}$ ]	TYP. TCR [ $\frac{ppm}{K}$ ]	TYP. VCR [ $\frac{ppm}{V}$ ]	ABS. GENAUIGKEIT [%]
Drain/Source-Implantation	50	2000	5000	20
Wannenimplantation	2500	3000	10000	10
Polysilizium-Gate	50	2000	500	20
Polysiliziumwiderstände in Analogprozessen	1500	500	200	1

### 2.2.1 Implantierte Widerstände

Durch Implantation werden in CMOS-Prozessen Wannen- und Aktivgebiete (Source-/Draingebiete) zur Realisierung von MOS-Transistoren hergestellt. Diese eignen sich prinzipiell als Widerstände (siehe Abbildung 2.4). In der Literatur wird häufig auch die Bezeichnung 'Diffusionswiderstand' verwendet.

Implantationen für Source-/Drain-Gebiete (NMOS) besitzen auf Grund ihrer hohen Dotierung (Arsen-Dosis typisch  $10^{19} \text{cm}^{-3}$ ) einen relativ niedrigen Schichtwiderstand und sind nur recht ungenau herstellbar. Wannenwiderstände hingegen besitzen wegen ihrer vergleichsweise niedrigen Dotierung (zum Beispiel bei n-Wannen eine Phosphor-Dotierung

von typisch  $10^{16} \text{cm}^{-3}$ ) einen Schichtwiderstand, der die Realisierung großer Widerstände mit relativ kleinen Strukturen ermöglicht [10]. Beiden gemeinsam sind die sehr hohen Temperatur- und Spannungskoeffizienten, die einem Einsatz in hochpräzisen Schaltungen entgegen stehen. Während undotiertes Silizium generell einen für Halbleiter typischen negativen TCR besitzt, ist dies bei dotiertem Silizium nur für Temperaturen von weit über  $200^\circ\text{C}$ , bei denen die Eigenleitung im Vergleich zur Störstellenleitung dominiert, der Fall. Im Bereich der Störstellenererschöpfung (typisch Raumtemperatur bis hin zu mehreren  $100^\circ\text{C}$ ) überwiegt hingegen ein im Vergleich zu intrinsischem Silizium metallischeres Verhalten mit hohem positivem TCR. Die hohen VCR liegen in den Dioden begründet, die sich zwischen dem p-dotierten Siliziumsubstrat und den n-dotierten Gebieten der Widerstände ergeben. Die Ausdehnung der Raumladungszone am pn-Übergang und somit die Querschnittsfläche der Widerstände sind abhängig von der Spannung zwischen den Widerstandskontakten und dem Substrat. Aus diesem Grund ist der Widerstand abhängig von der Spannung, die an ihm abfällt [2][3].

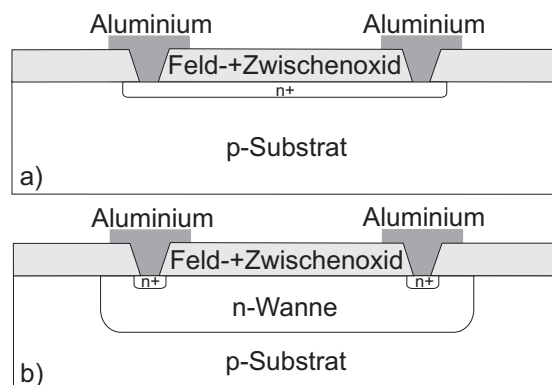


Abbildung 2.4: Implantationswiderstände in CMOS: a) Source-/Drain-Implantation, b) Wannens-Implantation

### 2.2.2 Polysiliziumwiderstände

Hochdotiertes Polysilizium, aus dem Transistor-Gates gefertigt werden, stellt eine Alternative zu Implantationswiderständen dar (Abbildung 2.5). Der Schichtwiderstand liegt typischerweise in der Größenordnung von  $50 \text{ Ohm pro Square}$ , der TCR bei typisch  $500 \text{ ppm/K}$  (siehe Tabelle 2.2). Die absolute Genauigkeit des Schichtwiderstandes, auf die es bei Transistor-Gates in der Regel nicht ankommt, ist ähnlich schlecht wie bei implantierten Widerständen.

Die elektrischen Eigenschaften dieser Widerstände hängen entscheidend von der Dotierung und der Korngröße ab, wobei Dotierung und Annealing-Bedingungen die Korngröße beeinflussen. Da thermischer Stress die Kornstruktur und die Eigenschaften der Korngrenzen stark beeinflusst, besitzen Widerstände aus Polysilizium eine sehr eingeschränkte

thermische Langzeitstabilität.

Einige analoge CMOS-Prozesse stellen spezielle Polysiliziumwiderstände mit deutlich verbesserten Eigenschaften bezüglich Schichtwiderstand, Temperaturkoeffizient und Absolutgenauigkeit zur Verfügung. Die schlechte Langzeitstabilität ist aber weiterhin ein Problem. Einen Ansatz zur Verbesserung der Stabilität fand man durch geeignete zusätzliche Dotierung der Polysiliziumwiderstände mit Phosphor oder Fluor [11]. Die strengen Anforderungen aus Tabelle 2.1 werden jedoch nicht erfüllt [2][3].

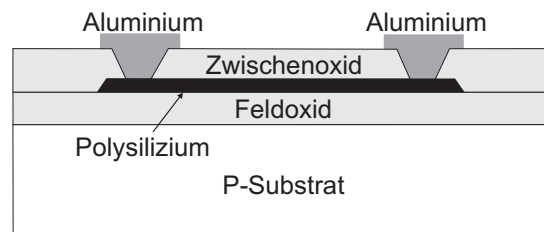


Abbildung 2.5: Polysiliziumwiderstand in CMOS

## 2.3 Dünnschichtwiderstände

Standard-CMOS-Widerstände sind, da die entsprechenden Schichten integraler Bestandteil jedes CMOS-Prozesses sind, einfach zu integrieren. Keiner von ihnen erreicht jedoch für alle wichtigen Größen zufriedenstellende beziehungsweise gute Werte. Temperaturkoeffizienten nahe Null und niedrige Spannungskoeffizienten sind mit implantierten Widerständen nicht zu erreichen. Spezielle Polysiliziumwiderstände aus Analogprozessen sind diesbezüglich zwar wesentlich besser, die strengen Anforderungen aus Tabelle 2.1 sind aber auch damit nicht zu erzielen. Außerdem ist die Langzeitstabilität angesichts thermischen Stresses ein Problem. Für präzise Anwendungen kommen sie daher nicht oder nur sehr eingeschränkt in Frage.

Eine Alternative stellen Dünnschichtwiderstände dar. Es handelt sich dabei um dünne metallische Schichten, die meist durch Sputtern abgeschieden werden und deren Dicken typischerweise in der Größenordnung von zehn bis wenigen hundert Nanometern liegen. Als Widerstandsmaterial kommen grundsätzlich Elementmetalle, Metallegierungen, Metallverbindungen und sogenannte Cermets in Betracht. Tabelle 2.3 gibt eine Übersicht über Materialien, die als Dünnschichtwiderstände eingesetzt werden beziehungsweise Gegenstand entsprechender Forschung waren und sind.

Einfache Metalle haben auf Grund ihres sehr niedrigen spezifischen Widerstandes und ihres in der Regel sehr hohen Temperaturkoeffizienten keine Verbreitung als Widerstandsmaterialien gefunden. Ein Nickel-Dünnschicht besitzt einen Temperaturkoeffizienten von 2300 ppm/K [16]. Eine Ausnahme stellt Tantal dar [12]. Legierungen, Metallverbindungen und sogenannte Cermets (Ceramic Metals) besitzen diesbezüglich wesentlich

Tabelle 2.3: Materialien zur Herstellung von Dünnschichtwiderständen [12][13][14][15]

ELEMENTMETALLE	LEGIERUNGEN	VERBINDUNGEN	CERMETS
Tantal	NiCr	TaN	Cr-SiO
Nickel	NiCrAl	SiCr	Si-SiC-CrB <sub>2</sub>
Chrom	CuNi	TiN	Ni-ZrO <sub>2</sub>

bessere Eigenschaften. Zwei weitere wichtige Vorteile dünner Metallfilmwiderstände sind die exzellente Linearität, das heißt ein verschwindend geringer VCR und die Möglichkeit, den Absolutwert des Widerstandes bei Bedarf durch Lasertrimmen mit einer Genauigkeit von besser als 0,1% zu realisieren [3].

Ursprünglich kamen Dünnschichten vor allem zur Realisierung diskreter Widerstände und in Hybridschaltungen [4] zum Einsatz. Im Zuge der ständig wachsenden Schaltungsintegration analoger Komponenten wird ihre Integration in ICs immer interessanter. Konkrete Literaturstellen zur Integration von Dünnschichtwiderständen in Standard-CMOS sind sehr selten und sind häufig sehr kurz und allgemein gehalten. Vereinzelt findet man Veröffentlichungen zur Integration von TaN-Dünnschichtwiderständen in spezielle Technologien wie GaAs [17] oder CMOS-Technologien mit Kupfermetallisierung [18]. Die bedeutendsten Materialien zur Realisierung von Dünnschichtwiderständen in integrierten Schaltungen sind in Tabelle 2.4 aufgelistet. Sie werden in den folgenden Unterkapiteln näher vorgestellt:

Tabelle 2.4: Dünnschichtwiderstände, die in integrierten Schaltungen zum Einsatz kommen [19][20] [21] (die angegebenen Werte sind als Materialgrößen zu verstehen und beziehen sich nicht notwendigerweise auf Widerstände in integrierten Schaltungen)

MATERIAL	TYP. $R_s$ [ $\frac{\Omega}{\square}$ ]	TYP. TCR [ $\frac{ppm}{K}$ ]	TYP. LANGZEITDRIFT [%]
NiCr	100	-50..+50	< 0,02 (nach 1000 h bei 150°C) 0,2 (nach 1000 h bei 200°C)
TaN	100	-50	< 0,1 (nach 1000 h bei 150°C) 5,0 (nach 1000 h bei 200°C)
Cr-SiO (Cermet)	1000..2000	-50	$\pm 3$ (nach >1000 h bei 300°C)

### 2.3.1 Nickel-Chrom

Die binäre Legierung Nickel-Chrom (NiCr) ist das am häufigsten eingesetzte Material für Dünnschichtwiderstände. Grund hierfür sind die herausragenden Eigenschaften von NiCr. Im Vergleich zu anderen Materialien ist mit NiCr der niedrigste TCR und die höchste

thermische Langzeitstabilität zu erzielen (siehe Tabelle 2.4) [19][20].

Widerstand und TCR hängen in hohem Maße vom Nickel-Chrom-Gewichtsverhältnis ab. Typisch sind Chrom-Anteile zwischen 20% und 60%, wobei mit steigendem Chrom-Anteil der spezifische Widerstand wächst und sich der Temperaturkoeffizient in negativ Richtung verschiebt [22]. Leider wird in der Literatur, wenn der Einsatz von NiCr-Dünnschichtwiderständen in integrierten Schaltungen erwähnt wird, in der Regel nichts über das Nickel-Chrom-Verhältnis ausgesagt. In Tabelle 2.5 sind Widerstand und TCR nach der Abscheidung ("as deposited") für drei verschiedene Nickel-Chrom-Verhältnisse aufgeführt.

Tabelle 2.5: Elektrische Parameter (nach Abscheidung) von NiCr in Abhängigkeit vom Ni/Cr-Verhältnis [12][16][22]

Ni/CR-VERHÄLTNIS [GEWICHTS%]	$\rho$ [ $\mu\Omega cm$ ]	TCR [ $\frac{ppm}{K}$ ]
100/0	17	+2300
80/20	120	+120
50/50	340	-40

NiCr wird üblicherweise durch Kathodenzerstäubung (Sputtern) von einem Target mit gewünschtem Nickel-Chrom-Verhältnis abgeschieden. Die früher gebräuchliche Aufdampftechnik wird heute kaum noch verwendet, unter anderem deshalb, da die Chrom-Konzentration einer aufgedampften Schicht nicht der des Targets entspricht und darüber hinaus eine Funktion der Abscheidauer ist [10]. Nach der Abscheidung ist eine Ofenbehandlung (Temperung) zur Stabilisierung des Widerstandes und zur Einstellung des Temperaturkoeffizienten notwendig. Temperungen oder andere Prozessschritte bei erhöhten Temperaturen [17] verschieben den TCR dabei in positiver Richtung. Für Ni(50%)Cr(50%) beispielsweise kann dadurch der TCR, der nach der Abscheidung im niedrigen negativen Bereich liegt (siehe Tabelle 2.5), gegen Null verschoben werden. Bei Ni(80%)Cr(20%) ist dies so nicht möglich, da der TCR von vorneherein bei etwa +120 ppm/K liegt.

Aus materialtechnischer Sicht besitzt Ni(80%)Cr(20%) gegenüber NiCr-Legierungen mit deutlich höherem Chrom-Anteil einen potenziellen Vorteil. Es ist bekannt, dass Chrom diejenige der beiden Komponenten ist, die in NiCr-Dünnschichten - insbesondere an der Filmoberfläche - schneller oxidiert [23]. In entsprechenden Untersuchungen wurde  $Cr_2O_3$  nachgewiesen [24]. Daraus folgt, dass es aus Sicht der Stabilität von Vorteil sein könnte, eine NiCr-Legierung mit einem möglichst kleinen Chromgehalt zu verwenden. Tatsächlich wird der Einsatz von Ni(80%)Cr(20%) als Widerstand in der Elektronikindustrie auch in jüngster Zeit - zum Beispiel in [23] - erwähnt.

### 2.3.2 Tantalnitrid

Tantalnitrid (TaN), eine Metallverbindung aus Tantal und Stickstoff, ist neben NiCr ein weiteres verbreitetes Material zur Realisierung von Dünnschichtwiderständen. Wie aus Tabelle 2.4 ersichtlich ist, besitzen TaN-Widerstände ähnliche Schichtwiderstände wie NiCr, allerdings meist leicht negative TCR. Sie haben eine gute thermische Langzeitstabilität, die jedoch nicht an diejenige von NiCr heran reicht. Eine besondere Eigenschaft von TaN - wie auch von elementarem Ta - ist sein natürliches Oxid, das sehr feuchteresistent und chemisch inert ist ("self passivation") und durch eine geeignete Temperung hergestellt werden kann. TaN-Widerstände zeichnen sich demnach durch eine hohe Resistenz gegenüber Feuchtigkeit aus [21] [25].

Tantalnitrid wird durch reaktives Sputtern von Tantal in einer Atmosphäre mit Stickstoff als Reaktivgas abgeschieden. Nach der Abscheidung folgt eine Ofenbehandlung zum thermischen Aufwachsen des angesprochenen Oxids, wobei über deren Dauer die Oxiddicke und damit die effektive Widerstandsschichtdicke eingestellt werden kann [21].

### 2.3.3 Cermets, Silizium-Chrom

Das Wort Cermet ist ein Kompositum aus den englischen Begriffen 'Ceramic' und 'Metal' und bezeichnet Materialien, die sich aus Metallen (zum Beispiel Chrom) und Nichtleitern (zum Beispiel Siliziummonoxid (SiO)) zusammensetzen. Der häufigste Vertreter dieses Widerstandstyps ist Cr-SiO. Der spezifische Widerstand hängt vom SiO/Cr-Verhältnis ab und ist typischerweise eine Größenordnung höher als der von NiCr, so dass mit vergleichbaren Filmdicken entsprechend höhere Schichtwiderstände realisierbar sind. Der TCR liegt üblicherweise im negativen Bereich und besitzt eine leichte Temperaturabhängigkeit. Die thermische Langzeitstabilität ist exzellent [21] [12].

Cr-SiO wird üblicherweise durch reaktives Sputtern von SiCr in Sauerstoff als Reaktivgas abgeschieden. Nach der Abscheidung werden die Widerstände einer Ofenbehandlung zur Stabilisierung unterzogen, wobei die notwendige Temperatur mit etwa 450 bis 500°C deutlich höher ist als zum Beispiel bei NiCr [21].

Neben Cr-SiO gibt es noch weitere Cermets (siehe auch Tabelle 2.3), die aber eher selten beziehungsweise in sehr speziellen Anwendungen zum Einsatz kommen. Gelegentlich wird auch reines SiCr zur Herstellung von Dünnschichtwiderständen eingesetzt [26].

### 2.3.4 Titanitrid

Titanitrid (TiN) ist im Gegensatz zu NiCr, TaN, Cr-SiO und SiCr ein Standardmaterial in üblichen CMOS-Prozessen mit Aluminiummetallisierung, in denen es kombiniert mit elementarem Titan (Ti) als Diffusionsbarriere und Haftsicht zum Einsatz kommt [10]. Außerhalb der Mikroelektronik wird es auf Grund seiner extremen Härte, seines sehr hohen Schmelzpunktes und seiner Beständigkeit gegenüber Korrosion [27] als Schutzschicht

zum Beispiel auf hochwertigen Werkzeugen verwendet.

Bereits in den 70er Jahren wurden gesputterte TiN-Dünnschichten auf ihre Widerstandseigenschaften hin untersucht. Es wurde schnell erkannt, dass sie sich prinzipiell zur Herstellung von Widerständen eignen und dass sich insbesondere bei bestimmten Abscheidebedingungen ein sehr kleiner TCR [28] sowie Schichtwiderstände, die eine Größenordnung wie der aus Tabelle 2.1 besitzen, realisieren lassen [29]. Der TCR ist auch stark von der Schichtdicke abhängig und wird mit zunehmender Dicke größer [30]. Nicht zu vernachlässigen ist die Langzeitdrift des Widerstandswertes von offen liegenden TiN-Dünnschichten. Ohne Lufttemperung kann sich selbst bei Lagerungen bei Raumtemperatur eine signifikante Langzeitdrift ergeben. Dieser Effekt wird einer Oxidation der TiN-Oberfläche zugeschrieben. Eine geeignete Lufttemperung nach Abscheidung kann die Langzeitstabilität des Widerstandes wesentlich erhöhen [30].

Trotz dieser relativ frühen Ergebnisse waren TiN-Dünnschichten lange Zeit nicht Gegenstand konkreter Entwicklungsbemühungen hinsichtlich einer praktischen Anwendung als Widerstände. Erst in den letzten 10 Jahren gab es erste Anwendungen, die die Widerstandseigenschaften von TiN ausnutzen. In [31] beispielsweise wird über eine Anwendung von TiN als Mikroheizelement für Infrarotemitter berichtet. Veröffentlichungen, die auf eine Verwendung von TiN-Dünnschichten als Widerstand in integrierten Schaltungen hindeuten, gibt es bisher nicht. Da wie bereits erwähnt TiN ein Standardmaterial in CMOS-Prozessen ist, wäre eine Integration von TiN-Dünnschichtwiderständen aber aus wirtschaftlicher Sicht sehr attraktiv.

## 2.4 Motivation und Zielsetzung

Standard-CMOS-Widerstände sind - wie in Kapitel 2.2 erläutert - zur Realisierung hochpräziser Schaltungen, wie sie etwa im Bereich Automotive benötigt werden, wenig geeignet. Je nach Typ stehen der große Temperaturkoeffizient des Widerstandes, mangelnde thermische Langzeitstabilität beziehungsweise die Spannungsabhängigkeit des Widerstandes gegen den Einsatz in entsprechenden Anwendungen. Viele Schaltungskonzepte basieren zwar auf Widerstands-Matching, jedoch sind für sehr anspruchsvolle Applikationen auch in diesem Fall Widerstände mit sehr geringem TCR und hoher Stabilität erforderlich. Dünnschichtwiderstände aus bestimmten Materialien sind hingegen, wie im vorangegangenen Kapitel dargelegt, bei geeigneter Prozessierung mit Spezifikationen gemäß Tabelle 2.1 herstellbar.

Fast alle wissenschaftlichen Veröffentlichungen bezüglich elektrischer Eigenschaften dünner Metallfilme stellen reine Materialuntersuchungen dar. Der Aspekt einer möglichen Integration in einen mikroelektronischen Halbleiterprozess wird meist nicht angesprochen. Wie noch erläutert werden wird (Kapitel 5) ist eine solche Prozessintegration jedoch nicht trivial. Ein wichtiger Grund hierfür ist die Tatsache, dass zur Stabilisierung und TCR-Trimming ein bestimmtes Temperaturbudget, das heißt eine Temperung bei geeigneter

Temperatur und für eine geeignete Dauer, erforderlich ist, dass aber andererseits nicht überschritten werden darf. Dies ist vor dem Hintergrund der Tatsache, dass am Ende typischer CMOS-Prozesse Herstellungsschritte bei Temperaturen um oder über 400°C (Passivierungsabscheidung, Abschlusstemperung) durchlaufen werden, als kritisch anzusehen. Anders als bei der Fabrikation diskreter Chipwiderstände, bei der der gesamte Herstellungsprozess auf die Optimierung der Widerstandseigenschaften hin ausgerichtet ist, gibt es in integrierten Schaltungen also Randbedingungen zu berücksichtigen, die die Optimierung der elektrischen Eigenschaften von Dünnschichtwiderständen merklich erschweren.

Heutige mikroelektronische Schaltungen für Automotive-Anwendungen sind in der Regel für maximale Betriebstemperaturen von etwa 125°C bis 150°C spezifiziert. Für einen Einsatz beispielsweise im Motorraum werden zukünftig verstärkt robuste Bauelemente benötigt, die bei Temperaturen bis zu 200°C (oder noch darüber) zuverlässig und langfristig funktionieren müssen. Vor diesem Hintergrund war das generelle Ziel dieser Arbeit die Entwicklung von temperaturstabilen Dünnschichtwiderständen zur wirtschaftlichen Prozessierung in der Fertigungslinie eines Submicron-CMOS-Prozesses mit Aluminiummetallisierung. Mögliche Varianten der Prozessintegration sollten konkret aufgezeigt und auf ihre praktische Realisierbarkeit hin untersucht werden. Die Zielspezifikationen orientierten sich an den in Tabelle 2.1 genannten Werten. Insbesondere sollte ein TCR von weniger als 100 ppm/K und eine thermische Langzeitstabilität, die zu einer Drift des Widerstandes von nicht mehr als etwa 0,1% nach einer 1000-stündigen Ofenlagerung bei einer Temperatur von bis zu 200°C führt, erzielt werden.

Von den in den Kapiteln 2.3.1 bis 2.3.3 beschriebenen etablierten Widerstandsmaterialien kommen in Hinblick auf die geforderten Zielwerte von Schichtwiderstand und TCR prinzipiell NiCr und TaN in Betracht. Da NiCr die vergleichsweise größere thermische Langzeitstabilität aufweist, wurde es als eines von zwei zu untersuchenden Dünnschichtmaterialien ausgewählt. Aus der Sicht eines minimalen TCR wäre Ni(50%)Cr(50%) eine geeignete Legierung gewesen. Das potenziell stabilere Mischungsverhältnis 80/20 wurde hier jedoch im Vorfeld zunächst für die Herstellung von Proben gewählt. Nachdem erste Versuche gezeigt haben, dass durch die Kombination von NiCr mit einer sehr dünnen Titanschicht der TCR durch eine geeignete Temperung in negative Richtung - und damit für Ni(80%)Cr(20%) in Richtung 0 ppm/K - getrimmt werden kann, wurde die Untersuchung an Proben mit anderer Zusammensetzung nicht weiter in Erwägung gezogen.

Aus wirtschaftlicher Sicht wäre TiN beziehungsweise die Schichtkombination Ti/TiN besonders attraktiv, da sie als Barriere- und Haftschicht in CMOS-Prozessen ein Standardmaterial ist (Kapitel 2.3.4). Bisherige wissenschaftliche Veröffentlichungen lassen den Schluss zu, dass TiN prinzipiell ein geeignetes Widerstandsmaterial hinsichtlich der Zielspezifikationen dieser Arbeit sein könnte. Auf dieser Basis lag die Motivation begründet, dieses Material auf seine elektrischen Eigenschaften und die Eignung zur Integration in einen CMOS-Prozess hin zu untersuchen. Da in CMOS unter anderem auf Grund besserer Haftung TiN stets in Kombination mit einer dünnen Titanschicht verwendet wird, wurde in dieser Arbeit statt reiner TiN-Filme Ti/TiN-Filmsysteme Gegenstand der Untersuchungen. Zur Beschreibung der vorherrschenden Widerstandsmechanismen sollte die

---

in dünnen Metallfilmen auftretende Abhängigkeit des spezifischen Widerstandes von der Schichtdicke konkret für Ti/TiN modelliert werden.

Schließlich sollten auf Grund seiner großen Bedeutung in der Schaltungstechnik vieler analoger Komponenten die entwickelten Dünnschichtwiderstände auf ihre Matching- und Tracking-Eigenschaften hin untersucht werden (Kapitel 4 bzw. 8). Exemplarisch für die Schichtkombination Ti/TiN wurden über die üblichen Messungen zur Erfassung von Mismatch und Tracking hinaus Aspekte wie die minimale Breite von Teilwiderständen oder die Abhängigkeit des Mismatch vom deren Abständen zueinander betrachtet.

# Kapitel 3

## Elektrischer Widerstand metallischer Dünnsfilme

In diesem Kapitel werden zunächst die grundlegenden Leitungs- beziehungsweise Widerstandsmechanismen in Metall im allgemeinen beschrieben. In diesem Zusammenhang wird der Begriff *Bulk* oder *Bulkmetall* verwendet, wenn der metallische (Widerstands-)leiter in seinen Abmessungen wesentlich größer ist als die mittlere freie Weglänge der Leitungselektronen.

Anschließend wird auf die Besonderheiten von Dünnsfilmen im Vergleich zu Bulkmetall eingegangen und aus der Literatur bekannte Modelle zur Beschreibung des spezifischen Widerstandes von metallischen Dünnsfilmen vorgestellt.

### 3.1 Elektrischer Widerstand von Metallen

Ausgangspunkt der Betrachtung der elektrischen Leitungseigenschaften von Metallen ist das Ohmsche Gesetz:

$$\vec{J} = \sigma \vec{E} \tag{3.1}$$

Es verknüpft die elektrische Stromdichte  $\vec{J}$  mit der Feldstärke  $\vec{E}$ . Die Proportionalitätskonstante  $\sigma$  ist die elektrische Leitfähigkeit des Metalls:

$$\sigma = \frac{1}{\rho} = -n e \mu \tag{3.2}$$

mit

- $n$ : Ladungsträgerdichte

- $e$ : Elementarladung ( $e = 1,602 \cdot 10^{-19} \text{As}$ )
- $\mu$ : Beweglichkeit der Ladungsträger

Die Ladungsträgerdichte, die in Metallen der Dichte der freien Elektronen entspricht, ist - anders als bei Halbleitern - praktisch unabhängig von der Temperatur und somit eine Materialkonstante. Ihr Wert liegt für alle Metalle in der gleichen Größenordnung. Wesentlich für den Widerstand beziehungsweise für die Leitfähigkeit ist die Beweglichkeit  $\mu$ , die die Elektronen im Metall besitzen:

$$\mu = \frac{e \tau}{2 m} = \frac{e \lambda}{2 m v_F} \quad (3.3)$$

mit

- $\tau$ : Mittlere Laufzeit der Elektronen zwischen zwei Stößen
- $m$ : Elektronenmasse
- $\lambda$ : Mittlere freie Weglänge der Elektronen
- $v_F$ : Fermigeschwindigkeit

Elektronenmasse und Fermigeschwindigkeit sind wiederum Materialkonstanten. Für ein bestimmtes Material hängt der elektrische Widerstand also von der mittleren Laufzeit beziehungsweise von der mittleren freien Weglänge zwischen zwei Stößen ab [32].

In einem perfekten, das heißt defektfreien Einkristall könnten sich Elektronen am absoluten Nullpunkt der Temperatur auf Grund ihrer Welleneigenschaften ohne Stöße am Gitter fortbewegen. In einem solchen Fall wäre die Beweglichkeit unendlich groß, der Widerstand wäre gleich Null.

Jegliche Abweichungen von diesem idealen Gitter - und ein solches gibt es in der Praxis natürlich nicht - stellen Streuzentren für die Leitungselektronen in Metallen dar und begrenzen deren Beweglichkeit. Diese Abweichungen bilden also die Quellen des elektrischen Widerstandes:

- Gitterschwingungen bei  $T > 0 \text{ K}$  (Phononen)
- Verunreinigungen durch Fremdatome
- Strukturelle Kristalldefekte
- Korn- und Phasengrenzen in Polykristallen

Bei Temperaturen über dem absoluten Nullpunkt schwingen die Atome im Gitter um ihre Ruhelage. Mit steigender Temperatur nimmt die Amplitude dieser Gitterschwingungen und somit die Häufigkeit von Kollisionen der Leitungselektronen zu. Metalle besitzen demnach einen (in der Regel sehr hohen) Temperaturkoeffizienten des Widerstandes (Aluminium zum Beispiel 4160 ppm/K). Gemäß der Debye-Theorie besitzt das Gitter ein breites Spektrum von Schwingungsmoden (sogenannten Phononen). Da die Wellenlänge der Phononen durch die atomaren Abstände im Gitter nach unten hin begrenzt ist, gibt es entsprechend eine maximale Frequenz  $\nu_{max}$ . Die Debye-Temperatur wird mit ihrer Hilfe wie folgt definiert:

$$\Theta = \frac{h\nu_{max}}{k} \quad (3.4)$$

wobei  $k$  die Boltzmannkonstante ist. Bei sehr tiefen Temperaturen ( $T \ll \Theta$ ) steigt der spezifische Widerstand mit  $T^5$ , bei hohen Temperaturen ( $T \gg \Theta$ ) steigt er linear mit der Temperatur [33]. Im Bereich der Raumtemperatur bis zu einigen 100°C ist für die Mehrzahl der Metalle ein linearer Verlauf gegeben, so dass der TCR in diesem Bereich konstant ist.

Neben der Temperatur besitzen vor allem Verunreinigungen einen relativ großen Einfluss auf den Widerstand von Metallen. Fremdatome können insbesondere bei höheren Temperaturen durch Diffusion, beim Aufschmelzen oder bei Schichtabscheidungen in das Metall gelangen. Sind sie von ähnlicher Größe wie die Atome des Wirtsgitters, können sie sich auf reguläre Gitterplätze einlagern (Abbildung 3.1 a). Sind sie deutlich kleiner, können sie Zwischengitterplätze einnehmen (interstitieller Einbau) (Abbildung 3.1 b). Der Grund für die Erhöhung des Widerstandes durch solche Verunreinigungsatome liegt darin, dass das periodische Potential des Metallgitters durch die Fremdatome, die sich in der Regel in Größe und Valenz von den Atomen des Wirtsgitters unterscheiden, gestört wird [34].

Legierungen stellen eine absichtlichen Verunreinigung von Metallen dar. Eine Legierung ist eine Zusammensetzung zweier oder mehrerer Elemente, von denen mindestens eines ein Metall ist. Der Verlauf des spezifischen Widerstandes über dem Mischungsverhältnis hängt davon ab, inwieweit die Elemente ineinander löslich sind. Bei einer vollständigen gegenseitigen Unlöslichkeit wird  $\rho$  durch die Reihen- und Parallelschaltung der Kristallite der reinen Metalle gebildet (z.B. bei Cu/W). Bei vollständiger gegenseitiger Löslichkeit ergibt sich ein parabolischer Verlauf mit einem Maximum von  $\rho$  bei einem Mischungsverhältnis von etwa 50/50. Abbildung 3.2 zeigt beispielhaft den Verlauf von spezifischem Widerstand und TCR bei NiCr in Abhängigkeit vom Chromgehalt für 0% bis 20% Chrom. Bei begrenzter Löslichkeit schließlich ist der Zusammenhang deutlich komplexer, insbesondere falls sich geordnete Mischkristalle bilden können (z.B. Cu/Au) [16].

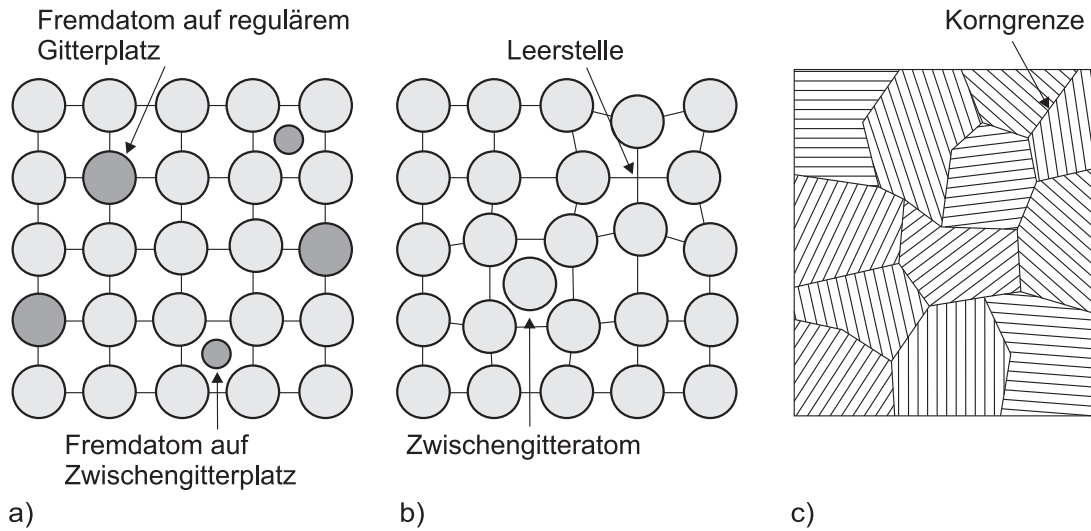


Abbildung 3.1: Quellen des elektrischen Widerstands im Metall: a) Verunreinigung durch Fremdatome, b) Punktdefekte, c) polykristalline Struktur

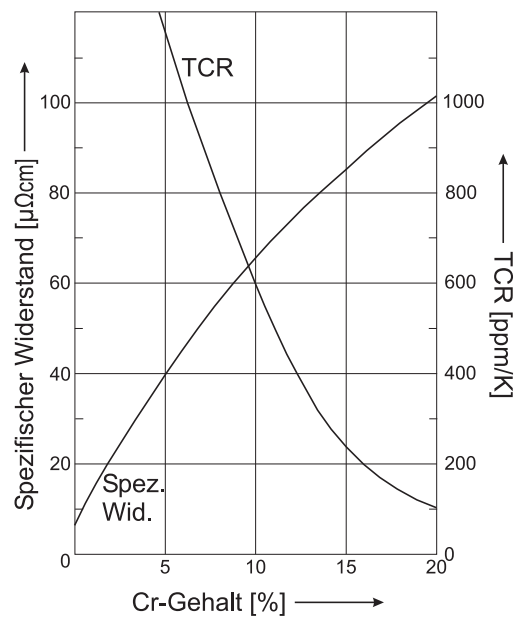


Abbildung 3.2: Spezifischer Widerstand und TCR von NiCr [16]

Neben Verunreinigungen erhöhen auch strukturelle Defekte des Kristallgitters den Widerstand von Metallen. Üblicherweise unterscheidet man zwischen Punkt- und mehrdimensionalen Defekten. Zu den Punktdefekten gehören Leerstellen im Gitter und Atome, die Zwischengitterplätze einnehmen (Abbildung 3.1 b). Stufen- und Schraubversetzungen zählen zu den eindimensionalen Defekten. Im Gegensatz zu Punktdefekten besitzen sie nur einen sehr geringen Einfluss auf den Widerstand.

Metallische Werkstoffe besitzen in der Regel eine polykristalline Struktur (Abbildung 3.1 c). Die einzelnen Kristallite oder Körner besitzen typischerweise einen Durchmesser in der Größenordnung von 1 bis einigen  $100 \mu m$ . An den Grenze zweier Körner unterschiedlicher Kristallorientierung endet die strenge Ordnung der Atombindung, die im Inneren der Körner vorherrscht. Eine Korngrenze, die typischerweise eine Dicke von wenigen Atomlagen besitzt, stellt eine eigene Region mit vielen unterschiedlicher Defekte dar, in der die Atome loser gebunden sind als im Inneren der Körner [35]. In Korngrenzen können somit atomische Prozesse wie Festkörperdiffusion, Phasentransformationen, Ausscheidungen, Korrosion und ähnliches bevorzugt beziehungsweise beschleunigt stattfinden [34]. Solche Prozesse (zum Beispiel eingebaute Fremdatome oder Oxidation in Korngrenzen) können die Streuung von Leitungselektronen an Korngrenzen beziehungsweise den Widerstand und TCR von Korngrenzen erheblich beeinflussen. In Bulkmetall ist der Einfluss von Korngrenzen auf Grund der relativen Größe der Körner ähnlich gering wie der von Versetzungen. Wie noch gezeigt werden wird, ist dieser Einfluss in Dünnsfilmen, in denen die Körner im allgemeinen sehr viel kleiner sind, wesentlich größer [36].

Besteht ein Werkstoff zum Beispiel aus einer Legierung mit ineinander unlöslichen Komponenten, bilden sich unterschiedliche Phasen der einzelnen Elemente. Dementsprechend bilden sich Phasengrenzen als Übergangszone von Kristalliten, die sich in Kristallorientierung und Phase voneinander unterscheiden. Solche Phasengrenzen besitzen qualitativ ähnliche Eigenschaften wie Korngrenzen.

Tabelle 3.1 gibt eine Übersicht über den Einfluss der verschiedenen Defektarten auf den spezifischen Widerstand in Metallen.

Tabelle 3.1: Einfluss von Kristalldefekten auf den spezifischen Widerstand in Bulkmetall [33]

Leerstellen und Zwischengitteratome	1 bis einige $\mu\Omega cm$ pro at.%
Versetzungen	ca. $10^{-13} \mu\Omega cm$ pro $cm^2$
Korngrenzen	ca. $10^{-13} \mu\Omega cm$ pro $cm^2$

Nach der Regel von Matthiessen setzen sich die verschiedenen Anteile am elektrischen Widerstand (temperaturabhängiger Teil, Verunreinigungen und Defekte) additiv zu einem Gesamtwiderstand zusammen (Abbildung 3.3):

$$\rho_{ges}(T) = \rho_{th}(T) + \rho_{res} \quad (3.5)$$

mit

- $\rho_{ges}(T)$ : Gesamtwiderstand
- $\rho_{th}(T)$ : Temperaturabhängiger Anteil am Widerstand
- $\rho_{res}$ : Restwiderstand auf Grund von Verunreinigungen und Defekten

Für  $T = 0$  K ergibt sich der temperaturunabhängige Restwiderstand, der Verunreinigungen und Kristalldefekte repräsentiert.

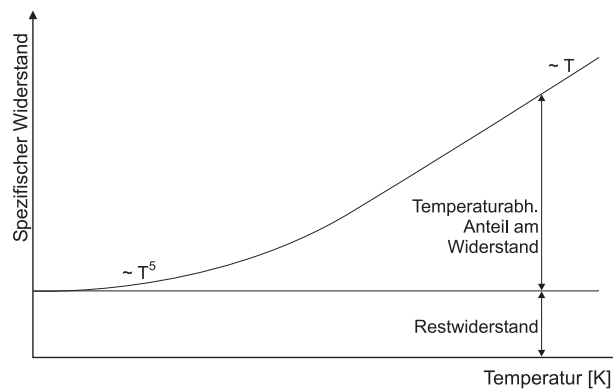


Abbildung 3.3: Matthiessens Regel [34]

Wie bereits gesagt besitzt  $\rho(T)$  für die meisten Metalle im Bereich der Raumtemperatur und darüber einen linearen Verlauf, so dass dort unter Einbeziehung von Gleichung 3.5 gilt:

$$\rho_{th}(ges) = \rho_{th}(T) + \rho_{res} = \rho_0[1 + \alpha(T_2 - T_1)] + \rho_{res} \quad (3.6)$$

Für den Temperaturkoeffizienten des Widerstandes gilt (Gleichung 2.2 in Kapitel 2):

$$\alpha = \frac{1}{\rho_{ges}(T_1)} \left( \frac{\rho_{ges}(T_2) - \rho_{ges}(T_1)}{T_2 - T_1} \right) \cdot 10^6 \quad \left[ \frac{ppm}{K} \right] \quad (3.7)$$

Setzt man Gleichung 3.6 in Gleichung 3.7 ein, so ergibt sich schließlich:

$$\alpha = \frac{1}{\rho_{th}(T_1) + \rho_{res}} \left( \frac{\rho_{th}(T_2) - \rho_{th}(T_1)}{T_2 - T_1} \right) \cdot 10^6 \quad (3.8)$$

Gemäß dieser Gleichung ist der TCR umgekehrt proportional zum Restwiderstand  $\rho_{res}$ . Dies erklärt, warum (reine) Elementmetalle in der Regel einen vergleichsweise sehr großen TCR besitzen. Durch gezieltes Einbringen von Fremdatomen - etwa in Legierungen oder Metallverbindungen - kann der Temperaturkoeffizient demnach reduziert werden, wie mit Abbildung 3.2 beispielhaft gezeigt wurde. In Tabelle 3.1 sind einige Metalle und Legierungen mit ihren spezifischen Widerständen und TCR aufgeführt.

Tabelle 3.2: Spezifischer Widerstand und TCR einiger Metalle und Legierungen (Bulk) zwischen Raumtemperatur und 100°C

METALL BZW. LEGIERUNG	$\rho$ [ $\mu\Omega cm$ ]	$\alpha$	$\frac{ppm}{K}$	LITERATURQUELLE
Aluminium (Al)	2,7	4160		[37]
Titan (Ti)	42,0	10700		[38]
Chrom (Cr)	12,7	2440		[37]
Nickel (Ni)	7,2	6390		[37]
Kupfer (Cu)	1,7	3930		[37]
Nickel-Chrom ( $Ni_{80}Cr_{20}$ )	100,0	400		[39]
Konstantan ( $Cu_{55}Ni_{45}$ )	50	10		[39]

## 3.2 Besonderheiten dünner Metallfilme im Vergleich zu Bulkmetall

Im Unterschied zu Bulkmetall ist der spezifische Widerstand von metallischen Dünnschichten keine reine Materialkonstante, sondern abhängig vom Abscheidungsprozess, Untergrundssubstrat und der Filmsdicke. Bei den weiteren Betrachtungen wird von einer Filmabscheidung durch Sputtern ausgegangen (Kapitel 5).

### 3.2.1 Herstellungsbedingte Besonderheiten

Zunächst einmal hängt die Leitung der Elektronen davon ab, ob es sich um einen diskontinuierlichen, halbkontinuierlichen oder kontinuierlichen Dünnschicht handelt. Die drei Stadien des Filmwachstums sind in Abbildung 3.4 dargestellt [40]. In der Frühphase einer Filmabscheidung fügen sich die abgesputterten Atome auf der Substratoberfläche zu kleinen Clustern zusammen. Da gesputterte Atome durch zahlreiche Stöße mit dem Sputtergas auch seitlich auftreffen können, wachsen diese Inseln etwas schneller in horizontaler Richtung als nach oben. Beendet man die Filmabscheidung in dieser Phase, erhält man

also einen sehr dünnen Film mit einer inselartigen Struktur, einen sogenannten diskontinuierlichen Dünnsfilm (Abbildung 3.4 oben). Die Inseln besitzen typischerweise einen Durchmesser von einigen Nanometern [36]. Die Leitung von Insel zu Insel wird in der Literatur durch verschiedene Modelle thermisch aktivierter Ladungsträgergeneration und Tunneln von Insel zu Insel erklärt. Dies bedeutet, dass der Widerstand, den ein Elektron beim Übergang von einer Insel auf die nächste erfährt, mit steigender Temperatur sinkt, so dass sich für einen diskontinuierlichen Dünnsfilm ein negativer TCR ergibt [41] [42].

Im weiteren Verlauf der Abscheidung wachsen die Inseln - zum Teil durch Verschmelzung mit Nachbarinseln - zu häufig länglichen Formen an. Auf diese Weise entsteht in dieser Phase eine wurmartige Filmstruktur. Man spricht von einem halbkontinuierlichen Dünnsfilm (Abbildung 3.4 Mitte), dessen elektrische Leitung einerseits weiterhin von thermischer Anregung beim Übergang von Insel zu Insel und andererseits durch metallische Leitung innerhalb der länglichen Inseln mit dem dafür typischen positiven Temperaturkoeffizienten geprägt ist. Insgesamt besitzen halbkontinuierliche Dünnsfilme daher einen TCR nahe Null [42].

Ab einer Filmdicke von einigen Nanometern (abhängig vom Material und den genauen Abscheidebedingungen) wachsen die verbliebenden kanalförmigen Leerräume zwischen den Inseln zusammen und es setzt Körnerwachstum ein [36]. Der Dünnsfilm besitzt nun eine relativ kompakte, kontinuierliche Struktur (Abbildung 3.4 unten). Häufig wachsen die Kristallite (Körner) säulenförmig nach oben [43]. Untersuchungen zeigten auch, dass der durchschnittliche Korndurchmesser beispielsweise von polykristallinem Aluminium in der Größenordnung der Filmdicke liegt.

Steinmann et.al. [42] haben den TCR von NiCr-Dünnsfilmwiderständen verschiedener Schichtdicken bestimmt und den verschiedenen Phasen des Filmwachstums zugeordnet. Diese Ergebnisse sind in Tabelle 3.3 kurz zusammengefasst. Ein 7 nm dicker NiCr-Film (Legierungsverhältnis unbekannt) hat demnach bereits eine kontinuierliche Struktur, wobei die  $R(T)$ -Kurve einen geringfügig parabolischen Anteil besitzt. Der 10 nm dicke Dünnsfilm besitzt einen etwas größeren TCR, der aber über der Temperatur linear ist, so dass diesem Film Bulkverhalten zugeschrieben wird. Hier zeigt sich als ein Charakteristikum dünner Metallfilme die Abhängigkeit des TCR von der Filmdicke. Darauf und auf die Tatsache, dass der spezifische Widerstand von Dünnsfilmen in gewissen Bereichen von der Schichtdicke abhängt, wird im folgenden Unterkapitel eingegangen.

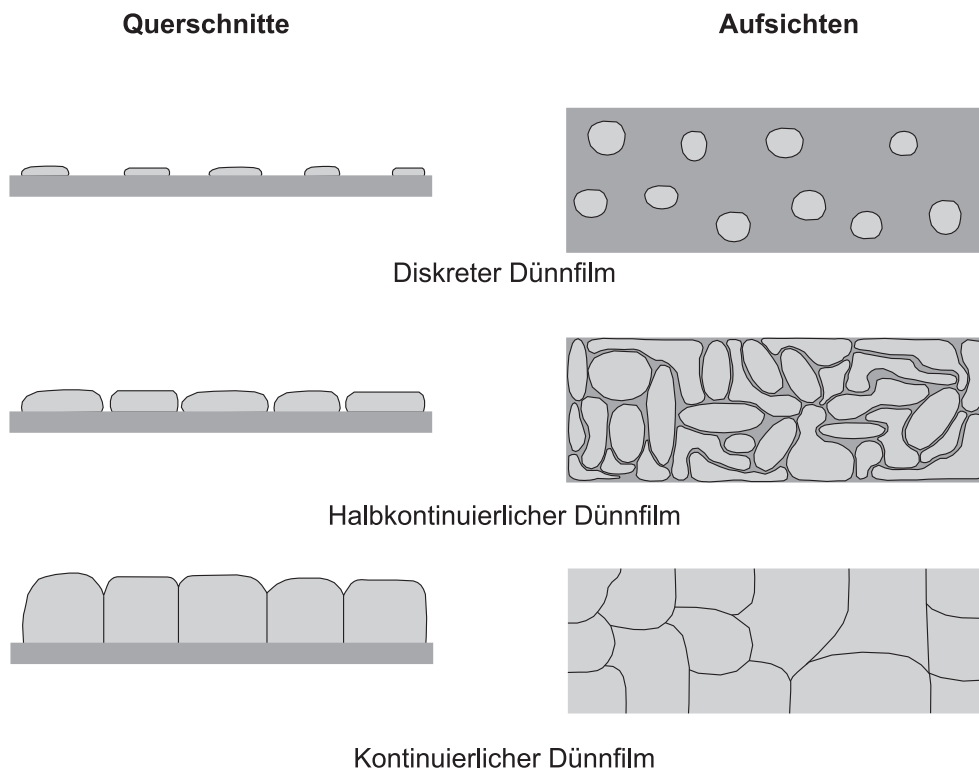


Abbildung 3.4: Stadien der Filmabscheidung

Tabelle 3.3: Ergebnisse aus [42] bezüglich des Zusammenhangs zwischen Filmdicke, TCR und Filmtyp bei NiCr-Dünnschichtwiderständen

FILMDICKE	TCR (QUALITATIV)	FILMTYP
3 nm	negativer TCR	diskontinuierlicher Dünnschicht
5 nm	TCR nahe Null	Übergang diskont.-kont. Dünnschicht
7 nm	TCR leicht positiv	kontinuierlicher Dünnschicht
10 nm	TCR positiv	Dünnschicht mit Bulkverhalten

In der Praxis wird man stets kontinuierliche Dünnschichten verwenden. Bei einem diskontinuierlichen Dünnschicht würde es bereits bei leicht erhöhten Temperaturen zu einem deutlichen Inselwachstum kommen. Ein solcher Dünnschicht wäre daher thermisch sehr instabil. Außerdem wäre die Schichtdicke und damit der anvisierte Schichtwiderstand schlecht reproduzierbar.

Einen wesentlichen Einfluss auf die genaue Schichtstruktur, die Rauigkeit der Schichtoberfläche und die resultierenden elektrischen Größen des Dünnschichts besitzt das Substrat, auf dem der Film aufwächst. So ist es von Bedeutung, ob das Substrat amorph ist oder kristallin, und die Rauigkeit der Substratoberfläche kann eine Rolle spielen. Wie später noch gezeigt werden wird (Kapitel 7), kann eine wenige Nanometer dünne metallische Saatschicht deutliche (positive) Auswirkungen auf den Temperaturkoeffizienten einer Widerstandsschicht besitzen. Bei bestimmten Materialkombinationen kann eine Saatschicht eine bevorzugte Orientierung der Körner (Textur) bewirken [44].

Widerstand und TCR eines Dünnschichts sind auch von den Bedingungen während und nach der Abscheidung abhängig. Wie bereits ausgeführt wurde, können Fremdatome einen deutlichen Einfluss auf den Widerstand von Metallen besitzen. Entsprechend gilt dies für Fremdatome, die sich während des Abscheidungsprozesses in der Sputterkammer befinden und mit in den Dünnschicht eingebaut werden. Die Temperatur des Substrates während der Abscheidung spielt ebenso eine Rolle. Sie hat Auswirkungen auf die Beweglichkeit der abgesputterten Atome auf der Oberfläche des Substrats. Mit steigender Substrattemperatur steigt diese Beweglichkeit (Oberflächendiffusion) an, so dass während des Schichtwachstums sich bildende Lücken im Schichtgefüge besser geschlossen werden können und der Film auf diese Weise kompakter wird [43]. Desweiteren verstärkt sich bei höheren Abscheidetemperaturen das Kornwachstum auf Grund erhöhter Diffusionsfähigkeit [36].

Bei reaktivem Sputtern (Kapitel 5.1.2) kann die Größe des Partialdrucks beziehungsweise die Größe des Flusses des Reaktivgases die Stöchiometrie des entstehenden Dünnschichts und damit wiederum die elektrischen Eigenschaften beeinflussen. In Zusammenhang mit TiN wird darauf in Kapitel 6.3.1 noch detailliert eingegangen [45].

In vielen Fällen erhalten Dünnschichten nach der Abscheidung eine Temperung zur Stabilisierung beziehungsweise zur Einstellung von Widerstand und TCR. Je nach Temperatur, Dauer und Umgebungsatmosphäre der Temperung sowie Schichtmaterial und -dicke führt diese zu unterschiedlichen Änderungen im Dünnschicht. Grundsätzlich kommt es bei erhöhten Temperaturen zu verstärkter Diffusion zum Beispiel von Fremdatomen, die während der Abscheidung in den Schicht eingebaut wurden. Dabei tritt Diffusion in Korngrenzen häufig bevorzugt auf mit den bereits erwähnten Folgen für Widerstand und TCR (Kapitel 3.1). Wird ein Dünnschicht in sauerstoff- oder lufthaltiger Atmosphäre getempert, kommt es bei vielen metallischen Materialien zu einer Oxidation an der Schichtoberfläche. Dies führt zu einer Verringerung der effektiven Dicke des Dünnschichtwiderstandes mit entsprechenden Auswirkungen auf Widerstand und TCR (Kapitel 3.1). Ab jeweils bestimmten materialspezifischen Temperaturen setzen ein Ausheilen von Kristalldefekten beziehungsweise Kornwachstum ein. Auf diese Weise wird das elektrische Verhalten des Dünnschichts metal-

lischer, das heißt der Widerstand sinkt und der TCR wächst. Bei NiCr zum Beispiel liegt diese Grenztemperatur zwischen 300 und 400°C [46].

### 3.2.2 Streuung an Filmoberflächen (Fuchs-Sondheimer-Modell)

Die Streuung der Leitungselektronen an der Oberfläche oder genauer gesagt an den Grenzflächen metallischer Leiter als eine Quelle des elektrischen Widerstandes wurde in Kapitel 3.1 unerwähnt gelassen, da diese in Bulkmetallen, in denen die Abmessungen des Leiters viel größer sind als die mittlere freie Weglänge der Elektronen, vollkommen vernachlässigbar ist. Die mittlere freie Weglänge liegt bei Metallen in der Größenordnung von 10 nm. In Dünnschichtwiderständen, deren Dicke typischerweise in der gleichen Größenordnung liegt, ist sie somit nicht mehr vernachlässigbar.

Bezüglich der Streuung der Elektronen an einer Filmoberfläche beziehungsweise an den Grenzflächen (oben und unten) unterscheidet man inelastische (diffuse) und elastische Streuung. Bei der inelastischen Streuung sind Einfallswinkel und Ausfallswinkel der an der Oberfläche auftreffenden Elektronen nicht miteinander korreliert, so dass der freie Weg der Elektronen an der Oberfläche endet. Da dieser Effekt temperaturunabhängig ist und additiv in den Restwiderstand  $\rho_{res}$  mit einfließt, wird nach Gleichung 3.8 der TCR mit steigendem Anteil der Oberflächenstreuung an der Gesamtstreuung kleiner werden. Bei einer elastischen Streuung hingegen sind Einfallswinkel und Ausfallswinkel gleich, so dass die Elektronen wie Licht an einer spiegelnden Oberfläche reflektiert werden. Durch diese Reflexion wird der freie Weg der Elektronen also nicht beendet sondern lediglich umgelenkt. Elastische Oberflächenstreuung liefert demnach keinen Beitrag zum spezifischen Widerstand [33] [34].

Ein erstes Modell zur Beschreibung des spezifischen Widerstandes in dünnen Metallfilmen unter Berücksichtigung von Streuung der Leitungselektronen an der Filmoberfläche entwickelte Thomson [47] im Jahr 1901 auf der Basis einer rein geometrischen Betrachtung der Oberflächenstreuung und unter Verwendung klassischer Physik [34].

Im Jahr 1938 veröffentlichte Fuchs [48] ein verbessertes Modell, mit dem sich 1952 Sondheimer [49] intensiv beschäftigte. Im Gegensatz zu Thomson berücksichtigte dieses Fuchs-Sondheimer-Modell

- das quantenmechanische Verhalten der freien Elektronen,
- die statistische Verteilung der mittleren freien Weglängen in Bulk,
- die Tatsache, dass viele mittlere freie Weglängen an der Filmoberfläche beginnen.

Das Fuchs-Sondheimer-Modell beschreibt den von der Schichtdicke abhängigen spezifischen Widerstand eines metallischen Dünnschichtfilms, normiert auf den entsprechenden Bulkwiderstand:

$$\frac{\rho}{\rho_0} = \left[ 1 - \frac{3}{2\kappa} \int_1^{\infty} \left( \frac{1}{t^3} - \frac{1}{t^5} \right) (1 - e^{-\kappa t}) dt \right]^{-1} \quad (3.9)$$

mit

$$\kappa = \frac{d}{\lambda} = \frac{\text{Filmdicke}}{\text{mittl. freie Wegl.}} \quad (3.10)$$

Gleichung 3.9 gilt für den Fall rein diffuser Streuung an der Filmoberfläche. Für den Fall, dass ein gewisser Anteil  $p$  ( $0 \leq p \leq 1$ ) der Oberflächenstreuung elastisch, das heißt nicht diffus abläuft, gilt die folgende erweiterte Gleichung:

$$\frac{\rho}{\rho_0} = \left[ 1 - \frac{3}{2\kappa} (1-p) \int_1^{\infty} \left( \frac{1}{t^3} - \frac{1}{t^5} \right) \frac{1 - e^{-\kappa t}}{1 - pe^{-\kappa t}} dt \right]^{-1} \quad (3.11)$$

Das Integral in Gleichung 3.9 beziehungsweise 3.11 ist nicht geschlossen analytisch lösbar. Mit Hilfe numerischer Integration können für konkrete Werte von  $\kappa$  entsprechende Werte von  $\frac{\rho}{\rho_0}$  berechnet werden (Abbildung 3.5 a). Unter Verwendung von Gleichung 3.7 kann auch der filmdickenabhängige Temperaturkoeffizient  $\alpha$  für verschiedene Werte von  $p$  bestimmt werden (Abbildung 3.5 b).

Für den Fall, dass  $\kappa$  sehr klein oder sehr groß (Bulk-Fall) ist, können aus Gleichung 3.11 zwei einfache Gleichungen hergeleitet werden [33][34][48][49]:

$$\frac{\rho}{\rho_0} = \left[ 1 - \frac{3(1-p)}{8\kappa} \right]^{-1} \quad (\kappa \gg 1) \quad (3.12)$$

$$\frac{\rho}{\rho_0} = \left[ \frac{3\kappa}{4} (1+2p) \left( \ln \frac{1}{\kappa} + 0,423 \right) \right]^{-1} \quad (\kappa \ll 1) \quad (3.13)$$

### 3.2.3 Streuung an Korngrenzen in Dünnsfilmen (Mayadas-Shatzkes-Modell)

Eine wichtige Konsequenz aus den in Kapitel 3.2 beschriebenen Besonderheiten beim Aufwachsen dünner Metallfilme ist die Tatsache, dass die Größe der Körner typischerweise in

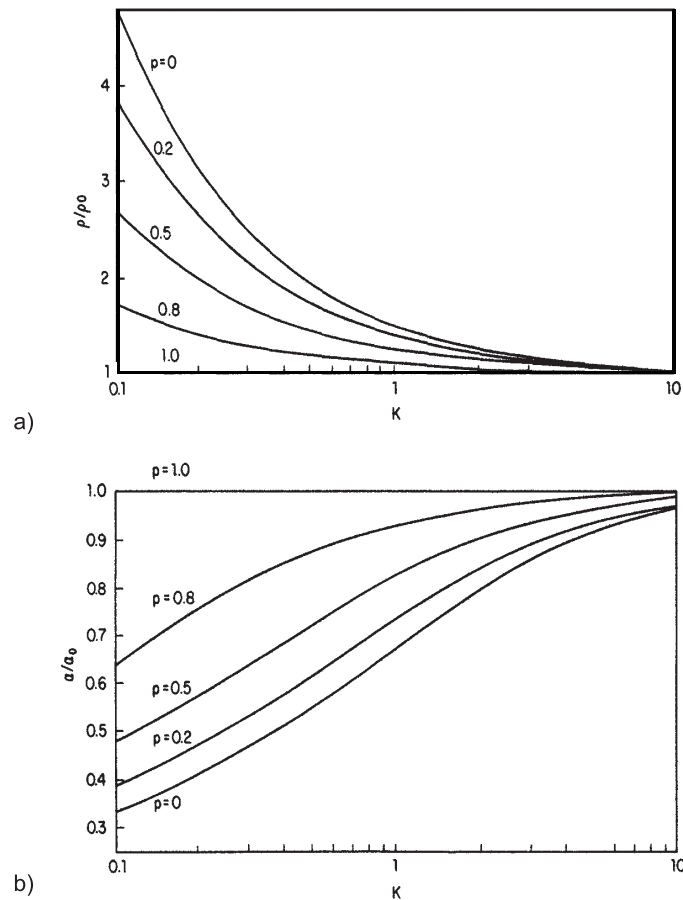


Abbildung 3.5: Fuchs-Sondheimer-Modell: a) Auswirkungen der Filmdicke auf den spezifischen Widerstand, b) Auswirkungen auf den TCR [33]

der Größenordnung der Filmdicke und somit einige Zehnerpotenzen unter derjenigen in Bulkmetall liegt. Dies bedeutet, dass der Einfluss der Korngrenzenstreuung auf den Widerstand eines Dünnschichtfilms entsprechend größer ist und nicht mehr einfach vernachlässigt werden darf. Das Fuchs-Sondheimer-Modell geht von der Annahme aus, dass die Streuung der Leitungselektronen im Inneren des Films nicht von der Filmdicke abhängt und lediglich die Oberflächenstreuung eine dickenabhängige Komponente zum spezifischen Widerstand liefert. In diesem Modell ist die Korngrenzenstreuung nur ein Teil der Bulkstreuung.

Wenn nun aber die durchschnittliche Korngröße eines Films nicht mehr unabhängig von der Filmdicke ist, hat das zur Folge, dass man die Korngrenzenstreuung nicht mehr zur Bulkstreuung zählen darf. Vielmehr liefert diese einen dickenabhängigen Beitrag zum Filmwiderstand. Mayadas und Shatzkes [50] haben ein Modell zur Beschreibung des spezifischen Widerstandes in metallischen Dünnschichtfilmen in Abhängigkeit von der durchschnittlichen Korngröße entwickelt. Grundlage ihres Modells war die Annahme, dass der mittlere Korndurchmesser der Filmdicke entspricht und dass die streuenden Korngrenzen senkrecht zur Filmebene liegen (Abbildung 3.6). Letztere Annahme ist auf Grund des bereits in Ka-

pitel 3.2 erwähnten typisch säulenförmigen Kornwachstums recht realistisch. Das einfache Mayadas-Shatzkes-Modell, das zunächst von einer rein elastischen Streuung an der Filmoberfläche ausgeht - also einen Beitrag der Oberflächenstreuung am spezifischen Widerstand ausschließt - lautet:

$$\frac{\rho_{gb}}{\rho_0} = \left( 3 \left[ \frac{1}{3} - \frac{\alpha}{2} + \alpha^2 - \alpha^3 \ln \left( 1 + \frac{1}{\alpha} \right) \right] \right)^{-1} \quad (3.14)$$

mit

$$\alpha = \frac{\lambda_0}{D} \frac{R}{1 - R}. \quad (3.15)$$

Dabei sind

- $\lambda_0$ : mittlere freie Weglänge in Bulk,
- $D$ : durchschnittlicher Korndurchmesser,
- $R$ : Reflektionsparameter, der den Anteil der Elektronen, die an einer Korngrenze reflektiert werden, beschreibt.



Abbildung 3.6: Längsschnitt eines Dünnsfilms gemäß dem einfachen Modell von Mayadas-Shatzkes (Gleichung 3.14)

In der Folge erweiterten Mayadas und Shatzkes ihr Modell soweit, dass es zusätzlich die Oberflächenstreuung gemäß des Fuchs-Sondheimer-Modells berücksichtigt [51]. Das mathematisch komplexe Modell lautet

$$\rho_f = \left[ \frac{1}{\rho_g} - \frac{6}{\pi \kappa_0 \rho_0} (1 - p) \int_0^{\frac{\pi}{2}} d\Phi \int_1^{\infty} dt \frac{\cos^2 \Phi}{H^2(t, \Phi)} \left( \frac{1}{t^3} - \frac{1}{t^5} \right) \frac{1 - e^{[-\kappa_0 t H(t, \Phi)]}}{1 - p e^{[-\kappa_0 t H(t, \Phi)]}} \right]^{-1} \quad (3.16)$$

mit

$$H(t, \Phi) = 1 + \frac{\alpha}{\cos\Phi} \left(1 - \frac{1}{t^2}\right)^{\frac{1}{2}} \quad (3.17)$$

und

$$\kappa_0 = \frac{d}{\lambda_0}. \quad (3.18)$$

In diesem Fall ist  $\lambda_0$  die mittlere freie Weglänge innerhalb eines Kornes. Das  $\alpha$  ist mit dem aus Gleichung 3.14 identisch. Abbildung 3.7 zeigt Plots zu Gleichung 3.16, die wiederum auf numerischen Lösungen beruhen. Fall a) geht von festen Korngrößen bei variierender normierter Schichtdicke aus, während b) den Fall zeigt, dass der mittlere Korndurchmesser genau der Schichtdicke entspricht. Der wesentlich steilere Verlauf der Kurven im Fall b) (Korngröße gleich Schichtdicke) erklärt sich dadurch, dass hier zwei dickenabhängige Mechanismen wirken, während im Fall a) nur eine Oberflächenstreuung wirkt, da die Korngrenzenstreuung (bei vorgegebenen Werten für die Korngröße  $D$  und den Reflexionsparameter  $R$ ) keine Abhängigkeit von der Schichtdicke besitzt.

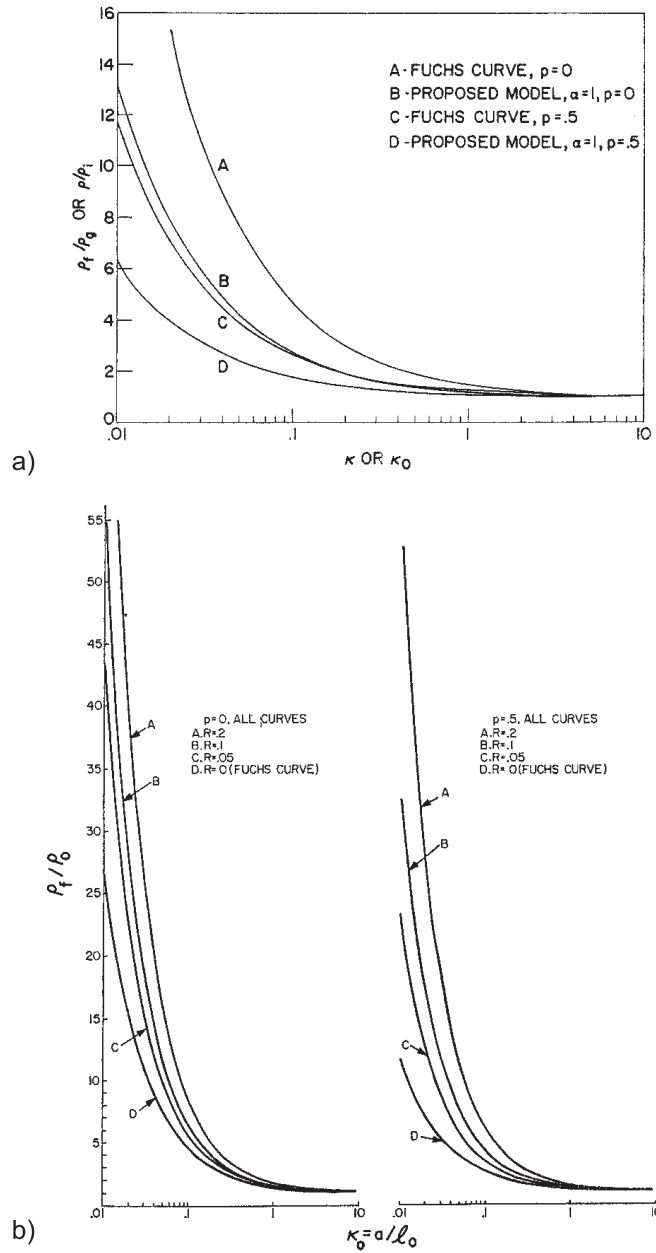


Abbildung 3.7: Modell von Mayadas-Shatzkes mit Einbeziehung der Oberflächenstreuung: Auswirkungen der Filmdicke auf den spezifischen Widerstand; a) konstante Korngrößen, b) Korngröße = Filmdicke

# Kapitel 4

## Matching und Tracking integrierter Widerstände

Das Matching von Widerständen besitzt im Bereich integrierter Schaltungen eine sehr hohe Bedeutung. Da solche Widerstände für viele Anwendungen - jedenfalls ohne Trimmen - nicht mit ausreichender absoluter Genauigkeit hergestellt werden können, sind in der Vergangenheit zahlreiche Schaltungskonzepte entwickelt worden, die auf dem Verhältnis zweier oder mehrerer Widerstände beruhen. Durch Widerstandsverhältnisse werden zum Beispiel Verstärkungs- oder Gewichtungsfaktoren realisiert.

In diesem Kapitel werden die entscheidenden Größen im Zusammenhang mit Widerstands-Matching erklärt, Ursachen für Abweichungen vom idealen Matching-Verhältnis erläutert und eine Übersicht über wichtige Regeln zur Erzielung guter Matchingeigenschaften gegeben.

### 4.1 Grundbegriffe

#### 4.1.1 Matching und Mismatch

Auf Grund diverser Prozessschwankungen - zum Beispiel Schwankungen der Schichtdicke - ist es sehr schwierig, Widerstände mit hoher absoluter Genauigkeit herzustellen. Toleranzen von deutlich weniger als 10 Prozent sind kaum realisierbar. Da solche Schwankungen auf einem Chip aber alle Bauelemente - insbesondere nahe beieinander liegende - in etwa gleichem Maße betreffen, ist das Verhältnis zweier Widerstände, die nach gewissen Regeln entworfen werden, typischerweise um einige Größenordnungen besser als die Absolutgenauigkeit ihrer Widerstandswerte.

Unter Matching versteht man das beabsichtigte Verhältnis zweier oder mehrerer Bauelemente bezüglich ihrer zentralen Kenngröße, in diesem Fall des Widerstandes. Die physikalisch und prozesstechnisch nicht vollständig vermeidbare Diskrepanz zwischen beabsichtigtem und realisiertem Matching nennt man Mismatch. Das auf das beabsichtigte Widerstandsverhältnis normierte Mismatch ist gegeben durch die Gleichung

$$\delta = \frac{(r_2/r_1) - (R_2/R_1)}{(R_2/R_1)} = \frac{R_1 r_2}{R_2 r_1} - 1 \quad (4.1)$$

mit

- $R_1, R_2$ : beabsichtigte Werte
- $r_1, r_2$ : realisierte Werte

Für eine aussagekräftige Bewertung des Matching beziehungsweise des Mismatch einer bestimmten Art von Widerstand bedarf es einer größeren Anzahl entsprechender Messungen. Idealerweise sollten statistischen Ergebnissen die Messung von mindestens etwa 100 Widerständen zugrunde liegen, die auf mindestens 10 verschiedenen Wafern aus mindestens 3 verschiedenen Losen durchgeführt wurden. Diese hohe Zahl von Proben ist in der Praxis oft nicht zu realisieren. Mindestens sollten es jedoch etwa 20 Widerstände von mindestens 3 verschiedenen Wafern sein [3].

Das statistische Ergebnis solcher Messreihen wird zumeist durch das sogenannte 3-sigma-Mismatch beschrieben. Dabei handelt es sich um die Summe aus dem Absolutwert des Mittelwertes und der dreifachen Standardabweichung:

$$\delta_{(3-sigma)} = |m_\delta| + 3 \cdot s_\delta \quad (4.2)$$

mit dem Mittelwert

$$m_\delta = \frac{1}{N} \sum_{i=1}^N \delta_i \quad (4.3)$$

und der Standardabweichung

$$s_\delta = \sqrt{\frac{1}{N-1} \sum_{i=1}^N (\delta_i - m_\delta)^2} \quad (4.4)$$

Nach den Gesetzen der Statistik besitzen (bei Gaußverteilung) weniger als ein Prozent aller erfassten Werte ein Mismatch von mehr als  $\delta_{(3-sigma)}$ . Es ist somit praktisch ein Maß für das maximal auftretende Mismatch eines Bauelementes [3].

### 4.1.2 Tracking

Für hochpräzise Schaltungen, deren Funktionalität auf Widerstandsverhältnissen beruht, ist häufig nicht nur die Größe des Mismatch entscheidend, sondern auch dessen Stabilität beziehungsweise Drift bei sich ändernden Temperaturen und Absolutwerten des Widerstandes. Das Maß für diese Drift von Widerstandsverhältnissen ist das Tracking.

**TCR-Tracking.** Das TCR-Tracking  $\Delta\delta_{TCR}$  beschreibt die Drift mit der Temperatur. Diese hängt von der Differenz der TCR gematchter Widerstände ab:

$$\Delta\delta_{TCR} = TCR_2 - TCR_1 \quad (4.5)$$

Das TCR-Tracking kann auf integrierten Schaltungen extrem niedrig (wenige ppm/K) realisiert werden, was wiederum daran liegt, dass alle Änderungen auf einem Substrat alle Bauelemente in ungefähr dem gleichen Maße betreffen, besonders wenn diese nahe beieinander liegen. Für eine präzise Betrachtung muss allerdings neben den TCR der Widerstände selbst auch die  $TCR_{RC}$  der Kontakte berücksichtigt werden. Gleichung 4.5 muss entsprechend erweitert werden. Es ergibt sich dann ein gemessenes TCR-Tracking:

$$\Delta\delta_{TCR(\text{gemessen})} = (TCR_2 - TCR_1) TCR_{RC} \left( \frac{R_C}{R_2} - \frac{R_C}{R_1} \right) \quad (4.6)$$

Solange die Kontaktwiderstände wesentlich kleiner sind als die Widerstände selbst, gilt mit guter Näherung  $\Delta\delta_{TCR} = \Delta\delta_{TCR(\text{gemessen})}$  [8].

Für die Auswertung von Messungen ist es sinnvoll, äquivalent zum Mismatch ein 3-sigma-TCR-Tracking zu definieren:

$$\Delta\delta_{TCR(3\text{-sigma})} = |m_{\Delta\delta(TCR)}| + 3 \cdot s_{\Delta\delta(TCR)} \quad (4.7)$$

$m_{\delta(TCR)}$  ist der Mittelwert des TCR-Tracking über eine Messung,  $s_{\delta(TCR)}$  die zugehörige Standardabweichung. Das 3-sigma-TCR-Tracking stellt - wie das 3-sigma-Mismatch beim Matching - praktisch einen maximal zu erwartenden Wert für das TCR-Tracking dar.

**Widerstands-Tracking.** Das Widerstands-Tracking ist ein Maß für die Langzeitstabilität beziehungsweise die Drift von Widerstandsverhältnissen auf Grund einer - meist geringfügigen - Drift der absoluten Widerstandswerte. Je größer die absolute Widerstandsdrift, desto schlechter ist das zu erwartende Widerstandstracking. Wäre die relative Langzeitdrift der Absolutwerte aller gematchten Widerstände identisch, würden sich die Wi-

derstandsverhältnisse nicht ändern. In der Praxis gibt es jedoch oft geringe Unterschiede in der Drift, so dass sich entsprechende Änderungen von Widerstandsverhältnissen ergeben. Diese sind im Falle nah beieinander platzierter Widerstände jedoch sehr gering, typischerweise mindestens eine Größenordnung kleiner als das zugeordnete Mismatch.

## 4.2 Ursachen für Mismatch

Bei den Ursachen für Mismatch von Widerständen unterscheidet man zwischen zufälligem und systematischem Mismatch. Beide Anteile ergeben in Summe das gesamte Mismatch eines Widerstandspaares. Die Standardabweichung  $s_\delta$  beschreibt das zufällige Mismatch, während der Mittelwert  $m_\delta$  den systematischen Anteil umfasst. Nachfolgend werden die beiden Arten von Mismatch erläutert.

### 4.2.1 Zufälliges Mismatch

Das zufällige Mismatch umfasst Abweichungen von idealen Widerstandsverhältnissen auf Grund zwar begrenzbarer aber nicht vollständig zu vermeidender Prozessschwankungen. Man unterscheidet periphere und flächenhafte Schwankungen.

Periphere Schwankungen betreffen Schwankungen an den Rändern, also Kanten von Widerständen. Auf Grund der granularen Strukturen der Widerstandsmaterialien und Unvollkommenheit in Fotolack und Ätzprozessen sind die Kanten niemals glatt, sondern mehr oder weniger zackig (Abbildung 4.1). Dieser zackige Kantenverlauf bedeutet eine zufällige positive oder negative Abweichung der lateralen Fläche des Widerstandes vom beabsichtigten Wert. Dies wiederum führt zu einem zufälligen Mismatch bei Widerstandspaares.

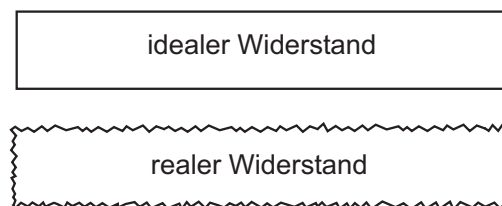


Abbildung 4.1: Idealer Widerstand und periphere Schwankungen des Matching verursachender zackiger Kantenverlauf

Flächenhafte Schwankungen betreffen die gesamte laterale Fläche eines Widerstandes. Dazu zählen unter anderem Schichtdickenschwankungen, ungleichmäßige Dotandenverteilungen und Untergrundsubstrate mit inhomogener Oberfläche. Schichtdickenschwankungen führen bei dünneren Schichten zu einem vergleichsweise größeren Mismatch als bei dickeren. Dies sollte bei der technologischen Entwicklung von Widerständen berücksichtigt werden.

Die sich auf Grund von Prozessschwankungen ergebende Standardabweichung zweier gematchter Widerstände ergibt sich zu [3]

$$s_\delta = \frac{1}{b\sqrt{R}} \sqrt{k_a + \frac{k_p}{b}} \quad (4.8)$$

mit

- $b$ : Breite der Widerstände
- $k_a, k_p$ : Prozessabhängige Konstanten als Maß für den Beitrag des flächenhaften (a) und peripheren (p) Anteils an den Schwankungen

Da alle aufgezählten prozesstechnischen Schwankungen unabhängig von den lateralen Abmessungen eines Widerstandes sind, ist die relative Abweichung zwischen Soll- und Istwert des Widerstandswertes umso geringer, je größer die Breite  $b$  der Widerstände ist (bei konstanter Widerstandslänge) und je größer der Widerstandswert  $R$  ist. Bei einer messtechnischen Überprüfung von Gleichung 4.8 ist jedoch natürlich zu berücksichtigen, dass  $b$  und  $R$  miteinander gekoppelt sind. Wird die Breite der Widerstände vergrößert, die Länge aber unverändert gelassen, verringert sich der Absolutwert des Widerstandes. Sehr kleine Widerstände sind auf Grund des zunehmenden Einflusses des - ebenfalls potenziell Mismatch-behafteten - Kontaktwiderstandes potenziell schwieriger zu matchen. Besser wäre daher eine Vergrößerung der Widerstandsweite bei konstant gehaltenem Länge/Breite-Verhältnis [3].

### 4.2.2 Systematisches Mismatch

Falls ausschließlich zufälliges Mismatch auftritt, muss sein Mittelwert nach den Gesetzen der Statistik gleich Null sein. Die einzelnen Widerstandspaare besitzen auf Grund des zufälligen Mismatch eine Abweichung vom Sollwert nach oben beziehungsweise nach unten, aber im Mittel gleichen sich die positiven und negativen Abweichungen aus. Der Mittelwert ist also gleich dem Sollwert und die Standardabweichung beschreibt das zufällige Mismatch.

Ist der Mittelwert ungleich Null (positiv oder negativ), bedeutet das, dass eine systematische Ursache einen der Widerstände im Schnitt größer sein lässt als den anderen. Den sich ergebenden Anteil am gesamten Mismatch bezeichnet man als systematisches Mismatch. Die wesentlichen Ursachen für systematisches Mismatch bei Metallfilmwiderständen sind:

- Kontaktwiderstände bei Widerstandsverhältnissen ungleich 1
- laterale Geometriefehler bei der Prozessierung
- variierende Ätzraten
- Temperaturgradienten auf dem Chip

**Kontaktwiderstände.** Neben dem eigentlichen Widerstand geht auch der Kontaktwiderstand mit in das Matching ein. Soweit davon ausgegangen werden kann, dass dieser genauso reproduzierbar ist wie der Nutzwiderstand, ist dies bei einem Widerstandsverhältnis von eins häufig kein Problem. Ein geringes Mismatch der Kontaktwiderstände ist prinzipiell ebenso möglich wie das der Nutzwiderstände. Sind die Widerstände von sehr kleinem Wert, kann dieses Mismatch der Kontakte sich deutlich in einem höherem Mismatch der Gesamtstruktur bemerkbar machen.

Möchte man hingegen Widerstandsverhältnisse ungleich eins realisieren, so ergibt sich auch dann ein systematischer Mismatch, wenn die Kontaktwiderstände identisch sind. Das folgende Beispiel soll dies verdeutlichen.

Es soll ein Widerstandsverhältnis von 2 realisiert werden. Dazu werden die Widerstände  $R_1 = 1000 \Omega$  und  $R_2 = 2000 \Omega$  gematcht (Abbildung 4.2 a). Am Übergang Widerstand-Metall trete ein Kontaktwiderstand  $R_C$  von  $10 \Omega$  auf. Das tatsächliche Widerstandsverhältnis ergibt sich daraus zu:

$$\frac{(R_2 + 2 \cdot R_C)}{(R_1 + 2 \cdot R_C)} = \frac{2020 \Omega}{1020 \Omega} = 1,98 \quad (4.9)$$

Die Kontaktwiderstände führen also nach Gleichung 4.1 zu einem Mismatch von 1 %. Dieser systematische Fehler kann behoben werden, indem der längere Widerstand  $R_2$  in zwei gleich lange Teile der Größe von  $R_1$  aufgeteilt wird (Abbildung 4.2 b). In diesem Fall ergibt sich:

$$\frac{(R_1 + 2 \cdot R_C + R_1 + 2 \cdot R_C)}{(R_1 + 2 \cdot R_C)} = \frac{1020 \Omega + 1020 \Omega}{1020 \Omega} = 2,00 \quad (4.10)$$

Am besten kann man den Einfluss von Kontaktwiderständen unterdrücken, indem man Verhältnisse ungleich eins mit entsprechend verschalteten Arrays aus identischen Widerständen (Einheitswiderständen) realisiert. Diese sollten möglichst gegenseitig symmetrisch ineinander verschachtelt sein. Abbildung 4.2 c zeigt eine solche Struktur. In Gleichung 4.10 ist  $R_1$  der Einheitswiderstand. Möchte man andererseits zum Beispiel ein Verhältnis von 2,5 erreichen, so benötigt man ein Array aus sieben Einheitswiderständen. Fünf Einheitswiderstände bilden den einen und zwei den anderen Widerstand ( $5/2 = 2,5$ ) [3].

**Laterale Geometriefehler.** Häufig gibt es geringfügige Abweichungen zwischen den gezeichneten lateralen Geometrien (zum Beispiel Breiten und Längen der Widerstände) und den prozessierten. Ursachen dafür sind vor allem Skalierungsfehler bei der Fotolithografie und Unterätzungen. Solche Geometriefehler sind meist von konstantem Wert und unabhängig von der lateralen Größe der Bauelemente. Falls gematchte Widerstände sich in Breite oder Länge unterscheiden, führt dies zu einem systematischen Mismatch, da

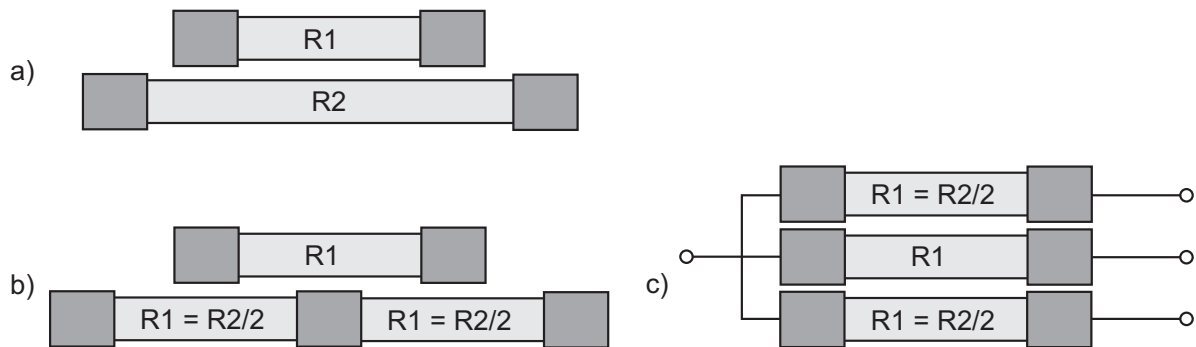


Abbildung 4.2: Systematisches Mismatch durch Kontaktwiderstände bei Verhältnissen ungleich eins; a) einfachste Matching-Struktur, b) Aufteilung von  $R_2$  in zwei gleichgroße Teile, c) Realisierung durch Array-Struktur

die relative Änderung der Widerstandswerte durch den Geometriefehler bei den beiden Widerständen unterschiedlich ist. Prinzipiell liegt die gleiche Problematik vor wie beim Kontaktwiderstand. Die Wirkung dieses Fehlers lässt sich also wiederum durch Arrays aus Einheitswiderständen unterdrücken [3].

**Variierende Ätzzraten.** Grundsätzlich geht man bei Strukturierungsprozessen von einer konstanten Ätzzrate über den Wafer aus. Tatsächlich hängt aber in manchen Fällen die Ätzzrate - und damit auch die Größe der Unterätzung der Lackstrukturen - geringfügig von der Größe der zu ätzenden Öffnung in der Widerstandsschicht ab. Das gilt insbesondere für die isotrope Nassätztechnik. Abbildung 4.3 zeigt, was dies im Fall einer Array-Struktur zur Folge hat. An den außen liegenden Kanten der äußeren beiden Widerstände kommt es zu einer stärkeren Unterätzung als an den anderen, innen gelegenen Kanten, die an sehr kleinen Öffnungen der Widerstandsschicht liegen. Somit sind diese beiden Widerstände geringfügig schmaler als die inneren, was zu einem systematischen Mismatch führt. Dieses Problem kann durch zusätzliche Dummy-Widerstände an den Rändern der Array-Struktur umgangen werden. Diese sollten idealerweise in Abstand und Größe den Einheitswiderständen entsprechen [3].

**Temperaturgradienten auf dem Chip.** Im allgemeinen geht man davon aus, dass die Umgebungstemperatur im Bereich einer Struktur von gematchten Widerständen konstant ist. Diese Annahme kann aber insbesondere in der Nähe von Leistungsbau-elementen falsch sein. Bei Widerständen mit einem relativ großen Temperaturkoeffizienten kann beispielsweise ein Temperaturgradient von  $0,04^\circ\text{C}/\mu\text{m}$  zu einem signifikanten systematischen Mismatch führen [3]. Ein solcher Gradient ist in der Nähe von Leistungsbau-elementen durchaus möglich [52]. Folglich sollten solche Widerstände soweit möglich weit entfernt von Leistungsbau-elementen beziehungsweise anderen Hitzequellen realisiert werden [3]. Bei einem TCR von nahe Null ist dieses Problem allerdings vernachlässigbar.

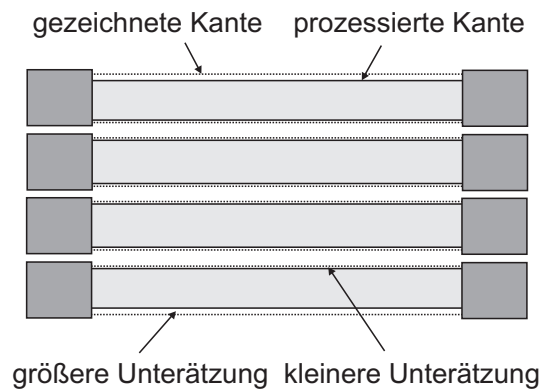


Abbildung 4.3: Systematisches Mismatch bei Widerstands-Arrays durch eine stärkere Unterätzung am Rand der Struktur

## 4.3 Matchinggerechtes Layout

Nachdem die vorangegangenen Unterkapitel die wichtigsten Grundlagen zum Verständnis von Widerstandsmatching geliefert haben und die wesentlichen Gründe für Mismatch erläutern wurden, ist nun die praktische Realisierung von "gutem" Matching von (Dünnfilm-)Widerständen in integrierten Schaltungen Gegenstand dieses abschließenden Unterkapitels. Zunächst werden wichtige Designregeln, die sich aus den Ursachen für Mismatch ergeben, benannt. Danach werden konkrete Layoutstrukturen aufgezeigt.

### 4.3.1 Regeln zur Minimierung von Mismatch

Auf Grund der verschiedenen zuvor beschriebenen Gründe für Mismatch von Widerständen ergeben sich eine Reihe von Regeln zum Erzielen von "gutem" Matching. Einige sind bereits genannt worden. Nachfolgend werden die wichtigsten Regeln stichwortartig aufgeführt. Diese und eine Reihe weiterer, auch für implantierte und Polysiliziumwiderstände geltende Regeln sind in [3] genannt und näher erläutert.

1. Zu matchende Widerstände sollten immer aus einem einzigen Material bestehen.
2. Sie sollten dieselbe Breite besitzen.
3. Sie sollten eine ausreichende Breite besitzen.
4. Widerstände sollten nicht zu kurz sein (mindestens 5 Squares).
5. Der Absolutwert der Widerstände sollte sehr groß im Vergleich zu den Kontaktwiderständen sein.
6. Sie sollten möglichst identische Geometrien besitzen.
7. Sie sollten in dieselbe Richtung (parallel) orientiert sein.

8. Sie sollten so nah wie möglich beieinander liegen.
9. Sie sollten möglichst weit entfernt von Leistungsbau-elementen platziert werden.
10. An den Rändern von Matching-Strukturen sollten Dummy-Widerstände platziert werden.
11. Widerstandsverhältnisse ungleich eins sollten durch Array-Strukturen realisiert werden.
12. Die Einheitswiderstände in Arrays sollten soweit möglich verschachtelt werden.

### 4.3.2 Übliche Matchingstrukturen

Aus den zuvor angeführten Regeln für Widerstandsmatching ergeben sich optimierte, praktisch realisierbare Matchingstrukturen. Am einfachsten sind Widerstandsverhältnisse von eins zu implementieren. Dazu werden zwei identische Widerstände parallel zueinander und möglichst nah beieinander platziert (Abbildung 4.4). Außen sind Dummy-Widerstände vorzusehen, je nach zur Verfügung stehendem Platz auf dem Chip auch mehrere nebeneinander. Wichtig ist, dass die Gesamtstruktur so symmetrisch wie möglich ist. Bei der Wahl von Länge und Breite der Widerstände bietet Gleichung 4.8 eine gute Orientierung. Je nach gefordertem maximalem Mismatch und zur Verfügung stehender Chipfläche ist die Größe der Widerstände zu optimieren.

Im einfachsten Fall werden zwei gerade, parallel verlaufende Widerstände wie in Abbildung 4.4 verwendet. Da - unter anderem auf Grund des Einflusses von Kontaktwiderständen - große Widerstände einfacher zu matchen sind als kleine, ist es insbesondere bei Strukturen mit sehr kleinem Schichtwiderstand wichtig, dass diese ausreichend lang sind, das heißt aus einer genügend großen Anzahl von Squares bestehen. Um die laterale Ausdehnung langer Widerstände zu begrenzen, bietet sich die Verwendung von Mäanderstrukturen an (Abbildung 4.5), die lange Widerstandsbahnen auf einer kompakten Fläche realisieren. Darüber hinaus besitzen Mäanderstrukturen einen weiteren Vorteil. Bei geraden Matchingstrukturen besteht das Problem, dass Mismatch, das auf Schwankungen der Filmdicke über den Wafer zurückzuführen ist, besonders ausgeprägt ist, wenn die (gedachten) Linien gleicher Filmdicke parallel zu den Widerständen verlaufen, das heißt der Gradient senkrecht zu den Widerständen verläuft. In diesem Fall besäße der eine Teilwiderstand über seine gesamte Länge eine größere Dicke und somit einen höheren Schichtwiderstand als der andere Teilwiderstand. Bei Verwendung der Mäanderform sind die gematchten Widerstände ineinander verschachtelt. Dadurch und auf Grund der sich ergebenden kompakteren Fläche im Vergleich zu langen geraden Strukturen wirkt sich eine Richtungsabhängigkeit der Schwankung der Filmdicke weniger stark auf das Mismatch aus. Durch die Verwendung von mäanderförmigen Matchingstrukturen lässt sich das Gesamtmismatch also weiter minimieren.

Kritisch bei mäanderförmigen Widerständen sind die Ecken. Auf Grund der nichtidealen Eigenschaften von Fotolithografie und Ätzprozessen sind perfekte Ecken nicht realisierbar.

Stattdessen ergeben sich meist leicht abgerundete Ecken. Da diese Nichtidealitäten eventuell von Ecke zu Ecke leicht variieren, können sich dadurch zusätzliche kleine Beiträge zum Mismatch ergeben. Besser sind Mäanderstrukturen mit  $45^\circ$ -Ecken (Abbildung 4.5 b).

Widerstandsverhältnisse ungleich eins werden idealerweise durch Array-Matchingsstrukturen implementiert (Kapitel 4.2.2). Auch in diesem Fall ist ein möglichst hoher Grad an Symmetrie wichtig. In Abbildung 4.6 sind beispielhaft Array-Strukturen zur Realisierung von Widerstandsverhältnissen von zwei (a) beziehungsweise fünf (b) dargestellt. Prinzipiell können mit Array-Strukturen auch Verhältnisse von eins realisiert werden (c).

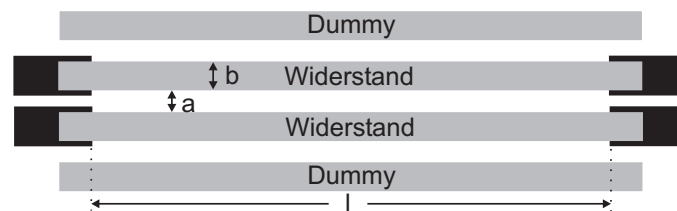


Abbildung 4.4: Einfache Matchingstruktur zur Realisierung eines Widerstandsverhältnisses von 1

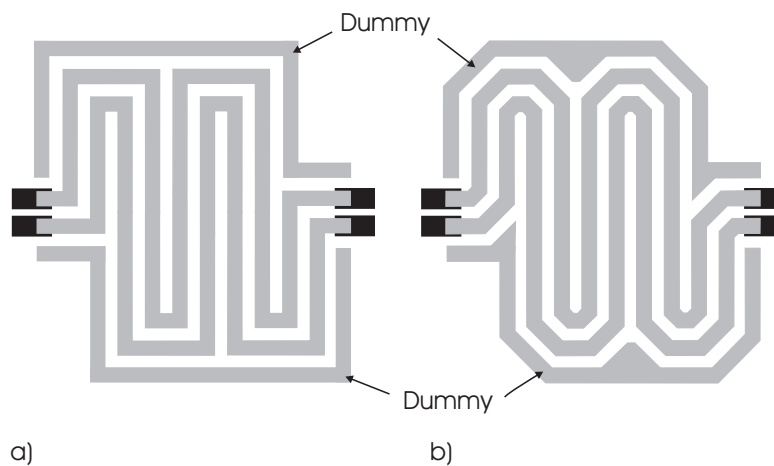


Abbildung 4.5: Mäanderstruktur zur Realisierung eines Widerstandsverhältnisses von 1 (a) mit  $90^\circ$ -Ecken, b) mit  $2 \times 45^\circ$ -Ecken)

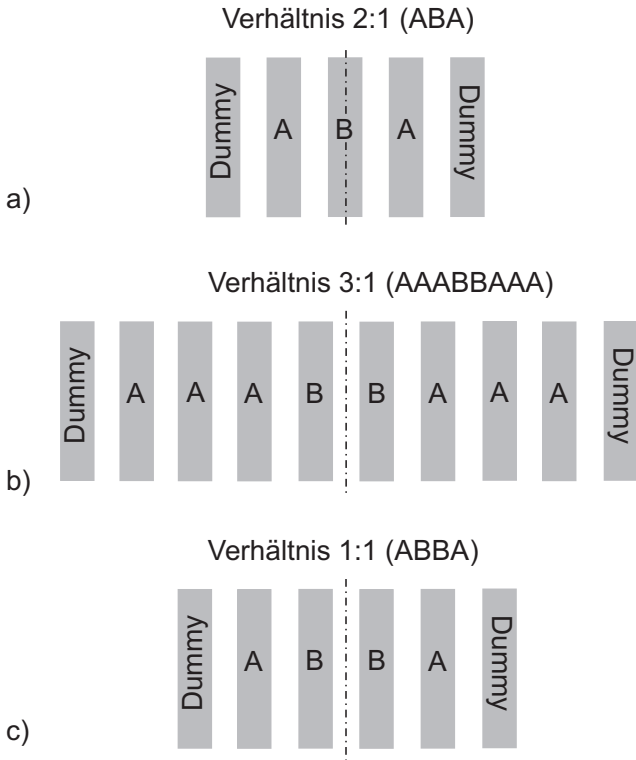


Abbildung 4.6: Arraystrukturen zur Realisierung eines Widerstandsverhältnisses von a) 2, b) 3, c) 1

# Kapitel 5

## Herstellung und Integration der Dünnschichtwiderstände

Inhalt dieses Kapitels sind die speziellen Prozessschritte zur Herstellung der Ti/TiN- und Ti/NiCr-Dünnschichtwiderstände in einer CMOS-Prozessumgebung:

- Abscheidung des Dünnschichtfilms
- Strukturierung mittels Lithografie und Ätzen
- ggf. Temperung

Neben den eigentlichen Herstellungsschritten der Widerstände werden auch der Aspekt der Prozessintegration und die damit verbundenen Randbedingungen und Probleme behandelt. Die komplette Abfolge der Prozessschritte für die verschiedenen untersuchten Dünnschichtfilme und Integrationsvarianten werden beschrieben. Sämtliche Proben (8-Zoll-Wafer) wurden im Reinraum des Fraunhofer-IMS Duisburg gefertigt.

### 5.1 Filmabscheidung

#### 5.1.1 Metallabscheidung durch Sputtern

Metallische Dünnschichtfilme werden in der Regel mittels physikalischer Abscheidungsverfahren hergestellt. Die früher verbreitete Aufdampftechnik kommt heutzutage aus verschiedenen Gründen [10] in Standardprozessen nicht mehr zum Einsatz. Stand der Technik ist heute die Abscheidung mittels Kathodenzerstäubung (Sputtern). Abbildung 5.1 zeigt die prinzipielle Anordnung eines Sputtersystems. Grundlage ist ein Plasma, das zwischen dem als Kathode dienenden Target (abzuscheidendes Material) und dem als Anode dienenden zu beschichtenden Substrat (Wafer) gezündet wird. Dazu wird die Kathode auf ein negatives Potential in der Größenordnung von wenigen kV gelegt. Als Plasmagas dient in der Regel das Edelgas Argon. Auf Grund der Elektrodenanordnung werden die positiven Ionen des Plasmas in Richtung des Targets beschleunigt. Beim Auftreffen auf dessen Oberfläche besitzen sie genügend Energie, um Atome herauszusprengen, die sich dann mit einer Energie von mehreren eV mit einer Vorzugsrichtung (Cosinusverteilung) fortbewegen und nach

einigen Kollisionen mit Gas- beziehungsweise Plasmateilchen schließlich auf dem Wafer auftreffen (kondensieren) [53].

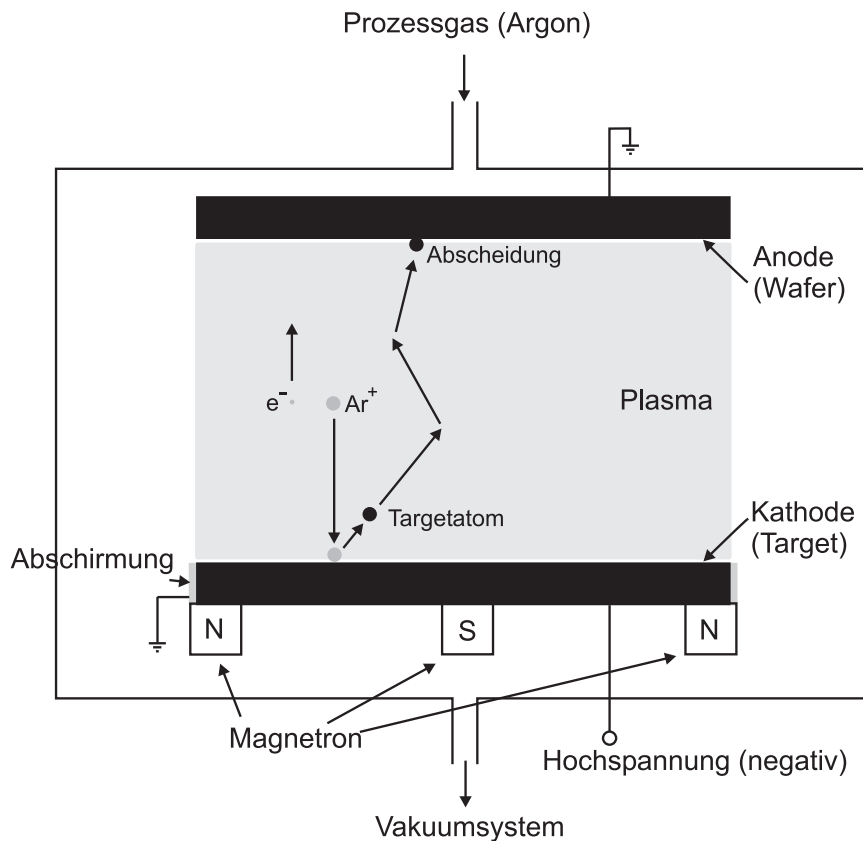


Abbildung 5.1: Querschnitt einer Sputterkammer (Prinzipische Skizze)

Um die Ionenausbeute im Plasma und damit die Abscheiderate wesentlich zu erhöhen, baut man hinter dem Target einen Magneten an. Auf Grund der Anordnung kreuzen sich die elektrischen und magnetischen Feldlinien und die Elektronen werden auf zyklische und somit deutlich längere Bahnen gezwungen, so dass die Stoßwahrscheinlichkeit und damit die Zahl der generierten Ionen/Elektronenpaare entsprechend zunimmt [53]. Das so arbeitende heutzutage übliche Abscheideverfahren nennt man Magnetronsputtern.

Eine Sonderform ist das reaktive Sputtern. Dabei wird das abzuscheidende Material erst während des Abscheideprozesses durch eine chemische Reaktion des vom Target abgesputterten Materials mit dem reaktiven Gas, das dem Arbeitsgas beigemischt wird, nahe der Waferoberfläche gebildet. Möchte man beispielsweise TiN abscheiden, verwendet man ein Titan-Target und leitet zusätzlich zum Arbeitsgas Stickstoff in die Kammer. Dieser reagiert an oder nahe der Waferoberfläche mit dem gesputterten Titan, so dass sich ein TiN-Film bildet.

Der gesamte Prozess findet in einer geschlossenen Kammer unter Vakuumbedingungen

statt. Die zu prozessierenden Wafer werden üblicherweise in eine Ladestation gestellt, von wo aus sie mit einem Handler über eine Transferschleuse in die eigentliche Prozesskammer befördert werden. Auf diese Weise können äußere Verunreinigungen weitestgehend vermieden werden.

Zur Einstellung des Sputterprozesses hat man im wesentlichen vier Parameter zur Verfügung:

- Spannung (bzw. Leistung) der Kathode
- Gasdruck bzw. -fluss
- Substrattemperatur
- Sputterzeit

Mit den ersten beiden Parametern kann man in erster Linie die Abscheiderate kontrollieren. Grundsätzlich steigt diese mit steigender Spannung beziehungsweise Leistung auf Grund der wachsenden Energie, mit der die Ionen auf das Target aufschlagen und weil auch die Anzahl ionisierter Atome mit der Leistung zunimmt. Bei steigendem Gasdruck beziehungsweise Gasfluss wächst die Abscheiderate zunächst, da mehr Gasteilchen und damit auch mehr ionisierte Teilchen zum Sputtern zur Verfügung stehen. Ab einer bestimmten Menge an Gasteilchen jedoch sinkt die mittlere freie Weglänge der Teilchen unter die Abmessungen des Sputtersystems. In diesem Fall verlieren sie durch vermehrte Stöße mit anderen Gasteilchen vor dem Auftreffen auf der Targetoberfläche an Energie. Dies führt dann zu einem Absinken der Abscheiderate bei weiter steigendem Gasfluss. Aus ähnlichem Grund führt ein steigender Fluss (beziehungsweise Partialdruck) an reaktivem Gas auf Grund des damit einhergehenden Abfalls des Argon-Partialdrucks zu einer sinkenden Abscheiderate. Über die Einstellung der Substrattemperatur kann man die Filmstruktur beziehungsweise die Kompaktheit des aufwachsenden Films beeinflussen (Kapitel 3.2).

Die Filmdicke schließlich wird durch die Sputterzeit bestimmt. Der Zusammenhang der beiden Größen ist - von den ersten paar Atomlagen abgesehen - linear. Die Abscheiderate lässt sich folglich prinzipiell ermitteln, indem man einen dickeren Film abscheidet und dessen Dicke bestimmt. Aus dem Verhältnis von Filmdicke zu Abscheidedauer erhält man direkt die Abscheiderate.

### 5.1.2 Ti/TiN-Sputtern

Die Ti/TiN-Dünnschichten wurden in einer CLUSTERLINE 200 Sputteranlage der Firma Oerlikon abgeschieden, die standardmäßig im Fertigungsbetrieb eingesetzt wird. Abbildung 5.2 zeigt einen schematischen Aufbau der Anlage. Der Carrier mit den zu prozessierenden Wafern wird in eine der beiden Ladekammern (Loader A oder B) gestellt. Vor der Abscheidung jeder Charge wird in der Regel ein Dummy-Wafer prozessiert. Dies ist notwendig, da sich bei einigen Targets (zum Beispiel Aluminium) eine dünne Oxidschicht

an der Oberfläche bilden kann. Dies führt zu Abweichungen in der Filmbeschaffenheit beim ersten prozessierten Wafer. Diese Oxidschicht ist nach kurzer Sputterzeit entfernt. Danach kann unmittelbar mit dem ersten regulären Wafer begonnen werden.

Es wird jeweils nur ein Wafer auf einmal prozessiert. Der Handler legt zunächst den ersten Wafer in den Aligner, wo er anhand seiner charakteristischen Einkerbung (Notch) ausgerichtet wird. Anschließend wird er in die Sputterkammer mit dem entsprechenden Target gelegt. Für Titan und TiN gibt es getrennte Sputterkammern, unter anderem, weil Titan bei 50°C, TiN hingegen bei einigen 100°C gesputtert wird. Nach dem der gewünschte Stickstofffluss aktiviert ist, beginnt der Sputtervorgang. Nach dessen Ende wird der Wafer zum Abkühlen in die Cooler-Kammer und schließlich zurück in den Carrier gelegt. Auf diese Weise wird ein Wafer nach dem anderen abgearbeitet.

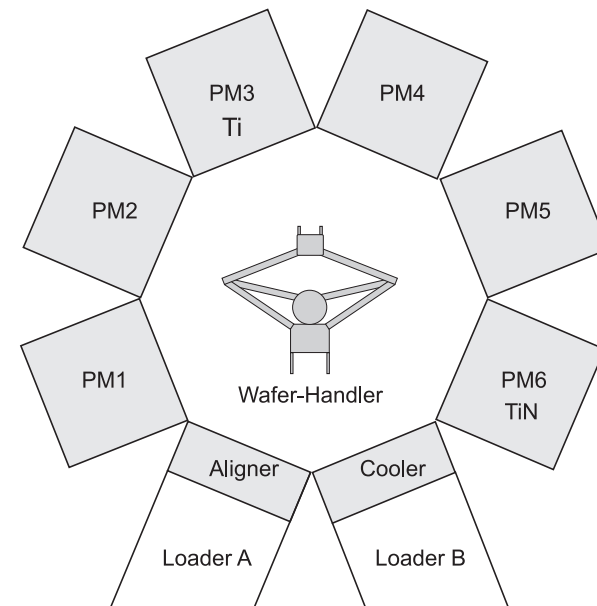


Abbildung 5.2: Prinzipieller Aufbau der CL200 Sputteranlage von Oerlikon (zum Ti/TiN-Sputtern)

Hinsichtlich der Sputterparameter (Abscheidetemperatur, Gasflüsse, einzustellende Leistung) orientierten sich die ersten Versuche mit Ti/TiN-Dünnschichten an den Erfahrungen der Barriereabscheidungen aus dem Fertigungsbetrieb der Linie. Tabelle 5.1 zeigt für die genannten Größen die in den verschiedenen Versuchschargen erprobten Größenbereiche.

Die Abscheideraten für verschiedene Stickstoffflüsse wurden bestimmt, indem jeweils dicke Filme auf Dummy-Wafer gesputtert wurden und die Filmdicke mittels einer Querschnittsaufnahme im REM (Rasterelektronenmikroskop) gemessen wurde. Diese Dickenmessung hat allerdings eine Toleranz von etwa  $\pm 5\%$ , so dass eine präzise Unterscheidung der Sputterraten der mit verschiedenen Stickstoffflüssen abgeschiedenen Dünnschichten nicht möglich war. Sie lag stets im Bereich von  $1 \pm 0,2$  nm/s (bei 4 kW Leistung). Eine präzise Dicken-

Tabelle 5.1: Sputterparameter bei der Ti/TiN-Abscheidung

Eingestellte Leistung	2 bzw. 4 kW
Abscheidetemperatur	300, 340, 400°C
Argonfluss	stets 12 sccm
Stickstofffluss	10, 20, 30, 42, 80 sccm
Sputterzeiten	9,6 bis 144 s (je nach angestrebter Schichtdicke)

bestimmung bei den nur etwa 10 bis 15 nm dicken Dünnschichtwiderständen war auf Grund der beschränkten Auflösung der REM-Analyse ebenfalls nicht möglich. Im Zusammenhang mit der Modellierung der Leitungsmechanismen wurde für zwei Proben eine TEM-Analyse (Transmissionselektronenmikroskopie) durchgeführt. Die Abscheideweiten für die Herstellung dieser Proben orientieren sich an den Werten aus Tabelle 5.1. Als Ergebnis ergab sich eine leichte, aber vertretbare Abweichung der sich ergebenden Schichtdicke nach oben (Tabelle 5.2).

Tabelle 5.2: Ti/TiN-Dicken aus TEM-Analyse

SOLLWERTE	GEMESSENE GESAMTDICKE
5 nm Ti + 15 nm TiN	23 nm
5 nm Ti + 150 nm TiN	160 nm

### 5.1.3 Ti/NiCr-Sputtern

Da NiCr - anders als TiN - kein Standardmaterial in der CMOS-Fertigung ist, wurde in diesem Fall eine andere Sputteranlage, die für Forschungszwecke existiert, verwendet. Es handelt sich um eine ClusterSystems CS 850 S der Firma von Ardenne (Abbildung 5.3). Diese besitzt unter anderem eine Prozesskammer mit zwei Magnetronsputterquellen für DC-Beschichtung, wie sie in diesem Fall verwendet wurde. Eine ist mit einem Ti-Target, die andere mit einem Ni(80%)Cr(20%)-Target bestückt. Über eine Transferschleuse werden mittels eines Handlers nacheinander sechs Wafer in die Prozesskammer befördert, in der diese auf eine drehbare Platte gelegt werden. Nacheinander wird ein Wafer nach dem anderen durch Drehen der Platte unter das entsprechend Target gebracht und besputtert. Zu Beginn des Sputterprozesses wird jeweils während der ersten 30 Sekunden ein Shutter (Abdeckplatte) zwischen Target und Waferhalter gesetzt, um den Prozess einzufahren. Damit sollen Ungenauigkeiten und Inhomogenitäten, die am Anfang der Abscheidung auftreten können, vermieden werden.

Die Parameter zur Abscheidung der Ti/NiCr-Dünnschichten sind in Tabelle 5.3 angegeben.

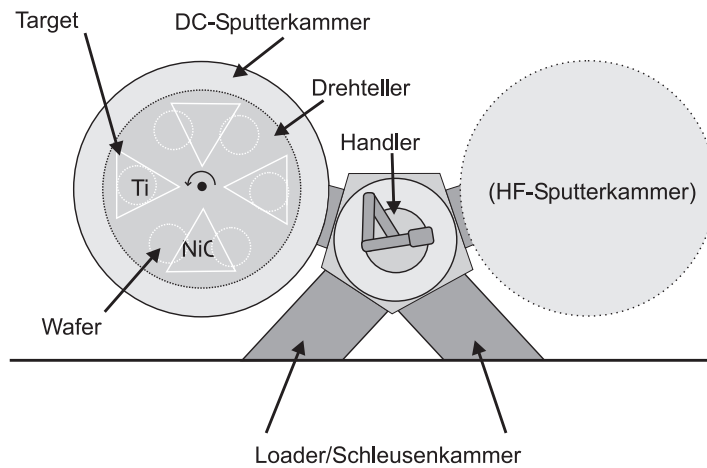


Abbildung 5.3: Prinzipieller Aufbau der CS 850 S von Ardenne (zum Ti/NiCr-Sputtern)

Tabelle 5.3: Sputterparameter bei der Ti/NiCr-Abscheidung

Eingestellte Leistung	jeweils 150 W
Abscheidetemperatur	Raumtemperatur
Argonfluss (Ti)	85 sccm
Argonfluss (NiCr)	35 sccm

Die untersuchten Dünnschichtwiderstände bestanden stets aus einer Schichtenfolge von Titan und NiCr. Für die untere dünne Titanschicht wurden Dicken zwischen 2 und 10 nm untersucht. Als NiCr-Dicke ergab sich sehr schnell 10 nm (Soll) als geeignet. Die benötigten Abscheidezeiten wurden zunächst abgeschätzt.

Im Rahmen der Untersuchungen der fertigen Dünnschichtwiderstände wurde ein unstrukturierter Wafer mit einer Ti/NiCr-Schichtenfolge einer TEM- (Transmissionselektronenmikroskop) Analyse unterzogen. Diese ergab für die Titanschicht (5 nm Sollstärke) eine tatsächliche Dicke von 2,5 nm und für die NiCr-Schicht (10 nm Sollstärke) eine Dicke von 12 nm. Daraus ergibt sich für Titan eine Abscheiderate von 0,01 nm/s und für NiCr 0,04 nm/s. Tabelle 5.4 führt die in den verschiedenen Versuchschargen verwendeten Titan- und NiCr-Abscheidezeiten und die sich aus der berechneten Abscheiderate ergebenden Dicken auf.

Tabelle 5.4: Sputterzeiten und berechnete Schichtdicken der Ti/NiCr-Dünnschichten (auf der Basis einer TEM-Analyse)

Soll-Schicht	Sputterzeit [s]	berechnete Schichtdicke [nm]
2 nm Ti	95	1,0
3 nm Ti	142	1,5
5 nm Ti	237	2,5
7 nm Ti	332	3,5
10 nm Ti	475	5,0
5 nm NiCr	160	6
10 nm NiCr	320	12
30 nm NiCr	960	36

## 5.2 Strukturierung der Widerstände

### 5.2.1 Prozessschritte zur Dünnschichtstrukturierung

Die Strukturierung von Dünnschichtwiderständen wird - wie die anderer Schichten in integrierten Schaltungen - mit Hilfe von Fotolithografie und anschließendem Ätzen durchgeführt. Abbildung 5.4 zeigt die wesentlichen Prozessschritte. Der zuvor aufgeschleuderte und getrocknete Fotolack wird mittels einer Fotomaske, die die gewünschten Widerstandsstrukturen enthält, belichtet (Verkleinerungsfaktor 5:1). Als Lichtquelle dient eine Quecksilberlampe, wobei die I-Linie (365 nm Wellenlänge) genutzt wird. Nach der anschließenden Entwicklung des Fotolacks, bei der die belichteten Bereiche des Lacks entfernt werden, erfolgt das Ätzen des Dünnschichtmaterials. Abhängig vom zu ätzenden Material kommt dabei Trocken- oder Nassätzen zum Einsatz. Die angewendeten Ätzmethoden und -bedingungen für die Ti/TiN- und Ti/NiCr-Dünnschichten werden in den folgenden beiden Unterkapiteln vorgestellt. Nach dem Ätzen wird der Fotolack in einer speziellen Plasmakammer durch Veraschung entfernt [10].

Abhängig von der verwendeten Lithografie ist die minimal erzielbare Auflösung von Strukturen nach unten hin begrenzt. Das in diesem Zusammenhang am häufigsten angewendete Auflösungskriterium ist das sogenannte Rayleigh-Kriterium [53]. Danach lässt sich der kleinste noch auflösbare Abstand  $d$  wie folgt berechnen:

$$d = \frac{k_1 \lambda}{NA} \quad (5.1)$$

Dabei ist  $\lambda$  die Wellenlänge (hier also 365 nm),  $NA$  die numerische Apertur der Linse und  $k_1$  ein Faktor, der von der Form der Eintrittsöffnung der Linse, dem Kohärenzgrad des Lichtes und dem Auflösungskriterium abhängt. Nicht berücksichtigt ist jedoch die

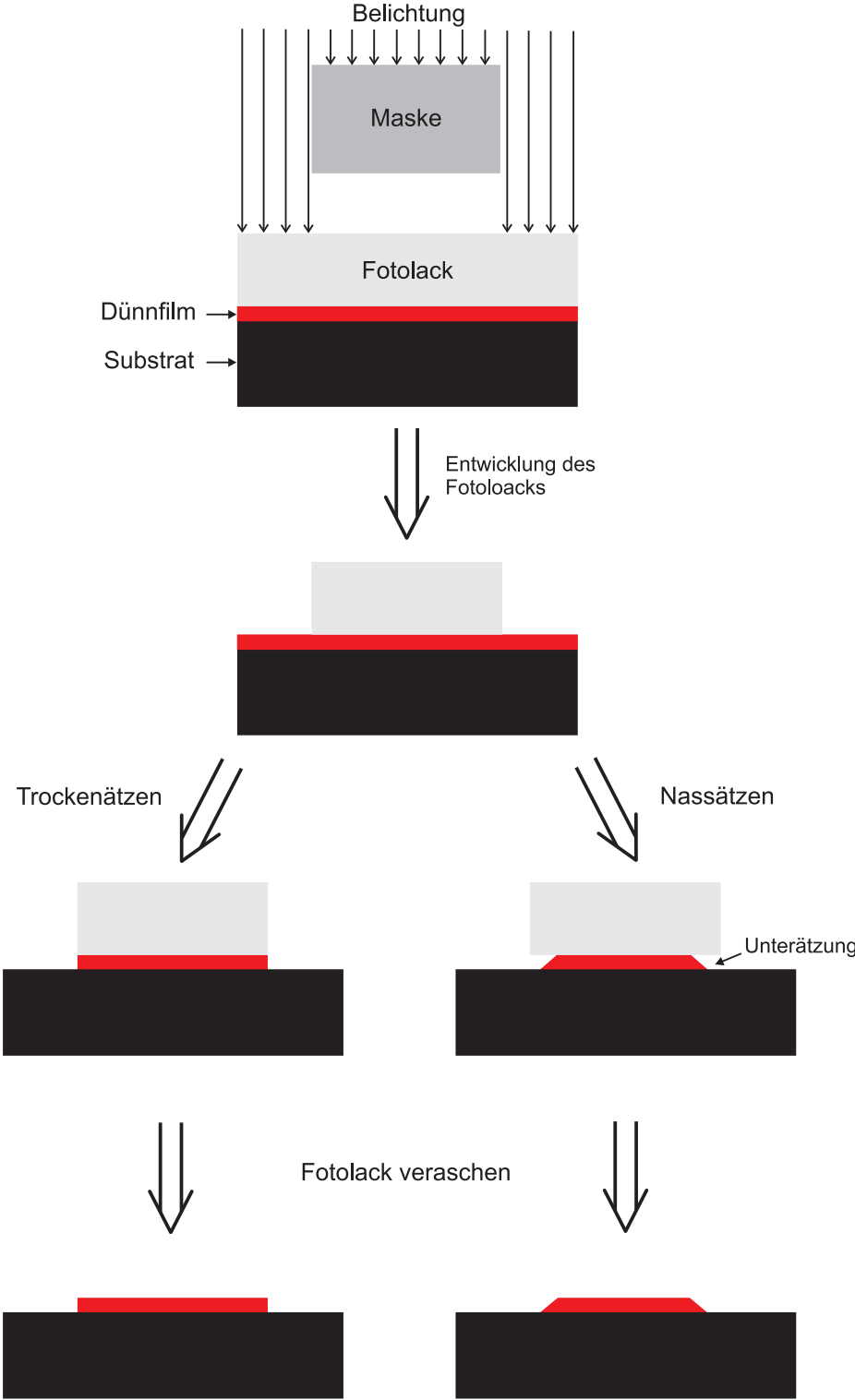


Abbildung 5.4: Prozessschritte zum Strukturieren eines Dünnschichtfilms

ebenfalls begrenzte Auflösung des Fotolacks. Im vorliegenden Fall beträgt die minimale Auflösung (nach Aussage der für die Anlage verantwortlichen Prozessingenieure) gut  $0,5 \mu\text{m}$ .

### 5.2.2 Trockenätzen Ti/TiN

Das Trockenätzen - genauer gesagt das reaktive Ionenätzen (RIE) - ist die heute vorherrschende Technik zum Strukturieren von Schichten in integrierten Schaltungen, zum Beispiel Polysilizium und Aluminium. Hauptgrund dafür ist die Tatsache, dass der Plasmaätzvorgang in hohem Maße anisotrop ist. Das bedeutet, dass der Materialabtrag nur in senkrechter Richtung stattfindet und eine laterale Unterätzung der Fotolackstrukturen weitestgehend unterbleibt. Auf diese Weise ist es möglich, auch bei den in Submicron-Prozessen immer kleiner werdenden Bauelementen und Leiterbahnen eine getreue Abbildung der Maskenstrukturen zu realisieren.

Das reaktive Ionenätzen ist eine gemischt chemische und physikalische Ätzmethode. Den Aufbau einer RIE-Ätzkammer zeigt Abbildung 5.5. Das Prinzip der physikalischen Ätzung entspricht weitestgehend einem Sputtervorgang (Kapitel 5.1.1). Der Aufbau ähnelt somit stark der Sputterkammer in Abbildung 5.1. Der wesentliche Unterschied besteht darin, dass beim Ätzen der Wafer auf der Kathode liegt, so wie das Target beim Sputterprozess. Als Prozessgas wird ein zum Ätzen des jeweiligen Materials geeignetes Reaktionsgas verwendet. Die Kathode wird hier zusätzlich mit einer hochfrequenten Wechselspannung gespeist. Die Elektronen im Plasma können dem Wechselfeld folgen, die Ionen sind wegen ihrer großen Masse zunächst nahezu ortsfest. Während der positiven Halbwelle des Feldes bewegen sich die Elektronen auf die Kathode zu und laden sie negativ auf. Während der negativen Halbwelle verbleiben sie in der Kathode, da sie nicht in der Lage sind, die notwendige Austrittsarbeit aufzubringen. Die Kathode bleibt daher negativ geladen. Die auf Grund des sich daraus ergebenden elektrischen Feldes zur Kathode - und damit zur Waferoberfläche - hin beschleunigten Ionen schlagen beim Auftreffen Atome aus den freiliegenden Bereichen des Dünnschichtfilms heraus. Teilweise erfolgt auch eine chemische Reaktion der Ionen mit den getroffenen Atomen auf der Waferoberfläche. Falls der Prozessdruck passend gewählt ist, ist die mittlere freie Weglänge der Ionen so groß, dass sie nahezu senkrecht auf der Waferoberfläche aufschlagen. Senkrechte Kanten werden nicht getroffen, so dass die Ätzung sehr anisotrop abläuft. Die physikalisch abgetragenen Atome reagieren größtenteils mit ungeladenen Radikalen im Plasma, so dass es zu keiner nennenswerten Redeposition auf der Waferoberfläche kommt [10].

Die im Rahmen dieser Arbeit prozessierten Ti/TiN-Dünnschichtfilme wurden in einer Centura Trockenätzablage von Applied Materials mittels reaktivem Ionenätzen strukturiert. Zum anschließenden Entfernen des Fotolacks besitzt die Anlage eine separate Verascherkammer. Die wichtigsten Angaben und Parameter sind in Tabelle 5.5 zusammengefasst.

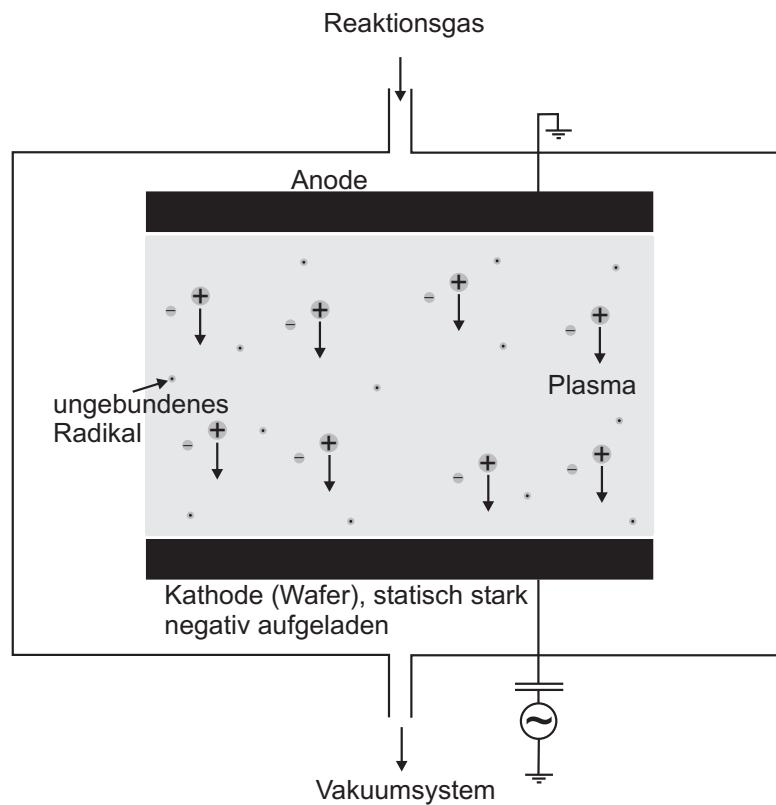


Abbildung 5.5: Querschnitt einer RIE-Ätzkammer (Prinzipische Skizze)

Tabelle 5.5: Angaben und Parameter zum Trockenätzen der Ti/TiN-Dünnschichten in der Centura von Applied Materials

Reaktionsgas	Cl <sub>2</sub> /BCl <sub>3</sub>
Temperatur während des Ätzens	Chuck: 45°C; Wände: 80°C
Atmosphäre in Verascherkammer	H <sub>2</sub> ; N <sub>2</sub> ; Wasserdampf
Temperatur während Veraschen	ca. 280°C

### 5.2.3 Nassätzen Ti/NiCr

Auf Grund seiner Anisotropie und seiner guten Reproduzierbarkeit sollte zum Strukturieren einer Schicht nach Möglichkeit das Trockenätzverfahren zur Anwendung kommen. Leider gibt es nicht für alle Materialien ein zum chemischen Ätzen geeignetes Reaktionsgas. Zwar wäre theoretisch auch ein rein physikalischer Materialabtrag denkbar, jedoch würden die herausgeschlagenen Partikel sich im Inneren der Ätzkammer niederschlagen und diese so verunreinigen. Für solche Materialien kommt daher nur Nassätzen in Betracht.

Nasschemisches Ätzen ist das historisch ältere Verfahren zum Strukturieren von Schichten in integrierten Schaltungen. Die Wafer werden dabei entweder in ein mit der Ätzlösung gefülltes Becken getaucht oder mit der Ätzlösung besprüht. Ebenso wie das Trockenätzen ist das nasschemische Ätzen ein zeitgesteuerter Prozess. Die notwendige Ätzdauer wird demnach durch die Ätzrate der Lösung und die Dicke der zu ätzenden Schicht bestimmt. Dabei ist zu beachten, dass die Ätzrate temperaturabhängig ist. Der Vorteil dieses Verfahrens besteht - neben dem einfachen Aufbau - in seiner meist hohen Selektivität. Das bedeutet, dass die Ätzlösung nur das zu strukturierende Material löst, die darunterliegenden Schichten jedoch nicht signifikant angreift.

Der wichtigste Nachteil des Nassätzens ist seine Isotropie. Anders als beim Trockenätzen erfolgt der Materialabtrag stets in alle Richtungen gleichermaßen. Alle geätzten Strukturen werden also mindestens so weit lateral unterätzt, wie die Schicht dick ist (Abbildung 5.4), bei einer Überätzung entsprechend stärker. Somit ist die minimal erzielbare Strukturauflösung beschränkt. Zum Strukturieren von Schichten, deren laterale Abmessungen in der gleichen Größenordnung liegen wie die Schichtdicke, ist diese Technik nicht geeignet. Ein weiteres Problem speziell beim Tauchätzverfahren ist die Tatsache, dass sich die Ätzrate im Laufe der Zeit ändern kann. Dies liegt zum einen an den gelösten Partikeln der geätzten Schicht, zum anderen auch an der begrenzten chemischen Langzeitstabilität der Ätzlösung [10].

Für NiCr gibt es kein geeignetes Reaktionsgas, so dass Strukturieren der Ti/NiCr-Dünnschichten durch reaktives Ionenätzen nicht möglich ist. In diesem Fall kam daher nasschemisches Ätzen zum Einsatz. Da die zu ätzenden Dünnschichten nur einige Nanometer dick und die minimale Breite der Strukturen um den Faktor 200 größer waren, ist die Isotropie des Verfahrens hier beherrschbar. Da es in der Fertigungslinie, in der die Dünnschichtwiderstände hergestellt wurden, keine Anlage zum automatisierten Nassätzen von NiCr gibt, wurden die NiCr-Schichten manuell in einem Tauchbecken geätzt. Die darunter liegenden Titanschichten konnten dagegen in einer Sprühätzanlage prozessiert werden. Die Tabellen 5.6 beziehungsweise 5.7 führen die wichtigsten Angaben und Parameter des Prozesses auf.

Der Fotolack wurde nach dem Ätzen in einem Verascherofen bei ca. 250°C in einer CF<sub>4</sub>/O<sub>2</sub>-Atmosphäre entfernt (Einzelwaferprozessierung).

Tabelle 5.6: Angaben und Parameter zum manuellen Nassätzen der NiCr-Schichten

Ätzlösung	Chrome-Etch 7334 Honeywell (Diammoniumhexanitrocerat(IV)-Lösung mit 37 g/l Essigsäure)
Ansatz (Cr-Etch/H <sub>2</sub> O)	1:5
Temperatur der Ätzlösung	Raumtemperatur
Ermittelte Ätzrate	≥ 0,22 nm/s

Tabelle 5.7: Angaben und Parameter zum Nassätzen der Ti-Schichten

Ätzlösung	Defreckle-Etch PFF (71 % Phosphorsäure, 11 % Essigsäure, 2 % Salpetersäure)
Temperatur	30°C
Ermittelte Ätzrate	0,022 nm/s bzw. 1,4 nm/min

### 5.3 Ofentemperaturen

Aus zwei Gründen werden metallische Dünnschichten zur Realisierung von Widerständen bei ihrer Herstellung temperungen, das heißt Temperaturbehandlungen in einem speziellen Ofen nach der Filmabscheidung unterzogen:

- zur Einstellung der elektrischen Parameter der Dünnschichten, insbesondere des TCR
- zur Ausheilung von strukturellen Defekten und damit zur thermischen Stabilisierung

Auf die Gründe beziehungsweise Konsequenzen von Temperungen wurde in Kapitel 3.2.1 näher eingegangen.

Eine Reihe prozessierter Proben wurden nach Abscheidung und Strukturierung der Dünnschichten in unterschiedlicher Weise getempert. Die meisten Ofenbehandlungen fanden unter Schutzgasatmosphäre, das heißt Stickstoff beziehungsweise Formiergas statt. Letzteres ist Stickstoff mit einigen Prozent Wasserstoff und wird auch in anderen technischen Bereichen als Schutzgas verwendet. Im vorliegenden Fall wurden Stickstoff und Wasserstoff getrennt im Verhältnis 9:1 in den Ofen geleitet. In einem speziellen Fall wurde eine Probe in Luft getempert. Für diese Lufttemperaturen wurde der Ofen ohne irgendwelche Zuleitungen betrieben, da eine solche für Luft nicht zur Verfügung stand. Tabelle 5.8 führt die wichtigsten Parameter bezüglich der Temperungen auf.

Tabelle 5.8: Parameter zu den Temperungen

Temperaturbereich	250-450°C
Temperzeiten	10-75 min
Temperaturrampe beim Aufheizen	10 K/min
Temperaturrampe beim Herunterkühlen	4 K/min

## 5.4 CMOS-Integration

Die im Folgenden gemachten prozessspezifischen Angaben beziehen sich - soweit nicht durch Literaturangaben gekennzeichnet - auf die konkreten Fertigungsbedingungen in der Linie, in der die Versuche durchgeführt wurden.

### 5.4.1 Generelle Aspekte der Prozessintegration

Die Integration von Dünnschichtwiderständen in einen CMOS-Prozess - und generell in eine integrierte Schaltung - stellt eine nicht zu unterschätzende Herausforderung dar. Zunächst einmal benötigen Widerstände eine isolierende Unterlage. In CMOS kommt dafür Siliziumdioxid ( $\text{SiO}_2$ ; Feld-, Zwischen-, Viaoxid)) und Siliziumnitrid ( $\text{SiN}$ ; Abschluss-Passivierung) in Betracht. Weiterhin dürfen sich Dünnschichtwiderstände und der Rest der Schaltung nicht gegenseitig negativ beeinflussen. Einerseits dürfen die Standardprozessschritte, die nach der Herstellung der Widerstände noch folgen, deren Eigenschaften nicht unzumutbar ändern. Zum anderen dürfen auch die zur Widerstandsherstellung zusätzlich notwendigen Prozessschritte und Materialien keinen negativen Einfluss auf den Rest der Schaltung nehmen.

Die Dünnschichtwiderstände - insbesondere Ti/NiCr - benötigen eine bestimmte Temperatur zur Einstellung des gewünschten TCR. Temperatur und Dauer sind die kritischen Parameter dieser Temperaturbehandlung. Sämtliche der Filmabscheidung nachfolgenden CMOS-Schritte, die Prozesstemperaturen in der Größenordnung der Dünnschichttemperatur (oder sogar darüber) aufweisen, sind daher potentiell geeignet, die Widerstandseigenschaften maßgeblich zu verschlechtern. Sowohl bei den Ti/TiN- als auch bei den Ti/NiCr-Widerständen hat sich gezeigt, dass Temperungen bei 400°C bereits zu einem Absinken des Schichtwiderstandes und einem damit verbundenen deutlichen Anstieg des TCR führen. Zu erklären ist dies mit einem in diesem Temperaturbereich einsetzenden Kornwachstum im Dünnschicht, das metallischere elektrische Eigenschaften zur Folge hat (Kapitel 3.2.1). Die höchsten Prozesstemperaturen (ca. 1000°C) kommen während der Herstellung der Transistoren in Form von Ausheiltemperaturen nach Implantationen vor. Bei etwa 900°C liegt der sogenannte Reflow, der dazu dient das Zwischenoxid zwischen der Polysiliziumebene und der untersten Metallebene einzuebnen [10]. Diese Prozessschritte würden das benötigte beziehungsweise erlaubte Temperaturbudget der Dünnschichtfilme bei weitem überschreiten. Ab der ersten Metallisierungsebene liegen die höchsten Temperaturen wesentlich niedriger. Die CVD-Abscheidung der Viaoxide und der Abschlusspassivierung finden jeweils bei

400°C für wenige Minuten statt. Am Ende eines CMOS-Prozesses wird eine Abschluss-temperatur (10 Minuten bei 440°C in Formiergas) durchgeführt.

Ein negativer Einfluss der speziellen Herstellungsschritte für die Ti/TiN- und Ti/NiCr-Dünnschichtwiderstände ist nicht zu erwarten. Die meisten dieser Schritte sind prinzipiell Standard in der CMOS-Fertigung. Lediglich die Ätzlösung zur NiCr-Strukturierung darf als etwas exotisch bezeichnet werden. Diese hat sich allerdings als sehr selektiv gegenüber darunter liegenden Schichten (Aluminium, Oxid, Nitrid) erwiesen. Die im Rahmen der durchgeführten Versuche mit den Prozessschritten einhergehenden Temperaturen liegen mit maximal 450°C in der Größenordnung einer üblichen CMOS-Abschlusstemperatur und somit auch deutlich niedriger als die höchsten vorkommenden Temperaturen in einem CMOS-Prozess und deutlich unterhalb der Schmelztemperatur von Aluminium (660°C), was in Hinblick auf die Metallisierung einer Schaltungen von Bedeutung ist. Ein störender Einfluss der mit den Schritten zur Herstellung der Widerstände verbundenen Temperaturen auf die restlichen Schaltungsteile kann somit weitestgehend ausgeschlossen werden.

Prinzipiell kann das Dünnschichtmaterial eine Kontaminationsquelle darstellen. Gelangen Spuren des Materials durch Diffusion in das Silizium oder an die Silizium-Gateoxid-Schnittstelle, kann dies schädliche Auswirkungen auf die Halbleiterbauelemente haben. Manche Metalle wie zum Beispiel Kupfer oder Gold erzeugen zusätzliche Defektniveaus in der Bandlücke und agieren dort als Ladungsträger-Traps oder Generations- und Rekombinationszentren. Nickel und Chrom zählen zu diesen metallischen Verunreinigungen [54]. Für eine Abschätzung der Kontaminationsproblematik von NiCr wären prinzipiell die Entfernung der Dünnschichtfilme von den Halbleiterbauelementen, die Diffusionskonstanten der beiden Metalle in Silizium und Siliziumdioxid und die Prozesstemperaturen, die nach der Filmabscheidung noch auftreten von Bedeutung. Gewollte Diffusionsprozesse in CMOS finden üblicherweise bei Temperaturen im Bereich von 1100 bis über 1200°C statt [10]. Integriert man NiCr-Dünnschichtwiderstände in einer Metallisierungsebene, sind die höchsten noch auftretenden Prozesstemperaturen - wie schon erwähnt - mit etwa 450°C wesentlich niedriger (siehe unten). Ti/TiN ist als Standardmaterial in CMOS bezüglich Kontaminationsproblemen unkritisch.

Schließlich muss für eine erfolgreiche CMOS-Integration eine stabile ohmsche Kontaktierung der Dünnschichtfilme mit der Standardmetallisierung (Aluminium) realisierbar sein. Da Ti/TiN in integrierten Schaltungen unter anderem als Kontakthaftschicht zwischen Aluminium und Wolframkontaktstüpseln verwendet wird, sollte die direkte Kontaktierung von Ti/TiN-Dünnschichtwiderständen und Aluminium kein prinzipielles Problem darstellen. Sowohl die Kontaktfolge Ti-Al als auch TiN-Al kommen in CMOS vor. Bezüglich der Kontaktierung von NiCr werden in vielen Veröffentlichungen verschiedene Metalle beziehungsweise Schichtenfolgen genannt. Häufig werden ein oder mehrere Edelmetalle, zum Teil in Kombination verwendet, zum Beispiel Gold und Palladium [55] [56]. Auch Kupfer [57] [58] und Aluminium [59] werden als geeignete Kontaktmetalle aufgeführt. Im Rahmen dieser Arbeit kam nur Aluminium in Betracht, da andere Kontaktmetalle unter anderem einen inakzeptablen zusätzlichen finanziellen und apparativen Aufwand bedeutet hätten. Da es sich um eine Schichtenfolge Ti-NiCr handelt, sind hier zwei Fälle der Kontaktie-

nung zu unterscheiden. Im ersten Fall liegt die dünne Titanschicht zwischen Aluminium und NiCr (Materialfolge Al-Ti-NiCr), im anderen Fall gibt es einen direkten Kontakt zwischen NiCr und Aluminium (Ti-NiCr-Al). Wie bereits erwähnt, ist die Schichtenfolge Al-Ti Standard in CMOS. Die Schichtenfolge Ti-NiCr ist ebenfalls in der Literatur bekannt und stabil [44]. Al-Ti-NiCr wurde daher von Anfang an als eine potentiell geeignete Schichtenfolge angesehen.

Abbildung 5.6 zeigt drei unterschiedliche Varianten zur Kontaktierung von Dünnschichtwiderständen. Bei Variante a) wird zuerst der Dünnschicht abgeschieden und strukturiert. Anschließend wird die Kontaktmetallisierung prozessiert. Bei Variante b) ist es genau umgekehrt. Variante c) zeigt eine Integration des Dünnschichtwiderstands in einer eigenen Ebene (zum Beispiel zwischen zwei regulären Metallebenen. Eine Grundbedingung zur Realisierung von Variante a) ist, dass das Metall selektiv zum darunterliegenden Dünnschicht geätzt werden kann. In diesem Fall kommt nur Nassätzen in Betracht, was allerdings die Strukturgröße dieser Metallebene nach unten hin begrenzt. Auch muss darauf hingewiesen werden, dass Aluminium an Luft stets eine dünne aber sehr stabile Oxidschicht an der Oberfläche bildet. Es ist zu klären, inwiefern diese die Stabilität eines Kontaktes an der Aluminium-Titan-Schnittstelle beeinträchtigt. Bei Variante b) kann es bei Plasmastrukturierung des Dünnschichts zu einer Anätzung der darunterliegenden Metallschicht kommen. Dies kann bei ausreichender Dicke des Metalls jedoch tolerierbar sein. Speziell für Ti/NiCr passt die Variante b) soweit es die bereits positiv erwähnte Schichtenfolge Al-Ti-NiCr betrifft. Variante c) ist die mit Abstand aufwändigste, da sie eine zusätzliche Oxidabscheidung und eine zusätzliche Maskenebene für die Widerstandskontaktlöcher (Lithografie und Ätzen) erfordert. Von Vorteil ist die Tatsache, dass in diesem Fall vor dem Verfüllen der Kontaktlöcher die Oberfläche des Dünnschichts durch einen kurzen Rückspatterschritt ("Sputterclean") von einer sich möglicherweise gebildeten dünnen Korrosionsschicht befreit werden kann. Ein solcher Schritt, der die Qualität des Dünnschicht-Metall-Kontaktes verbessern kann, ist nur in solchen Fällen möglich, bei denen die freiliegenden Dünnschichtflächen nur einen sehr kleinen Bedeckungsgrad auf dem Wafer haben. Dies wäre im Fall c) der Fall, da ja nur die kleinen Flächen in den Kontaktlöchern freiliegen. Bei den Varianten a) und b) wäre der Bedeckungsgrad möglicherweise zu groß. Ein etwaiger Rückspatterprozess würde bei diesen Varianten zu einer inakzeptablen Partikelbelastung in der Sputterkammer führen.

### 5.4.2 Untersuchte Integrationsvarianten

Dünnschichtwiderstände aus NiCr werden meist ganz oben auf einer integrierten Schaltung, über der Passivierung, integriert [2]. Der große Vorteil dieser Integrationsvariante ist die Trennung der Standardprozessierung von der Prozessierung der Widerstände. Desweiteren sind die Widerstände so nicht den Temperaturen, bei denen die Passivierung abgeschieden wird, und der Abschlusstemperatur ausgesetzt. Der wesentliche Nachteil besteht in der Anzahl zusätzlicher Prozessschritte (zusätzliche Metallebene, gegebenenfalls zusätzliche (spezielle) Schutzschicht für die Widerstände).

Im Fall von NiCr verbietet sich eine Integration nahe am Silizium auf Grund der angesprochenen Kontaminationsproblematik und den hohen Prozesstemperaturen, die vor

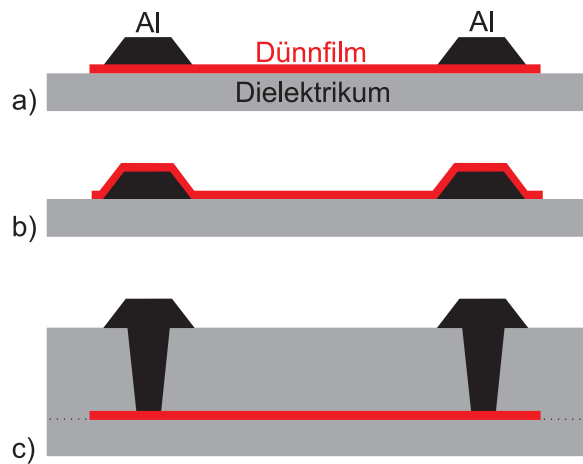


Abbildung 5.6: Mögliche Kontaktierungsvarianten: a) Metall nach Dünnschicht, b) Metall vor Dünnschicht, c) Dünnschicht in separater Ebene

den Metallisierungsebenen auftreten (Kapitel 5.4.1). Das zweite Argument betrifft auch TiN-Widerstände.

Im Rahmen dieser Arbeit wurden zwei Integrationsvarianten für Ti/TiN und Ti/NiCr untersucht (Abbildung 5.7):

- Integration in der obersten Metallisierungsebene (vor der Standard-Passivierung) (Abbildung a)
- Integration über der Passivierung (nach der Standard-Passivierung) (Abbildung b)

Bei der Integrationsvariante a) ("vor Passivierung") laufen bis zur Prozessierung der obersten Metallebene (einschließlich Strukturierung) Standard-CMOS-Schritte ab. Die Kontakte zur Widerstandsschicht werden aus dem Metall dieser Ebene gebildet. Anschließend wird die Dünnschicht abgeschieden, strukturiert und einer Temperung zur Einstellung des TCR und zur Stabilisierung unterzogen. Danach folgen die restlichen CMOS-Prozessschritte (Passivierung, Abschlusstemperung).

Bei der Integrationsvariante b) ("nach Passivierung") wird erst der komplette CMOS-Prozess bis zur Abschlusstemperung durchlaufen. Die Dünnschichtwiderstände werden anschließend mit einer zusätzlichen Metallebene realisiert.

Die Kernaspekte bei der Untersuchung beider Integrationsvarianten waren die Eignung der isolierenden Schichten SiO<sub>2</sub> (a) und SiN (b) sowie das notwendige und tolerierbare Temperaturbudget zum Erzielen der gewünschten Eigenschaften der Dünnschichten (Stabilität, niedriger TCR mit geringer Streuung).

Ein weiterer wichtiger Gesichtspunkt der Integration ist die Strukturierung der (vor der Abscheidung der Dünnschicht) prozessierten Metallebene hinsichtlich der angewandten Ätztechnik. In modernen CMOS-Prozessen werden Aluminiumschichten üblicherweise

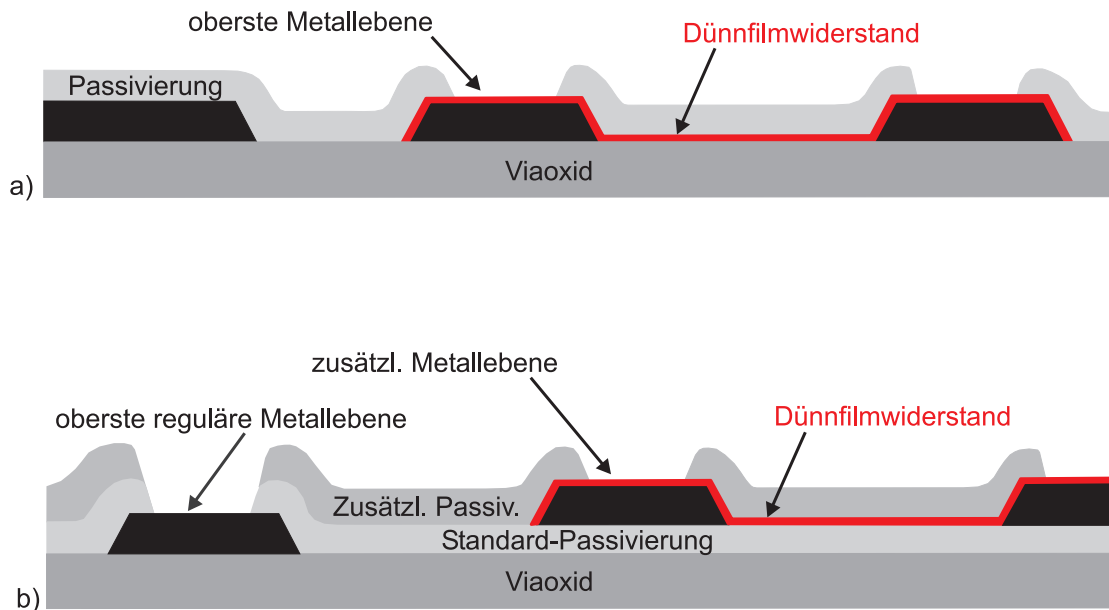


Abbildung 5.7: Untersuchte Integrationsvarianten: a) Integration "vor Passivierung", b) Integration "nach Passivierung" (mit Öffnungen der zusätzlichen Passivierungsschicht zur Kontaktierung mit Messspitzen)

trocken geätzt. Diese Ätzmethode ist jedoch nicht in gänze selektiv gegenüber dem isolierenden Untergrund, der in diesem Fall das Substrat für die Widerstände bildet. Dieser Untergrund ist somit einer zumindest geringen Anätzung beim Strukturieren der Metallebene durch Plasmaätzen ausgesetzt. Es war zu untersuchen, inwieweit die sich daraus ergebende rauere und potenziell inhomogenere Oberflächenstruktur auf die elektrischen Parameter - insbesondere den TCR - und deren Streuung über einen Wafer auswirkt. Alternativ - beziehungsweise für die Variante "nach Passivierung" ausschließlich - wurde die wesentlich selektivere Nassätztechnik zur Metallstrukturierung erprobt.

Aus den bisherigen Argumentationen ergibt sich unter anderem, dass die Integrationsvariante "vor Passivierung" auf Grund der geringeren Anzahl zusätzlicher Prozessschritte prinzipiell zu bevorzugen ist. Eine der entscheidenden Herausforderungen zur erfolgreichen Realisierung dieser Integrationsmethode lag darin, trotz der hohen Temperaturen, die bei der Passivierungsabscheidung und während der Abschlusstemperatur auftreten, einen niedrigen Temperaturkoeffizienten mit geringer Streuung zu erzielen.

## 5.5 Prozessierung der Proben

### 5.5.1 Prozessablauf zur Herstellung der Ti/TiN-Proben

Zu Beginn der Entwicklung der Ti/TiN-Dünnschichtwiderstände stand die Untersuchung der Materialeigenschaften im Vordergrund (Abbildung 5.8). Diesbezüglich wurden Proben

mit unterschiedlichen Dicken der TiN-Schicht und unter Variation des Stickstoffflusses während der TiN-Abscheidung gefertigt. Einige Proben erhielten verschiedene Temperaturen (300 bis 450°C) in Formiergas beziehungsweise Luft. Als isolierendes Substrat wurde für diese Proben 450 nm Feldoxid gewählt, da es sich erfahrungsgemäß mit einer wesentlich besseren Homogenität seiner Dicke über einen Wafer prozessieren lässt als CVD-abgeschiedenes SiO<sub>2</sub>. Letzteres kam erst im Rahmen von Integrationsversuchen zum Einsatz.

Bei den Materialversuchen wurde nach dem thermischen Aufwachsen des Feldoxids [10] zunächst die Ti/TiN-Dünnschicht gesputtert und trocken strukturiert (gemäß Kapiteln 5.1 bis 5.3). Zur Kontaktierung der Widerstände wurde anschließend 1000 nm Aluminium gesputtern und nass strukturiert (gemäß Abbildung 5.6 a). Einzelne Proben erhielten anschließend eine Temperung (s.o.). Abschließend erhielten einzelne Proben eine übliche CMOS-Passivierung. Diese besteht in diesem Fall aus 750 nm phosphordotiertem SiO<sub>2</sub> und 500 nm SiN. Diese Schutzschicht wurde mittels eines CVD-Prozesses abgeschieden und die Kontaktfenster wurden trocken geätzt.

In späteren Integrationsversuchen wurden Ti/TiN-Proben auf Viaoxid (CVD-abgeschiedenem undotiertem SiO<sub>2</sub>) beziehungsweise auf Standardpassivierung (s.o.) gemäß den Integrationsvarianten "vor" respektive "nach Passivierung" gefertigt. Hierzu wurde zuerst die Aluminiumkontaktschicht gesputtert und nass strukturiert. Anschließend wurde wiederum die Ti/TiN-Schicht gesputtert und trocken strukturiert. Einzelne Proben erhielten hiernach eine Temperung.

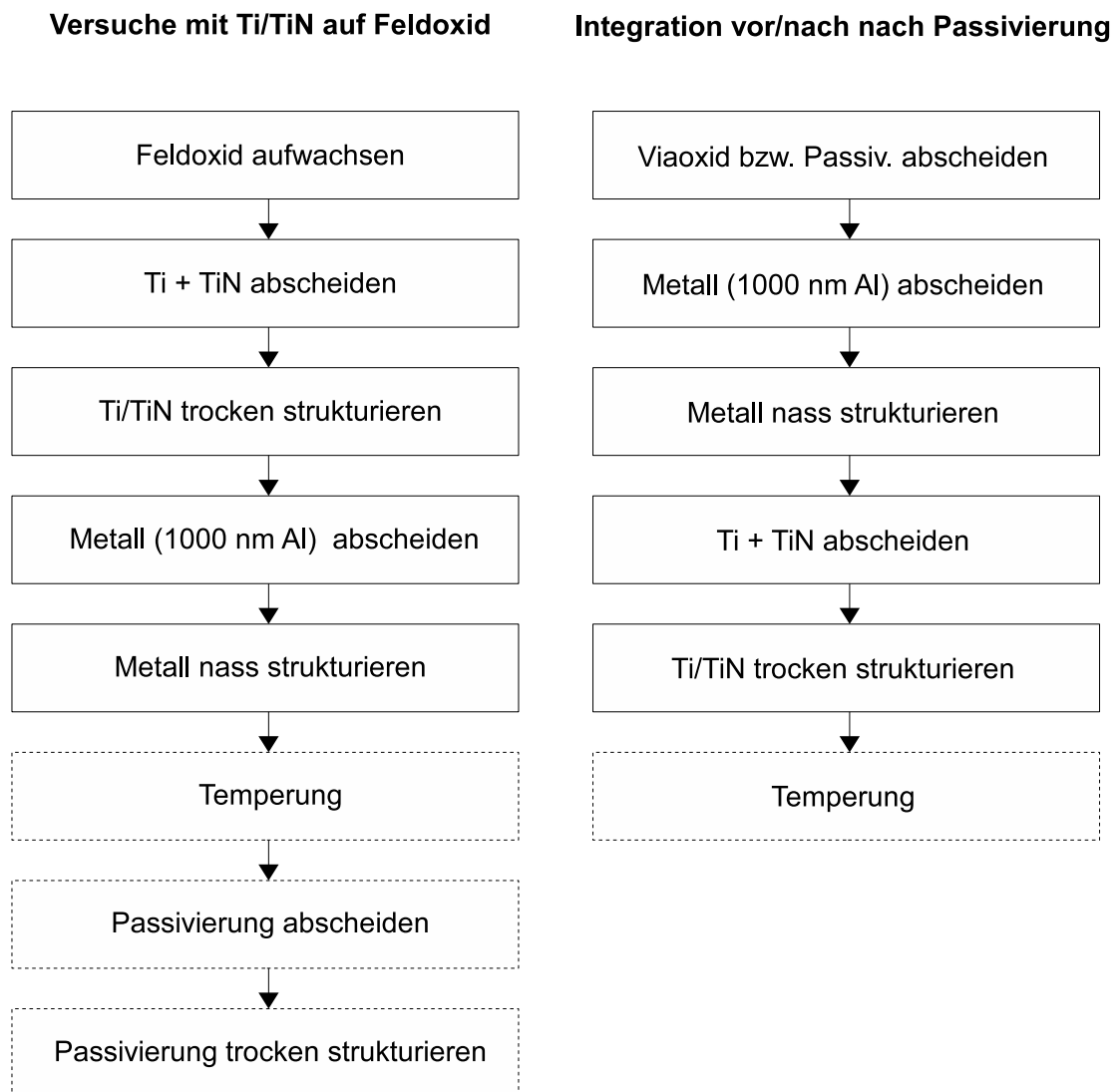


Abbildung 5.8: Schritte zur Prozessierung der Proben für die Entwicklung der Ti/TiN-Dünnschichtwiderstände (Materialversuche, Versuche zur Prozessintegration) (Prozessschritte, die nur bei bestimmten Proben durchlaufen wurden in gestrichelter Umrandung)

### 5.5.2 Prozessablauf zur Herstellung der Ti/NiCr-Proben

Nachdem Vorversuche mit Ti/NiCr-Dünnschichtwiderständen auf Feldoxid frühzeitig die generelle Eignung dieser Schichtenfolge - insbesondere hinsichtlich eines niedrigen Temperaturkoeffizienten - gezeigt haben, wurden für die weitere Entwicklung entsprechende Versuche bezüglich der beiden untersuchten Integrationsvarianten ("vor Passivierung" beziehungsweise "nach Passivierung") parallel prozessiert (Abbildung 5.9).

Zur Simulation eines kompletten CMOS-Durchlaufs begann die Prozessierung der Variante "vor Passivierung" mit der CVD-Abscheidung [10] eines Viaoxids (700 nm undotiertes  $\text{SiO}_2$ ). Als zweites wurde eine 1000 nm dicke Aluminiumschicht gesputtert und nass beziehungsweise trocken geätzt. Für die Proben, bei denen Aluminium nass strukturiert wurde, musste auf die ansonsten übliche, nicht nass ätzbare Ti/TiN-Haftschiicht verzichtet werden. Dies erwies sich als unkritisch. Anschließend wurde die Ti/NiCr-Dünnschicht gemäß den in den Kapiteln 5.1 bis 5.3 beschriebenen Methoden prozessiert. In der Folge wurden einige Wafer getempert beziehungsweise erhielten eine Standard-Passivierung (stets bestehend aus 750 nm phosphordotiertem  $\text{SiO}_2$  und 500 nm SiN) mittels CVD-Abscheidung und wurden anschließend plasmastrukturiert. Abschließend wurden einzelne Proben einer Abschlusstemperatur in Formiergasatmosphäre bei 350 beziehungsweise 440°C unterzogen.

Die Prozessierung der Proben zur Untersuchung der Integrationsvariante "nach Passivierung" begann mit der Abscheidung einer Standard-Passivierungsschicht (siehe vorangegangenen Absatz), bei einzelnen Proben gefolgt von einer Standard-Abschlusstemperatur (440°C in Formiergas). Als nächstes wurden 1000 nm Aluminium (ohne Ti/TiN-Haftschiicht) gesputtert und (bei dieser Integrationsvariante) ausschließlich nass geätzt. Daran schloss sich wiederum die Abscheidung, Strukturierung und Formiergas-Temperatur der Titan- und NiCr-Schichten an. Zur Erprobung potenzieller Schutzschichten für die Widerstände erhielten einige Proben nachfolgend CVD-abgeschiedene  $\text{SiO}_2$ - (50 nm) oder SiN-Schichten (40 nm) beziehungsweise eine Standard-Passivierung mit den bereits erwähnten Schichtdicken. Bei einzelnen Proben folgte noch eine Abschlusstemperatur.

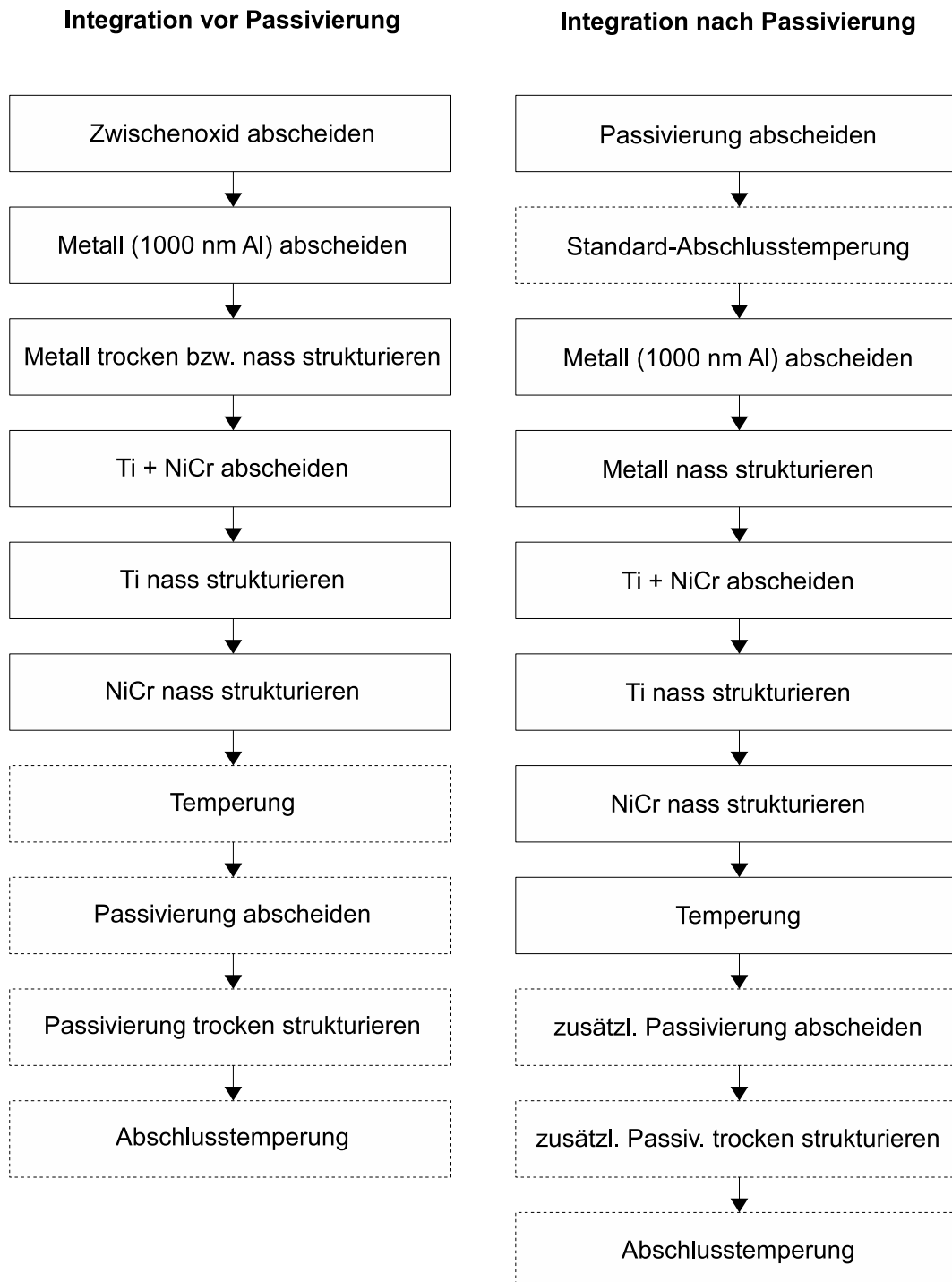


Abbildung 5.9: Schritte zur Prozessierung der Proben für die Entwicklung der Ti/NiCr-Dünnschichtwiderstände (Versuche zur Prozessintegration) (Prozessschritte, die nur bei bestimmten Proben durchlaufen wurden in gestrichelter Umrandung)

# Kapitel 6

## Ti/TiN-Dünnschichtwiderstand

Dieses Kapitel behandelt die Modellierung und Entwicklung des Ti/TiN-Dünnschichtwiderstandes und mögliche Varianten der CMOS-Integration. Die Widerstände wurden, soweit nicht anders erwähnt, auf Wafer-Ebene (in der Regel 32 gleiche Strukturen, gleichmäßig über den jeweiligen Wafer verteilt) an einem Spitzenmessplatz bei 40°C (“Raumtemperatur”) und 75 °C bzw. 200°C gemessen. Der Messaufbau und eine Fehlerbetrachtung sind im Anhang A ausführlich beschrieben.

### 6.1 Ti/TiN-Barriere in CMOS als einfacher Widerstand

TiN beziehungsweise die Schichtkombination Ti/TiN ist ein Standardmaterial in üblichen CMOS-Prozessen (Kapitel 2.3.4), zumindest in solchen mit Aluminiummetallisierung. Die Integration von Widerständen aus diesem Material wäre somit zumindest aus gerätetechnischer Sicht sehr einfach. Der zusätzliche Aufwand würde sich auf ein Minimum reduzieren, wenn es möglich wäre, eine Ti/TiN-Schicht als Widerstand zu verwenden, die standardmäßig in jedem Prozess vorkommt.

Die Diffusionsbarriere, die an der Silizium-Aluminium-Schnittstelle eingesetzt wird, ist so eine Standardschicht. Sie wird üblicherweise nach dem Ätzen der Kontaktlöcher gesputtert und erhält anschließend einen kurzen Temperaturschritt (RTA = Rapid Thermal Annealing), der dazu führt, dass die dünne Titanschicht an der Grenzfläche zum Silizium silizidiert. Auf diese Weise entsteht ein stabiler Kontakt zwischen Silizium und der Barriere. Die deutlich dickere TiN-Schicht dient als Diffusionsbarriere. Diese verhindert die Diffusion von Siliziumatomen ins Aluminium, was zum sogenannten (unerwünschten) ”Spiking” führt [10].

Zum Einstieg in die Untersuchung von Ti/TiN wurden im Rahmen eines Versuches zwei Proben (Wafer) mit einer Barriere für einen 0,8  $\mu\text{m}$ -CMOS-Prozess gefertigt. Diese besteht aus 30 nm Titan und 150 nm TiN. Beide Wafer erhielten anschließend eine Passivierung. Tabelle 6.1 zeigt die Ergebnisse bezüglich Schichtwiderstand, TCR und Langzeitdrift.

Die Ergebnisse zeigen, dass die geforderten Spezifikationen gemäß Tabelle 2.1 bezüglich

Tabelle 6.1: Schichtwiderstand, TCR und Langzeitdrift der Ti/TiN-Standardbarriere (30 nm Ti + 150 nm TiN); die angegebenen Toleranzen geben Standardabweichungen an

VARIANTE	$R_S$ [ $\frac{\Omega}{\square}$ ]	$TCR$ [ $\frac{ppm}{K}$ ]	$\frac{\Delta R}{R}$ [%] NACH 1000 STD. N <sub>2</sub> -LAGERUNG (200°C)
ohne RTA	9,09 ±1,29	405 ±70	+0,3
mit RTA	7,80 ±1,58	529 ±106	+0,1

Widerstand und TCR bei weitem verfehlt werden. Lediglich die Langzeitstabilität liegt im gewünschten Bereich. Der Schichtwiderstand ist etwa um den Faktor zehn zu klein und der TCR viel zu hoch. Beide Größen weisen zudem eine sehr große Streuung über den Wafer auf. Um festzustellen, ob sie miteinander korrelieren, wurde der TCR über den Schichtwiderstand aufgetragen (Abbildung 6.1). Es zeigt sich ein signifikanter Zusammenhang beider Größen. Der TCR sinkt mit steigendem Widerstand. Da die Widerstandsstreuung vermutlich mit einer über den Wafer variierenden Dicke des Dünnschichtfilms zusammenhängt, deutet sich somit auch eine Korrelation zwischen Schichtdicke und TCR an. Im folgenden Unterkapitel wird auf diese Thematik näher eingegangen.

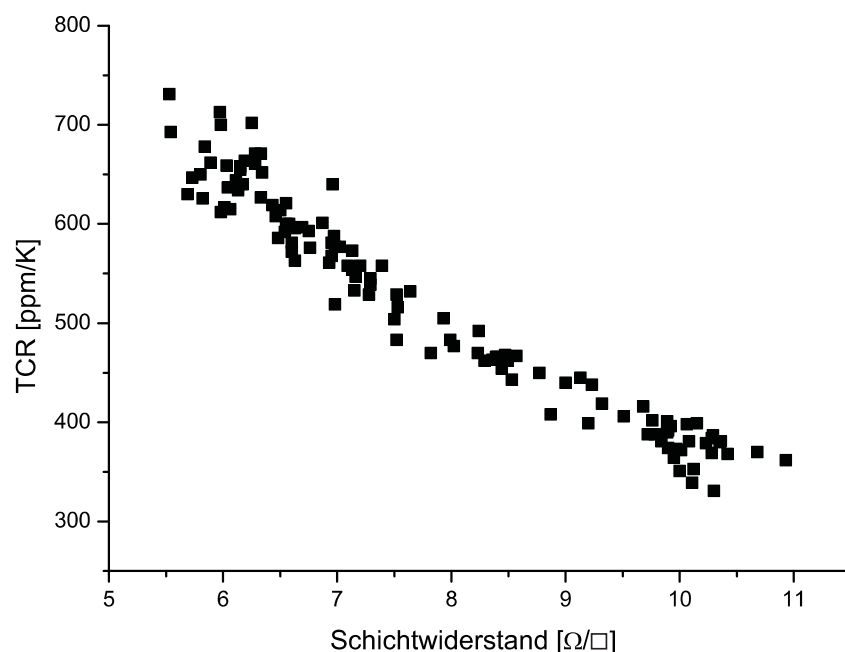


Abbildung 6.1: Zusammenhang zwischen Schichtwiderstand und TCR bei einer Probe mit einer CMOS-Standardbarriere (30 nm Ti + 150 nm TiN)

Zur Standardbarriere lässt sich abschließend sagen, dass sie als hochwertiger Widerstand auf Grund der verfehlten Zielwerte nicht in Betracht kommt. Sie könnte allenfalls als billiger Widerstand für einfachste Ansprüche eingesetzt werden. In diesem Bereich konkurriert

sie jedoch mit Standard-CMOS-Widerständen.

## 6.2 Modellierung des spezifischen Widerstandes dünner Ti/TiN-Filme

Nach den Ergebnissen aus dem vorangegangenen Unterkapitel liegt der Ausgangspunkt der Untersuchungen zur Eignung dünner Ti/TiN-Filme als hochwertiges Widerstandsmaterial bei der Ermittlung des (schichtdickenabhängigen) spezifischen Widerstandes und des TCR anhand geeigneter Proben. Wie in Kapitel 3 ausführlich erläutert, sind diese beiden elektrischen Größen im Falle dünner Metallfilme keine reinen Materialkonstanten, sondern von den besonderen Bedingungen bei der Herstellung von Dünnschichten, der Schichtdicke und der sich ergebenden Körnerstruktur abhängig. In diesem Zusammenhang wurden die aus der Literatur bekannten Modelle von Fuchs-Sondheimer (F-S) und Mayadas-Shatzkes (M-S) zur Beschreibung der Abhängigkeit des spezifischen Widerstandes von der Schichtdicke respektive der mittleren Korngröße vorgestellt. Um zu klären inwieweit diese Modelle geeignet sind, das Widerstandsverhalten dünner Ti/TiN-Filme zu modellieren, war eine Kombination aus elektrischen Widerstandsmessungen und mikrostrukturellen Analysen an Proben unterschiedlicher Schichtdicken erforderlich.

Zu diesem Zweck wurden Proben mit 2 nm beziehungsweise 5 nm Titan und TiN-Dicken zwischen 8 nm und 123 nm (ungefähre Bestimmung der Gesamtschichtdicke mittels Rasterelektronenmikroskopie mit bis zu 10 % Fehlertoleranz) gefertigt. Nachdem Widerstandsmessungen keinen signifikanten Unterschied zwischen den Proben mit 2 nm und 5 nm Titan bezüglich des Temperaturkoeffizienten ergeben hatten, wurden auf Grund von Stabilitätsabwägungen sämtliche Proben für zukünftige Untersuchungen mit einer 5 nm dicken Titanschicht gefertigt. Deutlich größere Titandicken würden zu Bulkeigenschaften dieses Elementmetalles führen und so einen parallelen Film mit vergleichsweise sehr niedrigem spezifischen Widerstand und sehr hohem TCR ergeben (Tabelle 3.1). In Abbildung 6.2 sind Schichtwiderstand und TCR der Proben mit 5 nm Titan über der Schichtdicke aufgetragen. Für den TCR ergibt sich in grober Näherung ein Verlauf proportional zu  $\log_{10}(d)$ . Der starke Abfall des TCR mit sinkender Schichtdicke zeigt prinzipiell, dass in der betrachteten Größenordnung der Schichtdicke bezüglich der elektrischen Größen keine reinen Bulk-Eigenschaften vorherrschen. Vielmehr steigt mit sinkender Dicke der temperaturunabhängige Anteil des spezifischen Widerstandes. Der Schichtwiderstand sinkt wie zu erwarten mit steigender Dicke der TiN-Schicht. Bei Schichtdicken über 100 nm setzt allmählich eine Sättigung des TCR ein. Daraus folgt, dass in diesem Dickenbereich Bulk-Eigenschaften zu dominieren beginnen. Durch eine Extrapolation kann ein Bulk-TCR von etwa 560 ppm/K hergeleitet werden. Nach Umstellung von Gleichung 2.1 ergibt sich aus dem Schichtwiderstand bei 122 nm Schichtdicke ( $9,5 \frac{\Omega}{\square}$ ) ein spezifischer (Bulk-) Widerstand von etwa  $116 \mu\Omega\text{cm}$ .

Um zu ergründen, inwiefern die Modelle von Fuchs-Sondheimer respektive Mayadas-Shatzkes den spezifischen Widerstand der prozessierten, unterschiedlich dicken Ti/TiN-Proben in geeigneter Weise beschreiben, wurden zunächst die sich mittels Gleichung 2.1

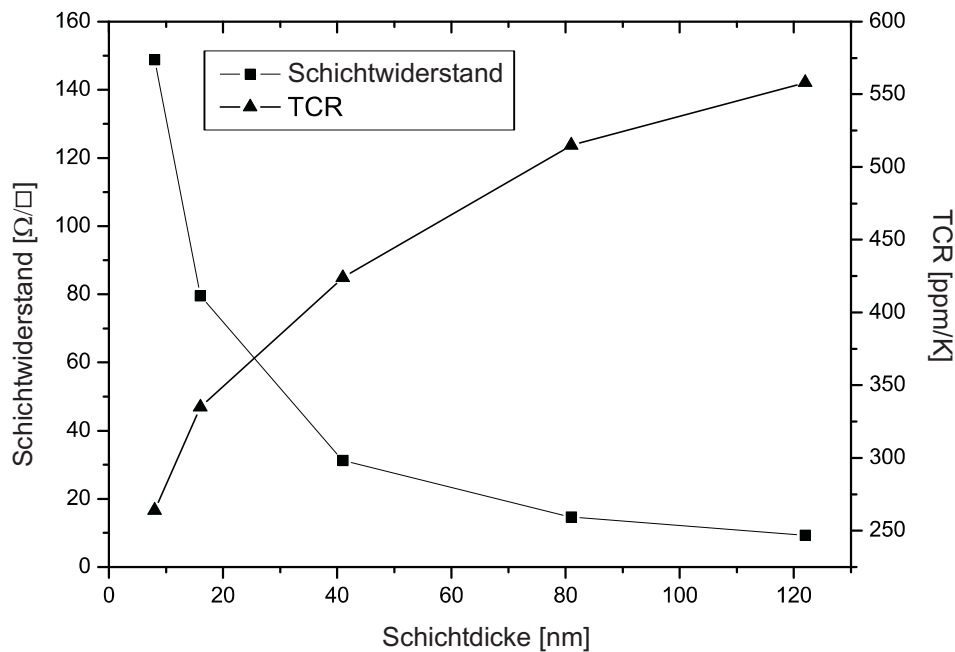


Abbildung 6.2: Schichtwiderstand und TCR von Ti/TiN-Dünnschichten als Funktion der Schichtdicke (die Ti-Schicht betrug bei allen Proben 5 nm)

aus den ermittelten Schichtwiderständen ergebenden dickenabhängigen spezifischen Widerstandswerte ermittelt. Diese wurden anschließend in geeigneter Form zusammen mit den theoretischen Kurven aus dem F-S- beziehungsweise M-S-Modell in jeweils einen Graphen eingepasst (Abbildung 6.3). Durch diese Einpassung lässt sich durch Vergleich der verschiedenen Schichtdicken zu den entsprechenden  $\kappa$ -Werten ( $\kappa = \frac{d}{\lambda}$ ) die mittlere freie Weglänge  $\lambda$  in Bulk-Ti/TiN abschätzen (Tabelle 6.2). Gemäß der Theorie müsste sich für sämtliche  $\kappa$ -Werte ein identischer Wert für  $\lambda$  ergeben. Die tatsächlich auftretende Diskrepanz zwischen den fünf verschiedenen Werten lässt sich unter anderem aus der bereits erwähnten nicht gänzlich präzisen Kenntnis der Schichtdicken erklären. Der ermittelte Durchschnittswert von 27 nm gibt dennoch eine grobe Orientierung hinsichtlich der mittleren freien Weglänge in dicken (Bulk) Ti/TiN-Filmen.

Der eigentliche Vergleich der Messwerte mit den beiden betrachteten Modellen mit Hilfe der Abbildungen 6.3 a) und b) zeigt, dass sich die ermittelten spezifischen Widerstände der Proben in qualitativ guter Näherung durch beide Modelle beschreiben lassen. Der Grund liegt darin, dass das F-S-Modell für den Fall  $p = 0,5$  (je zur Hälfte diffuse und nichtdiffuse Streuung der Leitungselektronen an der Filmoberfläche) mit dem M-S-Modell (Berücksichtigung der Korngrenzenstreuung bei schichtdickenunabhängiger Korngröße und der Streuung an der Filmoberfläche) für den Fall  $p = 0$  (rein diffuse Streuung an der Filmoberfläche) praktisch übereinstimmt. Um herauszufinden, welches der beiden Modelle hier die physikalische Realität richtig beziehungsweise in besserer Näherung beschreibt, müssen einige Sachverhalte bekannt sein:

- Ist die Ti/TiN-Schicht (wie erwartet) polykristallin?

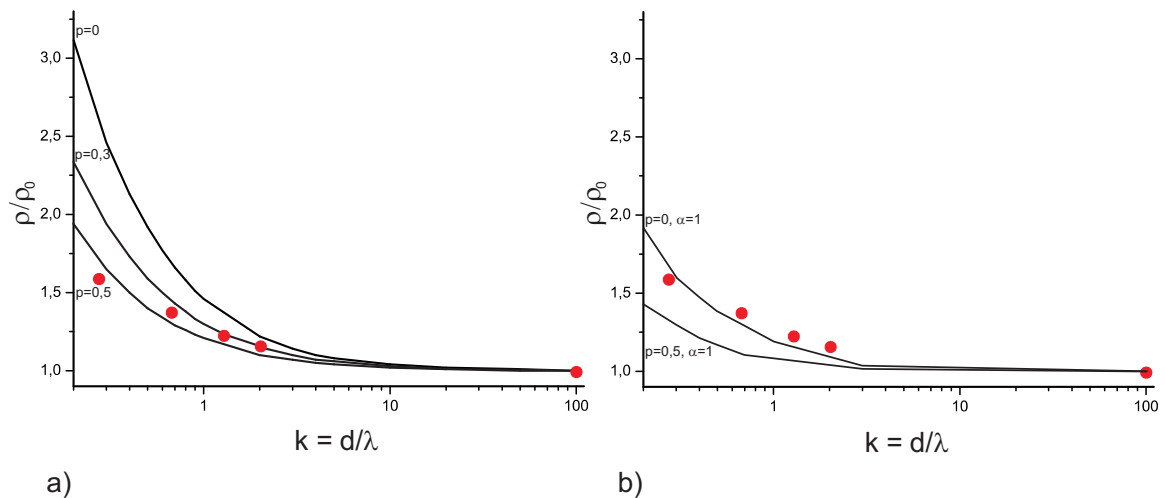


Abbildung 6.3: Vergleich des filmstärkenabhängigen spezif. Wid. von Ti/TiN-Widerständen mit dem a) Fuchs-Sondheimer-Modell (Abbildung 3.5 in Kapitel 3.2.2) und dem b) Mayadas-Shatzkes-Modell (Abbildung 3.7 a) in Kapitel 3.2.3); die roten Punkte stellen die Messergebnisse dar, die Linien das jeweilige Modell

Tabelle 6.2: Grobe Berechnung der mittleren freien Weglänge von Bulk-Ti/TiN (als Durchschnittswert ergibt sich  $\lambda = 27$  nm)

SCHICHTDICKE [NM]	$\kappa = \frac{d}{\lambda}$	$\lambda$ (GERUNDET)
8	0,3	27
16	0,7	23
42	1,0	42
81	2,0	41
123	100	1

- Wie groß sind ggf. die Körner?
- Ist die Korngröße mit der Schichtdicke korreliert?
- Liegt die Korngröße jeweils in der Größenordnung der Schichtdicke?
- Wachsen die Körner säulenförmig nach oben?

Zur Beantwortung dieser Fragen ist eine mikrostrukturelle Untersuchung an zwei Proben mit sehr unterschiedlichen Schichtdicken erforderlich. Die Transmissionselektronenmikroskopie (TEM) [34] stellt in diesem Zusammenhang das geeignete Verfahren dar. Zwei Proben (5 nm Ti + 15 nm TiN beziehungsweise 5 nm Ti + 150 nm TiN (Zielwerte)) wurden einer TEM-Analyse unterzogen. Es wurden jeweils Querschnitts- und Aufsichtsaufnahmen angefertigt. Die Ergebnisse sind in Abbildung 6.4 dargestellt.

Die Querschnittsaufnahmen zeigen zunächst einmal, dass die Zieldicken (5+15 nm beziehungsweise 5+150 nm) mit Werten von 23 nm respektive 160 nm bis auf wenige Nanometer genau erreicht wurden. Die dünne, wenige Nanometer dicke Titanschicht hebt sich allerdings gegenüber der darüberliegenden TiN-Schicht kaum ab. Der grenzflächennahe Bereich des Schichtstapels Ti/TiN ist mit Körnern, die ebenfalls nur wenige Nanometer groß sind, sehr feinkristallin. Es gibt demnach zu Beginn des Filmwachstums eine große Anzahl von Kristallisationskeimen, von denen nur die entsprechend günstig orientierten nach oben weiterwachsen können. Diese Körner weisen also ein säulenförmiges Wachstum auf, wobei der mittlere laterale Durchmesser zunächst mit zunehmender Schichtdicke wächst. Bei der dünnen Probe beträgt dieser Durchmesser bis zu etwa 20 nm und liegt damit in der Größenordnung der Schichtdicke. Bei der dicken Probe kam das laterale Wachstum der Kristallite bei einer Schichtdicke von etwa 50 nm zum stehen. Die Körner erreichten einen maximalen Durchmesser von zirka 40 nm. Von diesem Punkt an wuchsen die Körner nur noch nach oben. Die Körner selbst weisen viele Kristallfehler auf. Dies liegt unter anderem vermutlich an den Bedingungen in der Sputterkammer bei der Filmabscheidung, die für das Aufwachsen von einkristallinen Filmen nicht ausgelegt ist. Im Übrigen passt die mit Hilfe der Werte aus Tabelle 6.2 abgeschätzte mittlere freie Weglänge der Elektronen in Bulk-Ti/TiN (Größenordnung 30 nm) zu den analysierten Korngrößen der dicken Probe.

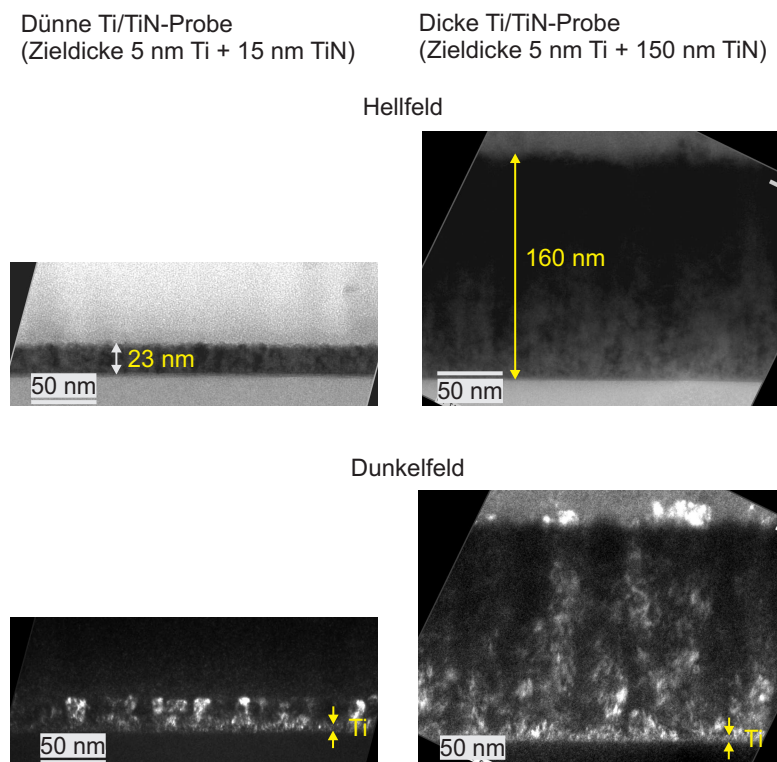


Abbildung 6.4: Ergebnisse einer TEM-Analyse an einer dünnen (Zieldicke 5 nm Ti + 15 nm TiN) und einer dicken (Zieldicke 5 nm Ti + 150 nm TiN) Ti/TiN-Schicht, gesputtert auf thermisch aufgewachsenem Siliziumdioxid

Die wesentlichen Ergebnisse der TEM-Analyse hinsichtlich der ursprünglichen Fragestellungen lassen sich also wie folgt zusammenfassen:

- Die Ti/TiN-Schichten sind wie erwartet polykristallin.
- Bis zu einer Schichtdicke von etwa 50 nm liegt die mittlere Kristallitgröße in der Größenordnung der Schichtdicke.
- Darüber hinaus bleibt sie in etwa konstant.
- Die Körner wachsen säulenförmig nach oben.

Mit diesen gewonnenen Erkenntnissen lassen sich nun Aussagen über die Zuordnung der Ergebnisse aus den elektrischen Messungen zu den beiden vorgestellten Modellen von Fuchs-Sondheimer und Mayadas-Shatzkes machen (Abbildung 6.3). Das F-S-Modell, das ausschließlich die Streuung der Leitungselektronen an der Filmoberfläche als schichtdickenabhängigen Effekt in Dünnschichten berücksichtigt, beschreibt auf Grund der Kristallitgrößen, die bei dem dünnen Film in der Größenordnung der Schichtdicke lagen, den physikalischen Hintergrund des Ganges des spezifischen Widerstandes vollkommen unzureichend. Der Schluss auf eine zu etwa 50% nichtdiffuse Oberflächenstreuung der Leitungselektronen ( $p = 0,5$ ) auf Basis von Abbildung a) ist daher nicht zulässig, auch wenn das F-S-Modell rein mathematisch eine Beschreibung von gleicher Güte wie das Modell in Abbildung b) bietet. Das M-S-Modell aus Abbildung 3.7 in Kapitel 3.2.3 gliedert sich in die beiden Fälle a) (feste Korngröße) und b) (Korngröße=Schichtdicke). Rein phänomenologisch beschreibt der Fall a) die elektrisch gemessenen Ergebnisse in guter Näherung (Abbildung 6.3 a). Der Anteil nicht diffuser Streuung an der Filmoberfläche ist demnach vernachlässigbar klein. Da die mittlere Korngröße zunächst mit der Schichtdicke gestiegen, ab etwa 50 nm Dicke aber weitgehend konstant geblieben ist, liegt hier jedoch vielmehr eine Kombination beider Modelle vor. Unterschiede zwischen den zum Teil idealisierten Voraussetzungen bei der Herleitung des Modells (zum Beispiel perfekte Kristallite) und der praktisch realisierten Schicht stellen einen weiteren Grund für die in Abbildung 6.3 erkennbaren, wenn auch kleine Divergenzen zwischen Modell und Messwerten dar.

Zusammenfassend lässt sich sagen, dass das Modell von Mayadas-Shatzkes (für den Fall, dass die Korngröße bei variierender Schichtdicke konstant ist) gemäß Abbildung 3.7 a) beziehungsweise Gleichung 3.16 die Abhängigkeit des spezifischen Widerstandes von der Schichtdicke qualitativ richtig und den physikalischen Hintergrund für nicht zu dünne Schichten in guter Näherung beschreibt.

### 6.3 Untersuchungen an Ti/TiN-Dünnschichten

Die Ergebnisse des vorangegangenen Unterkapitels bildeten die Grundlage für die weiteren Untersuchungen, die dieses Kapitel behandelt. Abbildung 6.2 lässt die Vermutung zu, dass der TCR durch eine Reduzierung der Schichtdicke gegenüber den bisherigen

Proben weiter verringert werden kann. Da die elektrische Stabilität mit abnehmender Dicke jedoch immer schlechter wird [60], wurde zunächst untersucht, inwiefern durch eine Variation der Sputterbedingungen oder durch Temperungen eine Minimierung des TCR möglich ist. In Rahmen weiterer Versuche wurden dann Proben mit kleineren TiN-Dicken gefertigt. Schließlich wurden verschiedene Proben auf ihre thermische Langzeitstabilität hin getestet. Exemplarisch wurde eine Struktur auf ihre Stabilität gegenüber elektrischem Stress getestet. Schließlich wurden Aspekte der Prozessintegration von Ti/TiN-Dünnschichtwiderständen thematisiert.

### 6.3.1 Variation der Sputterparameter

Wie in Kapitel 3.2.1 bereits erläutert, beeinflussen die Bedingungen bei der Abscheidung unter Umständen die elektrischen Eigenschaften dünner Metallfilme. Im hier vorliegenden Fall eines reaktiven Sputterprozesses sind die Substrattemperatur während der Abscheidung und der Partialdruck beziehungsweise der Fluss des Reaktivgases Stickstoff die entscheidenden Parameter. Standard-CMOS-Ti/TiN-Schichten wie beispielsweise Diffusionsbarrieren werden auf der zur Abscheidung verwendeten Sputteranlage bei 400°C abgeschieden. Die Stickstoffflüsse betragen stets 12 sccm für Argon und 80 sccm für Stickstoff.

Die Substrattemperatur beeinflusst das Filmgefüge beziehungsweise die Kompaktheit eines aufwachsenden Metallfilms. Aus Gründen der Filmstabilität wäre eine möglichst kompakte, lückenlose Filmstruktur zu bevorzugen. Im Rahmen eines Versuches wurden Proben mit Substrattemperaturen von 300°C, 340°C und 400°C prozessiert (bei einem mittleren Stickstofffluss von 42 sccm), um zu klären, ob die Abscheidetemperatur die elektrischen Größen signifikant beeinflusst (Abbildung 6.5). Es ergab sich eine Spanne des TCR von maximal etwa 10 ppm/K (der TCR-Wert für  $T = 400^\circ\text{C}$  ohne Passivierung wird auf Grund seiner großen Abweichung von den übrigen Werten und auf Grund seiner viel größeren Standardabweichung als Ergebnis von Messungenauigkeiten interpretiert). Im Hinblick auf die Absolutwerte des TCR, die mit über 250 ppm/K noch wesentlich über der geforderten Spezifikation lagen, ist dieser Variationsbereich von unmaßgeblicher Größe. Da wie bereits erwähnt 400°C eine (wenn auch für andere Anwendungen) optimierte Substrattemperatur darstellt, wurde diese letztlich zur Fertigung der Ti/TiN-Dünnschichten verwendet. Die TEM-Aufnahmen in Abbildung 6.4 zeigen zudem, dass die hergestellten Proben tatsächlich von kompakter Struktur sind. Das zweite wichtige Ergebnis dieses Versuches ist die Erkenntnis, dass der Temperaturkoeffizient durch die Passivierungsabscheidung absinkt, wenn auch nur um etwa 25 ppm/K. Die Streuung blieb in etwa gleich und liegt bei zirka  $\pm 10$  ppm/K (Standardabweichung). Der Schichtwiderstand lag bei der Probe mit Passivierung etwa 12% unter der Variante ohne Passivierung, wobei die Streuung bei der Variante mit Passivierung nur unwesentlich größer war als bei der Variante ohne Passivierung.

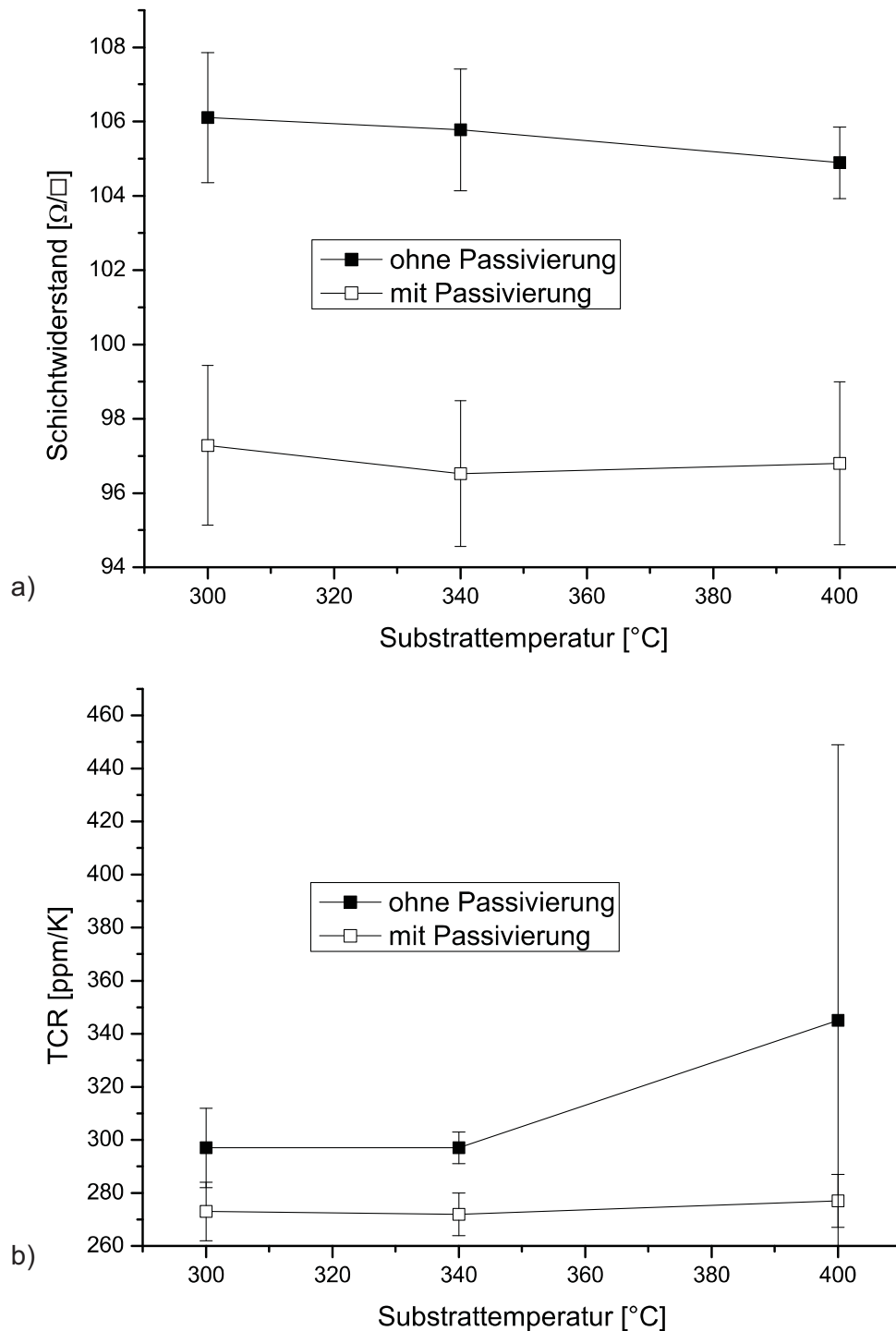


Abbildung 6.5: Schichtwiderstand (a) und TCR (b) in Abhängigkeit von der Substrattemperatur während des Sputterns für Proben ohne und mit Passivierung (die Fehlerbalken beziehen sich auf Standardabweichungen); der Messwert in b) für 400  $^{\circ}\text{C}$  ohne Passivierung ist auf Grund seiner Abweichung von den übrigen Werten und seiner viel größeren Standardabweichung vermutlich auf Messungenauigkeiten zurückzuführen

Um den Einfluss des Stickstoffflusses relativ zum Argonfluss auf den Temperaturkoeffizienten zu untersuchen, wurden fünf weitere Proben (5 nm Ti + 15 nm TiN) hergestellt. In [45] (figure 4) sind die Ergebnisse eines ähnlichen Versuchs dargestellt. Der Stickstofffluss ist dort in der Form  $\frac{N_2}{N_2+Ar}$  (zwischen 1% und 20%) aufgetragen. Ein TCR von etwa 0 ppm/K ergibt sich für einen kleinen Bereich um  $\frac{N_2}{N_2+Ar} = 4\%$ . Darüber steigt der TCR schnell bis auf über 700 ppm/K, bevor er von dort aus bis 20% wieder auf etwa 200 ppm/K absinkt. In der verwendeten Sputteranlage sind normierte Stickstoffflüsse in der Größenordnung von 4% nicht möglich. Es wurde für die fünf Proben der für die Anlage geeignete Bereich zwischen etwa 45% und 87% mit einem (festen) Argonfluss von 12 sccm und Stickstoffflüssen zwischen 10 sccm und 80 sccm gewählt. Die Ergebnisse sind in Abbildung 6.6 dargestellt. Ein minimaler TCR von etwa 245 ppm/K ergibt sich für einen Stickstofffluss von 42 sccm. Ein TCR nahe Null ist nicht realisierbar gewesen. Die Variation des Schichtwiderstandes betrug gute 20%, bei der Probe mit dem kleinsten TCR betrug er etwa  $105 \frac{\Omega}{\square}$ .

Als Ergebnis der Versuche zur Variation der Sputterbedingungen wurden sämtliche nachfolgenden Ti/TiN-Proben bei einer Substrattemperatur von 400°C und mit einem Stickstofffluss von 42 sccm abgeschlossen. Der Temperaturkoeffizient ließ sich nicht in ausreichendem Maße optimieren, so dass in der Folge weitere Prozessparameter hinsichtlich ihres Einflusses auf die elektrischen Eigenschaften untersucht wurden.

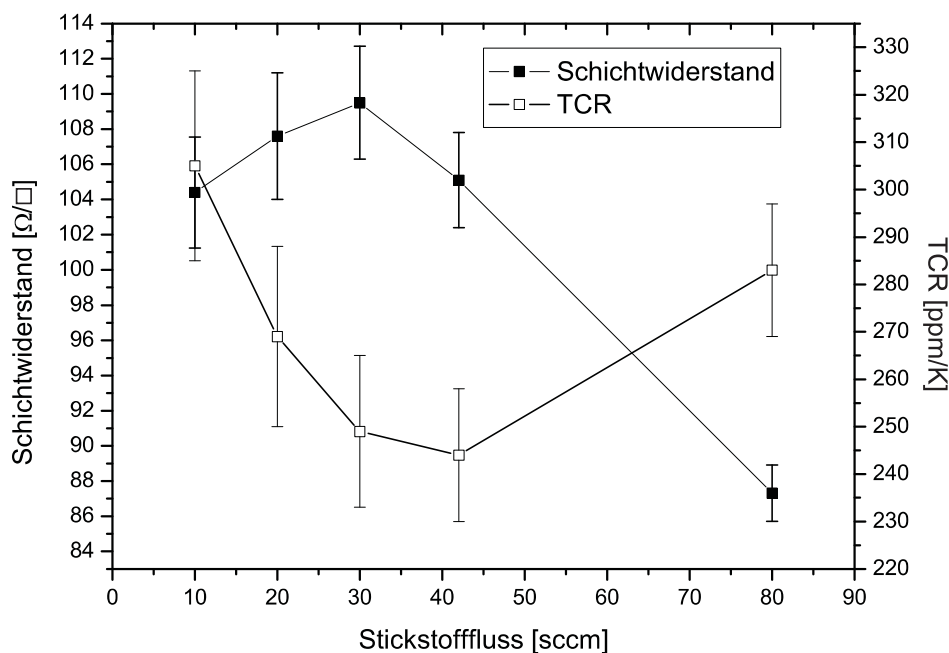


Abbildung 6.6: Schichtwiderstand und TCR als Funktion des Stickstoffflusses (Proben mit 5 nm Ti + 15 nm TiN)

### 6.3.2 Einfluss von Temperungen und Schichtdickenreduzierung auf elektrische Größen und Stabilität

Temperungen sind eine übliche Maßnahme zur Einstellung beziehungsweise Optimierung der elektrischen Eigenschaften und der thermischen Stabilität von Dünnschichtwiderständen (Kapitel 2.3.1 - 2.3.4). In der Vergangenheit sind von unterschiedlicher Seite Untersuchungen zur Auswirkung von Temperungen auf TiN-Filme unter verschiedenen Bedingungen gemacht worden. Es muss jedoch an dieser Stelle gesagt werden, dass es keine entsprechenden Untersuchungen zu dünnen Ti/TiN-Filmen gibt, sondern stets reine TiN-Filme betrachtet wurden. Ein gemeinsames Ergebnis einschlägiger Untersuchungen ist unter anderem, dass (nicht passivierte) ungetemperte TiN-Proben eine hohe Drift des Widerstandes (im Bereich mehrerer Prozentpunkte) selbst bei Temperaturen weit unter 200°C aufweisen. In [30] beispielsweise wird eine Drift von etwa 3,3% nach einer 1000-stündigen Lagerung bei Raumtemperatur an Luft angeführt. Als wahrscheinliche Ursache wird die starke Eigenschaft von TiN zur Oxidbildung an der Oberfläche oder in den Korngrenzen aufgeführt. Durch eine Lufttemperung bei 350°C konnte diese Widerstandsänderung auf etwa 0,1% reduziert werden.

Wang et al. [60] untersuchten unter anderem die Abhängigkeit der thermischen Stabilität dünner TiN-Filme von der Schichtdicke. Ein Ergebnis war, dass Filme unter 5 nm Dicke keine kontinuierliche Struktur aufweisen und unter 7 nm sehr instabil bezüglich ihrer elektrischen Größen sind. Dickere Schichten lassen sich durch optimierte, von der Dicke abhängigen Temperungen (in diesem Fall in Stickstoff) stabilisieren. Allerdings beziehen sich diese Aussagen nur auf kurze Temperaturzyklen im Rahmen von TCR-Messungen.

Aus dem bisher Gesagten lässt sich schlussfolgern, dass TiN-Dünnschichten zur Erlangung einer hohen thermischen Stabilität eine optimierte Temperung und eine Passivierung benötigen. Aussagen über eine signifikante TCR-Minimierung durch Temperaturbehandlungen sind in der Literatur nicht zu finden. Dennoch wurden im Rahmen dieser Arbeit unterschiedliche Temperungen auch unter diesem Gesichtspunkt ausprobiert. Sofern nicht anders gesagt, besitzen die entsprechenden Proben einen Dünnschicht aus 5 nm Titan und 15 nm TiN. Nachdem sich der TCR durch Variation der Sputterparameter nicht auf das geforderte Maß reduzieren ließ, wurden jedoch auch Versuche mit dünneren Proben durchgeführt. Durch eine Extrapolation der TCR-Kurve aus Abbildung 6.2 beziehungsweise auf Grund der theoretischen Betrachtungen aus Kapitel 3 ist zu erwarten, dass der TCR zu kleineren Schichtdicken hin weiter sinkt. Die Langzeitstabilität dieser dünneren Proben im Vergleich zu denen mit der Standarddicke wurde ebenfalls betrachtet.

Als erstes wurde die Auswirkung von Lufttemperungen untersucht. In Anlehnung an die Untersuchungen aus [30] wurde eine Probe zwei Stunden bei 350°C an Luft getempert. Schichtwiderstand und TCR vor und nach der Ofenbehandlung wurden miteinander verglichen. Die Ergebnisse sind in Tabelle 6.3 aufgeführt. Die Temperung an Luft hat zu einer starken Zunahme des Schichtwiderstandes (etwa um 50% nach einer und um 100% nach 2 Stunden) bei gleichzeitiger starker Abnahme des TCR geführt. Bei beiden Größen nahm die Streuung über den Wafer mit zunehmender Temperungszeit drastisch zu. Wie

Abbildung 6.7 verdeutlicht, gibt es einen signifikanten Zusammenhang zwischen Widerstand und Temperaturkoeffizient. Mit steigendem Widerstand sank der TCR. Aus der Kombination dieser Fakten lässt sich schließen, dass sich in Folge der Lufttemperatur an der TiN-Oberfläche eine Oxidschicht gebildet hat [30]. Diese reduziert die effektive Leitungsdicke des Dünnschichtfilms. Die Oberflächenoxidation ist, insbesondere da der Ofen keine gleichmäßige, optimierte Luftzufuhr besitzt, kein räumlich beziehungsweise über den Wafer homogener Prozess. Die verbleibende Leitungsschicht des Dünnschichtfilms erhält daher mit fortschreitender Temperungsdauer eine immer höhere Schwankung der elektrischen Größen. Aus diesem Grund ist diese Temperungsmethode ungeeignet für eine CMOS-Integration und wurde daher für die weitere Entwicklung nicht berücksichtigt.

Tabelle 6.3: Schichtwiderstand und TCR einer ungetemperten Probe und einer insgesamt für 2 Stunden an Luft bei 350°C getemperten Probe (beide 15 nm TiN)

VARIANTE	$R_S$ [ $\frac{\Omega}{\square}$ ]	$TCR$ [ $\frac{ppm}{K}$ ]
ungetemperte Probe	$105,78 \pm 1,64$	$297 \pm 6$
nach 1 h	$151,12 \pm 11,09$	$194 \pm 16$
nach insgesamt 2 h	$205,36 \pm 23,8$	$58 \pm 53$

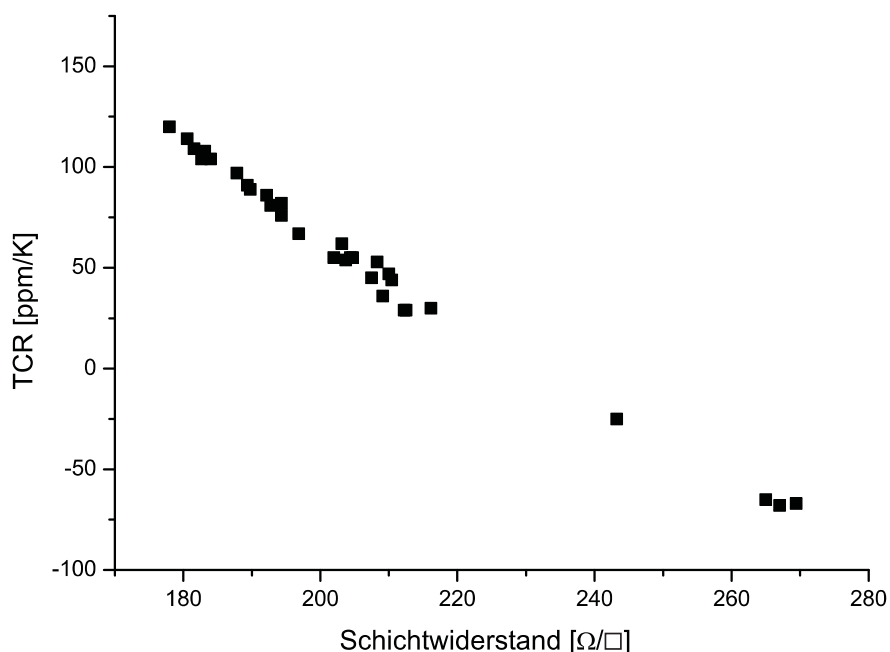


Abbildung 6.7: Zusammenhang zwischen Schichtwiderstand und TCR bei 2 Stunden bei 350°C an Luft getemperten Probe (15 nm TiN)

Als zweites wurde die Auswirkung von Temperungen in Schutzgasatmosphäre untersucht. Dazu wurden vier Proben (5 nm Ti + 15 nm TiN) für eine Stunde zwischen 300°C und

450°C in Formiergas getempert. Zum Vergleich wurde wiederum eine ungetemperte gleichwertige Probe hinzugezogen. Den Ergebnissen in Abbildung 6.8 ist zu entnehmen, dass bis etwa 300°C praktisch keine Änderungen der elektrischen Größen auftreten. Oberhalb von 300°C kommt es zu einem Abfall des Schichtwiderstandes mit steigender Ofentemperatur bei gleichzeitigem starkem Anstieg des TCR, dass heißt die elektrischen Filmeigenschaften werden metallischer. Dieser Effekt ist durch ein temperaturbedingtes Wachstum der Körner beziehungsweise durch ein Ausheilen von Kristalldefekten im Dünnschicht zu erklären. Die Stärke des Kristallitwachstums ist dabei von der Zeit (hier konstant eine Stunde) und der Temperatur abhängig. In Folge des Schutzgases ist es demnach zu keiner Oxidation gekommen, weder an der Filmoberfläche noch in den Korngrenzen.

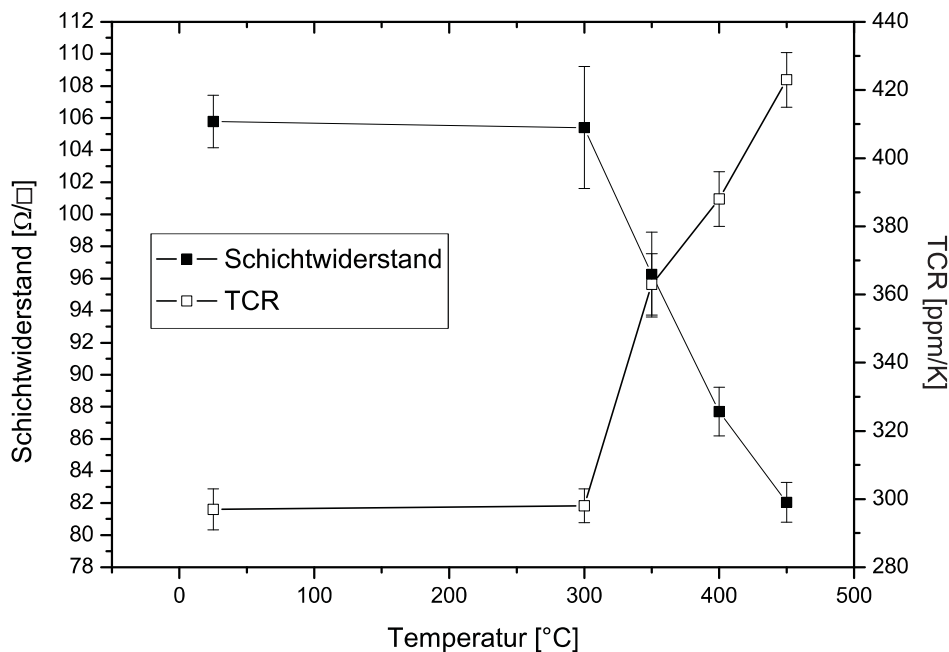


Abbildung 6.8: Schichtwiderstand und TCR von Ti/TiN-Dünnschichten als Funktion der Ofentemperatur bei Formiergastemperaturen (die Werte für 25°C beziehen sich auf ungetemperte Proben)

Weder durch Temperungen in Luft noch durch solche in Schutzgasatmosphäre konnte also eine Reduzierung des Temperaturkoeffizienten auf das gewünschte Maß (kleiner 100 ppm/K) bei tolerabler Streuung des Wertes über den Wafer erzielt werden. Eine weitere denkbare Methode zur Erreichung dieses Ziels ist nach den Ergebnissen aus Kapitel 6.2 eine Reduzierung der Schichtdicke. Da allerdings die Stabilität der elektrischen Eigenschaften bei sehr dünnen Filmen wie oben erwähnt schlecht ist, ist diese gegebenenfalls kritisch zu überprüfen.

Auf Grundlage der Ergebnisse in Abbildung 6.2 wurden Proben mit 5 nm Titan und 5 beziehungsweise 7 nm TiN gefertigt. Die Ergebnisse zeigt Abbildung 6.9. Diese bestätigen die vorigen Resultate bezüglich ihres qualitativen Verlaufes. Das Niveau der TCR-Werte

liegt hier jedoch niedriger. Dies dürfte nach den Ergebnissen aus Kapitel 6.3.1 an den unterschiedlichen Stickstoffflüssen liegen, die im Fall der Abbildung 6.2 80 sccm, im Fall hier hingegen 42 sccm betragen (dem optimierten Wert). Gemäß Abbildung 6.9 ergibt sich für die Probe mit 5 nm TiN ein TCR von nahe Null bei einem Schichtwiderstand von etwa  $276 \frac{\Omega}{\square}$ . Letzterer ist damit zwar etwa 2,5 mal so groß wie laut Tabelle 2.1 gefordert, wäre aber von der Größe her tolerierbar.

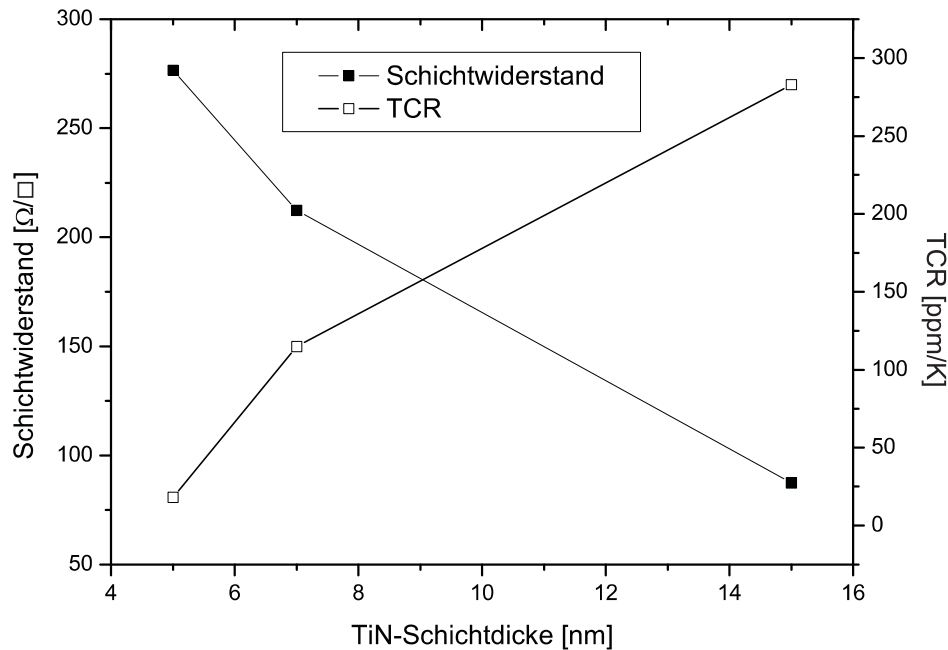


Abbildung 6.9: Schichtwiderstand und TCR sehr dünner Ti/TiN-Dünnschichten als Funktion der TiN-Schichtdicke

### 6.3.3 Thermische Langzeitstabilität

Nach den bisherigen Untersuchungen wurde nun die thermische Langzeitstabilität bei 200°C-Lagerung an einzelnen Ti/TiN Proben mit 5 nm beziehungsweise 15 nm TiN (alle mit 5 nm Titan) getestet. Abbildung 6.10 zeigt die Ergebnisse. Für die Probe mit 5 nm TiN ergab sich eine sehr große Widerstandsdrift von 13% bereits nach 100 Stunden. Die Probe mit 15 nm TiN war mit einer Drift von 3,5% zwar stabiler, lag aber immer noch weit außerhalb der Spezifikation, die eine maximale Widerstandsänderung von 0,1% nach 1000 Stunden Lagerung fordert. Wie das Ergebnis der dritten untersuchten Probe zeigt, kann die thermische Langzeitstabilität durch eine Passivierung erheblich verbessert werden, auch wenn die Zielvorgabe mit einer Drift von 0,8% nach 1000 Stunden knapp verfehlt wurde. Ebenfalls in Abbildung 6.10 dargestellt ist die Langzeitdrift der untersuchten Ti/TiN-Standardbarriere, die nach der Abscheidung ein RTA (Kapitel 5.3) und eine Passivierung erhielt (Kapitel 6.1). Die Widerstandsänderung betrug in diesem Fall 0,1%.

Die Ergebnisse bestätigen die für reine TiN-Dünnschichten bereits bekannte prinzipielle Abhängigkeit der thermischen Stabilität von der Schichtdicke. Da die Widerstandsänderungen stets positiv waren, können sie nicht auf ein Ausheilen von Kristalldefekten oder auf einsetzendes Kornwachstum zurückgeführt werden. Eine mögliche Erklärung könnten Änderungen in den Korngrenzen sein, zum Beispiel durch Oxidation. Da wie gesehen die Ti/TiN-Filme (bis zu etwa 50 nm) mit der Schichtdicke wachsende Kristallitgrößen aufwiesen, besitzen die dickeren Varianten einen kleineren Anteil von Korngrenzen an dem Gesamtvolumen des Films als dünnere Schichten. Dies wiederum könnte die Abhängigkeit der Drift von der Schichtdicke und die hohe Instabilität der dünnsten Probe erklären. Untersuchungen, mit denen diese These auf ihre Richtigkeit hätte überprüft werden können, waren im Rahmen dieser Arbeit jedoch nicht möglich, da die dazu notwendige apparative Ausstattung nicht zur Verfügung stand.

Die zweite gewonnene Erkenntnis ist, dass eine Passivierung von Ti/TiN-Dünnschichten essenziell für deren thermische Langzeitstabilität ist. Der Anstieg der Stabilität mit steigender Schichtdicke war dabei weit geringer als bei den unpassivierten Proben.

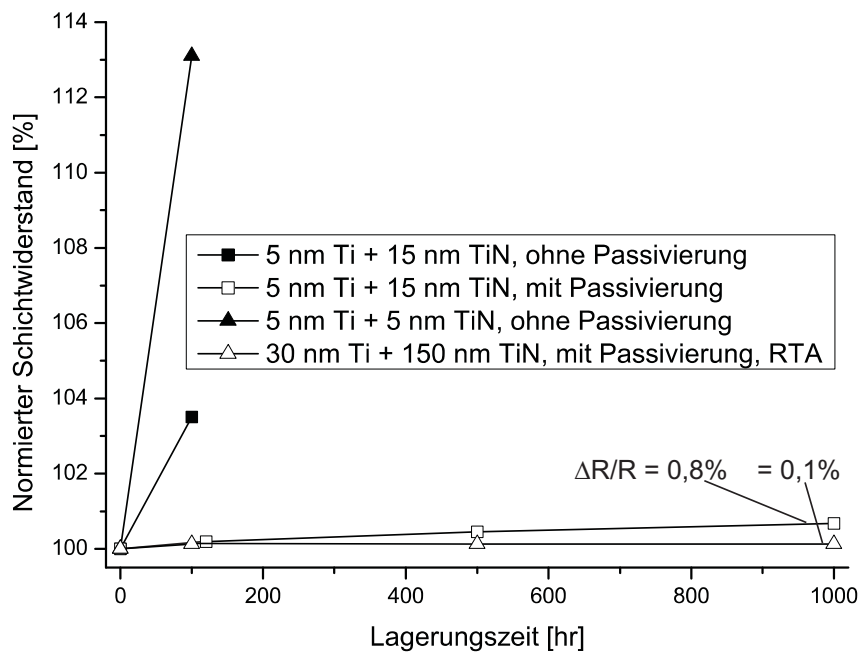


Abbildung 6.10: Langzeitdrift verschiedener Ti/TiN-Proben nach bis zu 1000 Stunden Lagerung bei 200°C

### 6.3.4 Stabilität gegenüber elektrischem Stress

Neben der thermischen Langzeitstabilität ist auch die Robustheit gegenüber elektrischem Stress ein Aspekt bei der Qualifizierung von Widerständen. Um einen Einblick zu erhalten, bis zu welchen Strömen beziehungsweise Stromdichten Ti/TiN-Dünnschichtwiderstände

gegebenenfalls eingesetzt werden könnten, wurde dies exemplarisch an einer Struktur (5 nm Ti + 15 nm TiN) getestet. Zuvor sollte jedoch untersucht werden, bei welchen Stromdichten eine signifikante Erwärmung auf Grund von Stromfluss einsetzt. Zu diesem Zweck wurden drei Strukturen (Widerstand bei etwa 4200  $\Omega$ , Bahnbreite 10  $\mu\text{m}$ ) Ströme zwischen 10  $\mu\text{A}$  (Referenzwert) und 10 mA eingepreßt und - wie stets - über eine Spannungsmessung der sich ergebende Widerstand bestimmt. Über den zuvor ermittelten TCR (ca. 290 ppm/K) wurden daraus die Erwärmungen durch den Stromfluss gegenüber dem Referenzwert bestimmt. Dazu wurde eine etwas andere Darstellung von Gleichung 2.2 gewählt:

$$\alpha = \frac{1}{R(T_1)} \left( \frac{R(T_2) - R(T_1)}{T_2 - T_1} \right) \cdot 10^6 \quad \left[ \frac{\text{ppm}}{\text{K}} \right] \quad (6.1)$$

Durch Umstellen ergibt sich

$$\Delta T = T_2 - T_1 = \frac{1}{R(T_1)} \frac{R(T_2) - R(T_1)}{\alpha} \quad (6.2)$$

Abbildung 6.11 zeigt die zugehörigen Ergebnisse. Es zeigt sich, dass oberhalb der Referenzstromdichte (entspricht einem Strom von 10  $\mu\text{A}$ ) eine zunächst geringe Stromerwärmung einsetzt. Bei 100  $\mu\text{A}$  ( $0,043 \cdot 10^6 \frac{\text{A}}{\text{cm}^2}$ ) liegt nur eine Erwärmung von etwa 1°C gegenüber dem Referenzwert vor. Dies bestätigt auch, dass die Wahl von 100  $\mu\text{A}$  als genereller Messstrom im Rahmen dieser Arbeit zulässig war. Insgesamt ergibt sich ein annähernd parabolischer Verlauf. Bei 10 mA ( $4,3 \cdot 10^6 \frac{\text{A}}{\text{cm}^2}$ ) liegt die Erwärmung auf Grund des eingepreßten Stromes bei etwa 36°C. Bei noch höheren Stromdichten würde der Temperaturanstieg schnell in Temperaturbereiche führen, die auch aus thermischer Sicht zu Instabilität der elektrischen Größen führt. Aus diesem Grund wurde für eine exemplarische elektrische Stressung ein Strom von 10 mA gewählt. Nach 18 Stunden ergab sich eine positive Widerstandsänderung von 0,2%. Ohne Kenntnis der Aktivierungsenergie lässt sich hieraus allerdings noch keine Lebensdauer abschätzen. Das Ergebnis zeigt jedoch, dass die Schicht zumindest keine signifikante Empfindlichkeit gegenüber Elektromigration aufweist.

### 6.3.5 Aspekte der Prozessintegration

Auf Basis der bisherigen Ergebnisse musste geklärt werden, inwieweit beziehungsweise auf welche Art eine Integration von Ti/TiN-Dünnschichtwiderständen in einen CMOS-Prozess realisierbar ist. Gegenstand der Untersuchungen waren die Integrationsvarianten "vor Passivierung" respektive "nach Passivierung" (Kapitel 5.4.2). Um Aussagen bezüglich der Realisierbarkeit dieser Varianten machen zu können, sind eine Reihe von unterschiedlichen Aspekten zu untersuchen. Zu den wichtigsten zählen:

- Eignung von Vioxid beziehungsweise Passivierungsnitrid als isolierendem Substrat, insbesondere in Hinblick auf die Größe des TCR und auf die Streuung von Widerstand und TCR über den Wafer

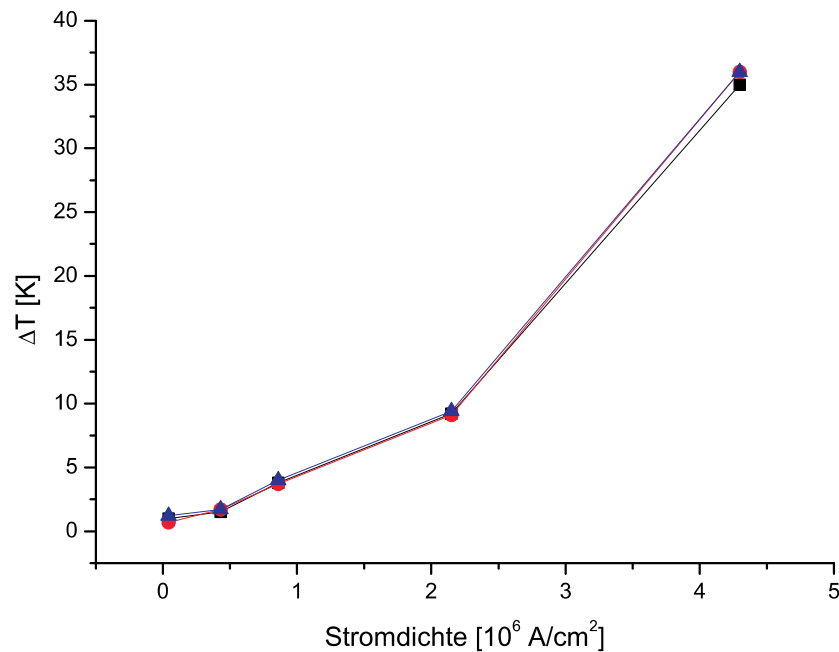


Abbildung 6.11: Temperaturanstieg durch Stromerwärmung gegenüber einer Referenzstromdichte von  $0,043 \cdot 10^6 \frac{\text{A}}{\text{cm}^2}$  (3 gleiche Strukturen einer Probe mit 5 nm Titan und 15 nm TiN);  $4,3 \cdot 10^6 \frac{\text{A}}{\text{cm}^2}$  entsprechen 10 mA

- Metallische Kontaktierung der Widerstände
- Einfluss einer Passivierung über den Widerständen auf die elektrischen Eigenschaften und die Stabilität

Zunächst wurde also untersucht, ob bei Abscheidung der Ti/TiN-Dünnschichten auf Viaoxid (Integration "vor Passivierung") und auf Passivierung (SiN als Substrat) (Integration "nach Passivierung") signifikante Abweichungen der elektrischen Größen auftraten. Der Fokus lag dabei vor allem beim TCR und dessen Streuung über den Wafer im Vergleich zu den bisher untersuchten Varianten mit Feldoxid als isolierendem Substrat. Abbildung 6.12 zeigt den TCR und dessen Streuung über den Wafer für die drei Varianten, aufgetragen über dem Schichtwiderstand. Es zeigt sich tendenziell wiederum, dass einem höheren Schichtwiderstand ein niedrigerer Temperaturkoeffizient zuzuordnen ist, ähnlich den Ergebnissen aus den Abbildungen 6.1 und 6.7. Die geringste Streuung des TCR ergab sich für die Variante auf dem Referenzsubstrat (Feldoxid), die höchste bei derjenigen auf Viaoxid. Die Variante auf Passivierung besaß den kleinsten TCR, der etwa 25 ppm niedriger lag als im Fall von Viaoxid. Die Streuungen der TCR-Werte korrelieren qualitativ jeweils mit denen der Schichtwiderstände, das heißt der auf Feldoxid abgeschiedene Dünnschicht besitzt auch die geringste Streuung des Schichtwiderstandes (in diesem Fall  $\pm 1,02 \frac{\Omega}{\square}$ ). Der Grund der ermittelten Unterschiede zwischen den Varianten mit Viaoxid und Passivierung war zunächst unklar. Im Zusammenhang mit der Ti/NiCr-Integration wurde die mikroskopische Oberflächenmorphologie beider Substrate mittels Rasterkraftmikroskopie untersucht (Kapitel 7.3). Das Ergebnis dieser Analyse war, dass die mittlere Rauigkeit

der SiN-Oberfläche mit rund 1 nm etwa drei mal so groß war wie die des Viaoxids. Dies galt auch für den Fall, dass das Viaoxid einem Plasmaätzprozess zur Strukturierung der obersten Aluminiumlage ausgesetzt war.

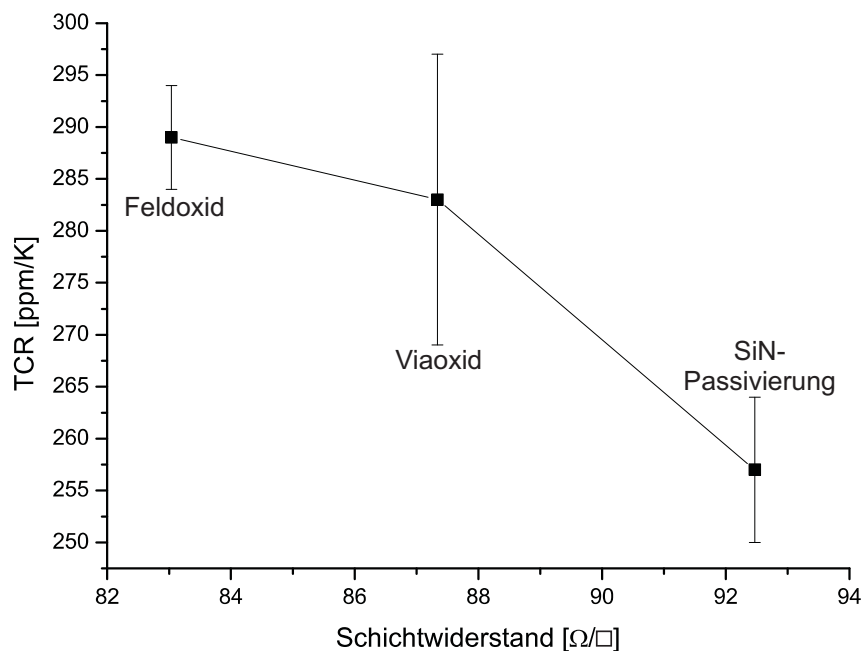


Abbildung 6.12: Zusammenhang zwischen Schichtwiderstand und TCR von auf Feldoxid, auf Viaoxid bzw. auf Nitridpassivierung (SiN) abgeschiedenen Ti/TiN-Dünnschichten (5 nm Ti + 15 nm TiN)

Zweiter wichtiger Aspekt der Integration von Ti/TiN-Dünnschichtwiderständen waren Untersuchungen zu zwei verschiedenen Kontaktierungsvarianten. Das entscheidende Qualitätskriterium war die Realisierung eines stabilen ohmschen Kontaktes. Gefertigt wurden Proben unter Verwendung der Varianten a) (Metallkontakt über dem Dünnschicht) und b) (Kontakt unter dem Dünnschicht) gemäß Abbildung 5.6 aus Kapitel 5.4.1. Bei der Variante a) ergaben sich zum Teil Kontaktprobleme bei den Messungen am Spitzenmessplatz. Nach umfangreichen Fehlertests konnte die sichere Aussage getroffen werden, dass diese nicht auf die Messeinrichtung zurückzuführen waren, sondern auf die Ti/TiN-Aluminium-Kontakte. Eine mögliche Erklärung ist die bereits angesprochene (Kapitel 6.3.2) Eigenschaft von TiN, in Sauerstoff an der Oberfläche eine Oxidschicht zu bilden. Diese läge bei dieser Variante in der TiN-Aluminium-Schnittstelle und könnte so den Kontakt beeinträchtigen bis hin zu dessen Unterbrechung. Dem Effekt der Oxidbildung an der TiN-Oberfläche wurden auch die Ergebnisse aus Tabelle 6.3 zugeschrieben. Bei den Proben, die gemäß Variante b) prozessiert wurden, gab es keine Kontaktierungsprobleme. In diesem Fall wurde zuerst die Metallisierungsebene aus Aluminium realisiert. Die bei Aluminium bekannte dünne Oxidschicht, die sich an Luft stets bildet, hat hier keine Probleme bezüglich der Kontaktierung der Dünnschichten gezeigt. Angesichts dieser Ergebnisse ist die Metallisierungsvariante b) eindeutig zu favorisieren.

Als dritter wichtiger Gesichtspunkt der Prozessintegration war der Einfluss einer Passivierungsabscheidung über den Ti/TiN-Widerständen zu untersuchen. Im Zusammenhang mit der Untersuchung zur Auswirkung der Variation der Subtratteperatur wurde auch der Effekt einer Passivierung auf Widerstand und TCR betrachtet (Kapitel 6.3.1). Die entsprechenden Resultate (Abbildung 6.5) wurden beschrieben. Das wesentliche Ergebnis war, dass die Passivierung über den Ti/TiN-Dünnschichten deren elektrische Eigenschaften in Hinblick auf die geforderten Spezifikationen nicht verschlechtert hat. Der TCR sank sogar um etwa 25 ppm/K in Folge der Passivierungsabscheidung. Die Streuung des TCR vergrößerte sich nicht.

Im Rahmen des Designs der in dieser Arbeit verwendeten Maskenstrukturen wurden spezielle Strukturen zur qualitativen und quantitativen Kontrolle der durch Lithografie und Ätzprozesse begrenzten minimalen Auflösung vorgesehen. Abbildung 6.13 zeigt die Fotografie einer solchen Struktur für eine Probe mit 5 nm Titan und 15 nm TiN. Links im Bild ist zu erkennen, dass es keine (sichtbare) Unterätzung der Ti/TiN-Schicht gegeben hat. Da der Dünnschicht trocken geätzt wurde, war eine Unterätzung auch nicht zu erwarten. Die Teilstruktur rechts im Bild ist so ausgelegt, dass man den minimal auflösbaren Abstand zweier schmaler (hier 1  $\mu\text{m}$  breiten) Bahnen bestimmen kann. Wie die Abbildung zeigt, liegt dieser minimale Abstand bei 0,5  $\mu\text{m}$ . Dies steht in Übereinstimmung mit der Aussage, dass mit dem verwendeten Fotolack minimale Auflösungen von gut 0,5  $\mu\text{m}$  zu erzielen sind. Als Designregel sollte man sinnvollerweise allerdings einen etwas größeren minimalen Abstand vorschreiben, in diesem Fall zum Beispiel 0,7  $\mu\text{m}$  oder sogar 1,0  $\mu\text{m}$ . Abbildung 6.14 zeigt die REM-Aufsichtsaufnahme einer Widerstandsbahn unter besonderer Betrachtung der Kanten. Die Aufnahme bestätigt, dass die Widerstandsbahn praktisch ohne Unterätzung strukturiert wurde und daher mit 10  $\mu\text{m}$  so breit ist wie im Maskenlayout gezeichnet. Die Widerstandskanten sind sehr homogen und von kaum zu erkennender Rauigkeit.

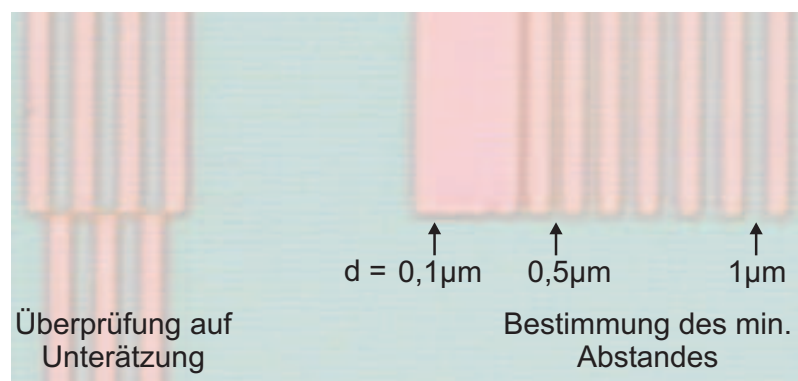


Abbildung 6.13: Fotografie einer Auflösungsstruktur einer Ti/TiN-Probe

In Abbildung 6.15 ist abschließend der REM-Querschnitt einer Probe mit einem passivierten Ti/TiN-Dünnschichtwiderstand (5 nm Titan + 15 nm TiN) mit einer Kontaktmetallisierung gemäß der Variante a) aus Abbildung 5.6 dargestellt.

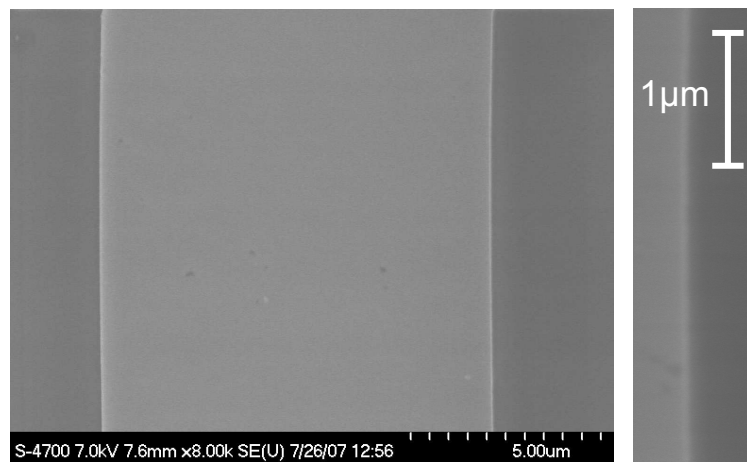


Abbildung 6.14: REM-Aufsichtsaufnahme einer 10 µm breiten Widerstandsbahn

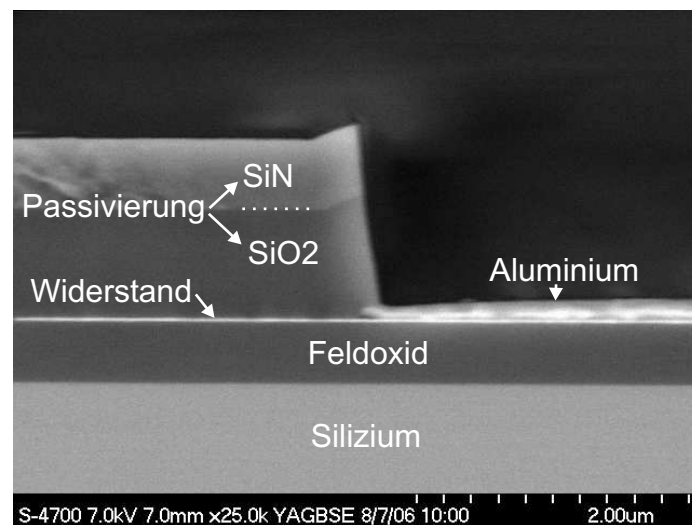


Abbildung 6.15: REM-Querschnitt eines Ti/TiN-Dünnschichtwiderstandes (5 nm Ti + 15 nm TiN) mit Passivierung

## 6.4 Zusammenfassung und Diskussion der Ergebnisse

Gegenstand dieses Kapitels war die Untersuchung von dünnen Ti/TiN-Filmen in Bezug auf ihre Eignung als stabile elektrische Widerstände in einem üblichen CMOS-Prozess mit Aluminiummetallisierung. Ti/TiN wird in CMOS standardmäßig eingesetzt, unter anderem als Barrierschicht. Die Eigenschaften einer Standardbarriere hinsichtlich Schichtwiderstand und Temperaturkoeffizient erwiesen sich im Rahmen eines Versuchs jedoch als ungeeignet zur Realisierung hochwertiger Widerstände mit Eigenschaften gemäß Tabelle

## 2.1.

Auf Basis dieser ersten Erkenntnisse wurde die Abhängigkeit des spezifischen Widerstandes und des TCR von der Schichtdicke bei TiN-Filmen mit einer 5 nm dicken Titanschicht als unterer Filmkomponente untersucht. Unterhalb von 100 nm zeigte sich eine deutliche Abhängigkeit der elektrischen Größen von der Schichtdicke, wobei mit fallender Dicke der TCR in grober Näherung proportional zum Zehnerlogarithmus abnahm. Weiterhin ergab sich auch eine Abhängigkeit des spezifischen Widerstandes von der Schichtdicke. Physikalisch lässt sich dieser Zusammenhang mit Hilfe des Modells von Mayadas-Shatzkes (Kapitel 3.2.3) in qualitativ guter Näherung beschreiben als eine Kombination aus Streuung der Leitungselektronen an der Filmoberfläche und an den Korngrenzen. Die in diesem Modell postulierte Bedingung, dass die Körner unabhängig von der Schichtdicke einen konstanten (mittleren) Durchmesser besitzen, ist nach den Ergebnissen einer TEM-Analyse ab einer Dicke von etwa 50 nm erfüllt. Darüber hinaus wachsen die geeignet orientierten Kristallite im Dünnschicht säulenförmig nach oben.

Die Untersuchungen im Zusammenhang mit der Modellierung der Widerstandsmechanismen ergaben, dass sich bei einem Schichtstapel von 5 nm Titan und 15 nm TiN ein Schichtwiderstand in der geforderten Größenordnung ( $100 \frac{\Omega}{\square}$ ) einstellt. Der zugehörige TCR lag jedoch mit über 300 ppm/K weit über den Spezifikationen. Zu seiner Minimierung wurden prinzipiell drei unterschiedliche Methoden identifiziert:

- Reduzierung der Schichtdicke
- Temperung an Luft
- Optimierung des Stickstoff/Argon-Verhältnisses während des Sputterns

Eine Reduzierung der Schichtdicke auf etwa 5 nm Titan + 5 nm TiN führte zwar zu einem TCR von etwa 20 ppm/K, resultierte aber in einer sehr großen Instabilität der elektrischen Größen angesichts einer Lagerung bei 200°C. Eine zweistündige Temperung an Luft ergab ebenfalls einen mittleren TCR von ungefähr 0 ppm/K, allerdings mit inakzeptabel großer Streuung. Es muss allerdings darauf hingewiesen werden, dass der verwendete Temperofen über keine spezielle Luftzufuhr verfügte. Es stand lediglich die im Ofen befindliche Luftatmosphäre zur Verfügung. Es wäre eventuell zu untersuchen, ob durch eine optimierte Luftzufuhr eine deutlich homogenere Oxidation der Filmoberfläche über ganze Wafer realisierbar ist. Dies war im Rahmen dieser Arbeit nicht möglich. Temperungen in Schutzgasatmosphäre führten ab etwa 300°C zu einem sinkenden Schichtwiderstand und einem deutlich steigenden TCR. Dies ist Ausheilwirkungen in der Filmstruktur beziehungsweise einem mit zunehmender Temperatur einsetzenden Kristallitwachstum im Dünnschicht zuzuschreiben.

Als weitere geeignete Methode zur Reduzierung des TCR erwies sich die Einstellung eines geeigneten Stickstoffflusses beziehungsweise eines Verhältnisses der Flüsse von Stickstoff und Argon. Mit der zur Verfügung stehenden Sputteranlage war im Rahmen dieser Arbeit eine Minimierung des TCR auf etwa 0 ppm/K wie sie in der Literatur [45] erzielt wurde

nicht möglich. Um dies zu erreichen wäre demnach eine entsprechende Modifikation der Anlage erforderlich. Als minimaler Wert wurden hier 245 ppm/K erzielt.

Weitere Untersuchungen haben gezeigt, dass eine CMOS-Integration von Dünnschichtwiderständen aus Ti/TiN (konkret 5 nm Titan und 15 nm TiN) vor der Standardpassivierung, also auf dem obersten Viaoxid, prinzipiell möglich ist. Die Toleranz des Temperaturkoeffizienten lag in diesem Fall bei umgerechnet etwa  $\pm 25$  ppm/K und somit in einem akzeptablen Bereich. Eine anschließende Passivierungsabscheidung hatte keine negativen Auswirkungen auf Schichtwiderstand und TCR. Untersuchungen zur thermischen Langzeitstabilität mit Lagerungen bei 200°C für bis zu 1000 Stunden zeigten, dass eine Passivierung über den Widerständen zur Erzielung einer hinreichend großen thermischen Langzeitstabilität im Bereich unter 1% erforderlich ist. Die in Tabelle 2.1 aufgeführte maximale Drift von 0,1% wurde jedoch leicht überschritten. Ein Ansatz für eine Optimierung der Stabilität könnte eine etwas höhere Schichtdicke sein. Dabei ist zu beachten, dass dies nach den erzielten Ergebnissen einen höheren TCR zur Folge hat. Im Zusammenhang mit einer potenziellen Optimierung des TCR mittels Variation des Stickstoffflusses (siehe oben) wäre diesem Problem jedoch eventuell beizukommen.

Kritisch anzumerken ist, dass - abgesehen von den bereits angesprochenen noch durchzuführenden Optimierungen - vor einer praktischen Prozessintegration zumindest ein letzter Aspekt zu klären beziehungsweise zu lösen ist. Das Aluminium wurde im Rahmen dieser Arbeit stets nass geätzt. Da Metallisierungen heutzutage standardmäßig trocken geätzt werden, ist zu klären, inwieweit ein Anätzen des (den Widerständen als Substrat dienenden) Viaoxids einen negativen Einfluss auf die Eigenschaften der Widerstände besitzt.

Insgesamt haben die durchgeführten Untersuchungen gezeigt, dass sich die CMOS-kompatible Dünnschichtkombination Ti/TiN, deren prinzipielle Eignung als Widerstand aus der Literatur bereits bekannt war, zur Realisierung von CMOS-integrierten Widerständen eignen. Diese übertreffen Standard-CMOS-Widerstände hinsichtlich TCR und Stabilität deutlich (Vergleich mit Tabelle 2.2).

# Kapitel 7

## Ti/NiCr-Dünnschichtwiderstand

Dieses Kapitel behandelt die Entwicklung des Ti/NiCr-Dünnschichtwiderstandes und mögliche Varianten seiner CMOS-Integration. Desweiteren werden verschiedene Untersuchungen beschrieben, mit denen versucht wurde, die physikalischen Ursachen der erzielten elektrischen Ergebnisse näher zu ergründen. Wie im Fall des Ti/TiN-Dünnschichtwiderstandes wurden die Widerstände durchweg an Spitzenmessplätzen auf Wafer-Ebene gemessen.

### 7.1 Entwicklung des Ti/NiCr-Dünnschichtwiderstandes

Gegenstand dieses Unterkapitels sind die grundlegenden Entwicklungsschritte zur Realisierung von Dünnschichtwiderständen aus der Materialkombination Ti/NiCr. Dazu zählen im wesentlichen die Optimierung der Dicken der Titan- und NiCr-Dünnschichten und der Temperung zur Einstellung des TCR und zur thermischen Stabilisierung. Schließlich wurden die Linearität des Widerstandes über der Temperatur bis hinunter in die Nähe des absoluten Nullpunktes sowie die Stabilität gegenüber elektrischem Stress exemplarisch untersucht.

#### 7.1.1 NiCr-Schichtdicke

Der entwickelte Ti/NiCr-Dünnschichtwiderstand besteht aus einer NiCr-Schicht (80% Nickel), die auf einer wenige Nanometer dicken Titanschicht abgeschieden wird. Für eine erste Orientierung wurden drei Proben mit 6, 12 und 36 nm NiCr auf einer 2,5 nm dicken Titanschicht gefertigt. Als isolierendes Substrat wurde Siliziumnitrid gewählt, da es in Vorversuchen bereits zu brauchbaren Ergebnissen, insbesondere in Hinsicht auf einen niedrigen TCR, geführt hatte.

Abbildung 7.1 zeigt die sich ergebenden Schichtwiderstände und TCR. Für eine Dicke von 12 nm ergibt sich mit  $R_S = 140 \Omega/\square$  ein Schichtwiderstand in der geforderten Größenordnung. Der TCR ändert sich zwischen 12 und 36 nm Schichtdicke kaum noch. Das bedeutet, dass in diesem Bereich bereits Bulkeigenschaften bezüglich der elektrischen Eigenschaften einsetzen. Der TCR des 6 nm dicken Films ist hingegen deutlich geringer. Da solche dünne Filme bekanntermaßen zunehmend thermisch instabil sind (Kapitel 3.2) wurde diese Dicke zur Realisierung des Dünnschichtwiderstandes nicht in Erwägung gezogen.

Die 12 nm dicke Schicht wurde letztlich für die weitere Entwicklung des Ti/NiCr-Dünnschichtwiderstandes gewählt. Im Hinblick auf die Höhe des TCR wäre zwar auch die 36 nm dicke Schicht in Betracht gekommen. Allerdings bedeutet eine größere Schichtdicke bei Nassätzen auch eine stärkere Unterätzung. Außerdem zeigte die 36 nm-Probe eine deutlich höhere Streuung des TCR über den Wafer im Vergleich zur 12 nm-Probe.

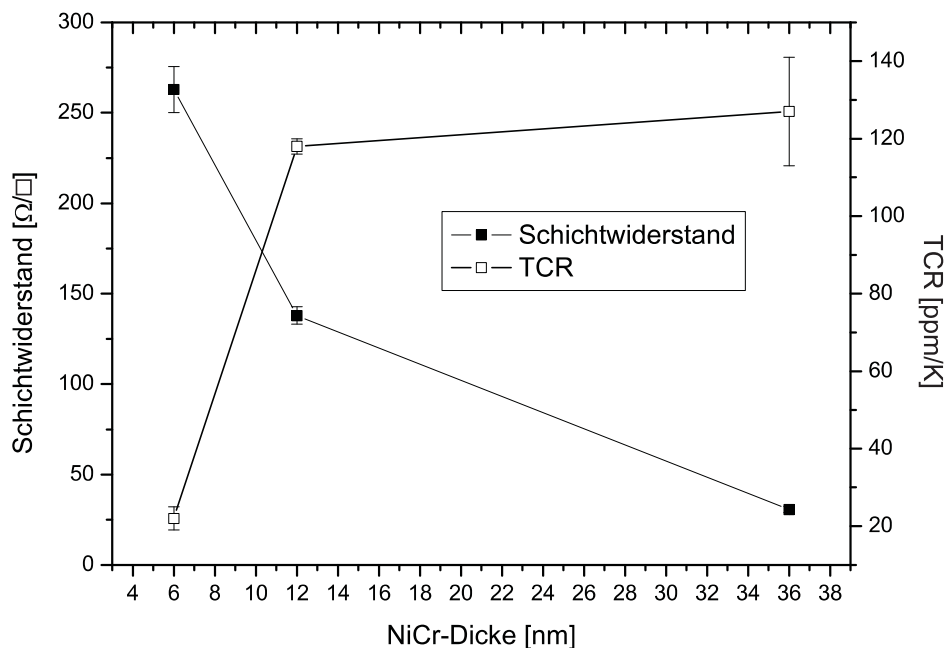


Abbildung 7.1: Einfluss der NiCr-Dicke auf Schichtwiderstand und TCR (mit 2,5 nm Titanschicht)

### 7.1.2 Optimierung der Titanschichtdicke und Temperung

Grundlage der weiteren Betrachtungen war die Dünnschichtvariante, die aus 12 nm NiCr besteht. Als Untergrund wurde zunächst weiterhin Siliziumnitrid verwendet. In einem ersten Versuch konnte gezeigt werden, dass eine dünne Titanschicht unter dem NiCr einen entscheidenden Einfluss auf den Temperaturkoeffizienten und seine Änderung nach einer Ofentemperung in Formiergas besitzt. Den mittleren TCR ohne und mit 1,5 nm Titan für ungetemperte und bei 250°C respektive 300°C getemperte Proben zeigt Abbildung 7.2.

Wie die Grafik zeigt, ist der TCR der Variante mit Titan nicht nur deutlich niedriger als der Variante ohne, die Änderung des TCR durch die Temperungen vollzieht sich auch in die andere Richtung. Während der nur aus NiCr bestehende Dünnschichtwiderstand nach den Temperungen bei 250°C beziehungsweise 300°C sich - wie aus der Literatur [17] bekannt - vergrößert, sinkt er bei der Variante mit Titanschicht.

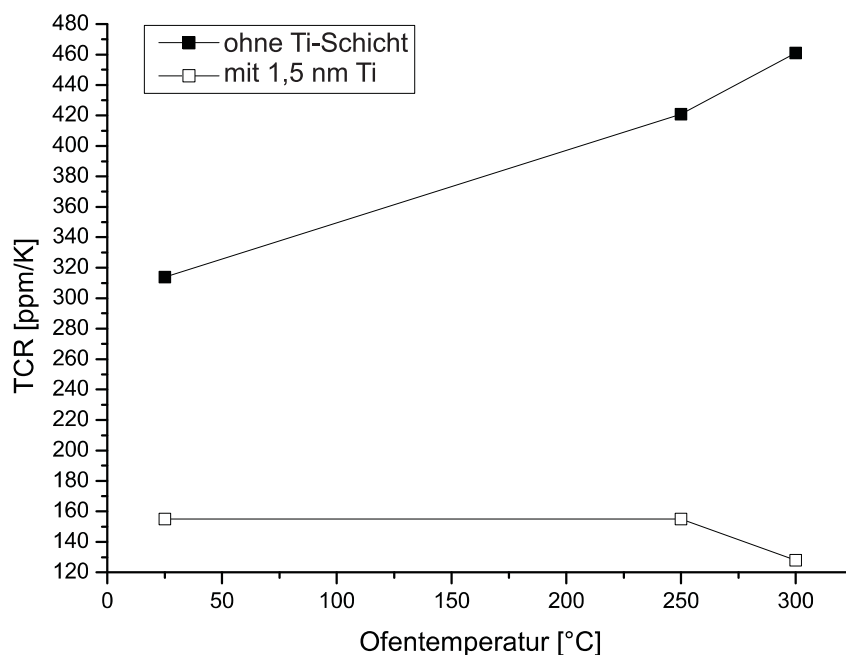


Abbildung 7.2: Einfluss von 1,5 nm Titan auf den TCR von NiCr-Dünnschichtwiderständen nach Formiergastemperungen bei verschiedenen Ofentemperaturen (die Werte für  $T = 25^\circ\text{C}$  beziehen sich auf ungetemperte Varianten)

In einem nächsten Schritt wurde der Zusammenhang zwischen Schichtwiderstand beziehungsweise TCR und einer Temperung ( $250^\circ\text{C}$  bis  $400^\circ\text{C}$ ) für einen NiCr-Film mit einer 1,5 nm dicken Titanschicht näher untersucht. Das Ergebnis ist in Abbildung 7.3 dargestellt. Wie zu erkennen ist gibt es einen klaren Zusammenhang zwischen dem Einfluss der Temperung auf den Schichtwiderstand und dem auf den TCR. Ein steigender Schichtwiderstand fällt mit einem fallenden TCR zusammen. Diese Tendenz ist bis zu einer Temperatur von  $350^\circ\text{C}$  zu beobachten. Bei der  $400^\circ\text{C}$ -Temperung kam es hingegen zu einem signifikanten Abfall des Widerstandes bei gleichzeitigem starkem Anstieg des TCR. Zwischen  $350^\circ\text{C}$  und  $400^\circ\text{C}$  liegt demnach die kritische Temperatur, ab der im Dünnschicht ein Ausheilen („Annealing“) beziehungsweise Kristallitwachstum einsetzt (siehe dazu auch Kapitel 3.2.1).

Der zweite wichtige Grund für eine Temperung von Dünnschichtwiderständen neben der Einstellung des TCR ist die Stabilisierung. Die Varianten aus Abbildung 7.2 und 7.3 wurden für 1000 Stunden bei  $200^\circ\text{C}$  (eine Variante zusätzlich bei  $125^\circ\text{C}$ ) in Stickstoff-Atmosphäre gelagert. Die Drift des Schichtwiderstandes der verschiedenen Varianten zeigt Abbildung 7.4. Es zeigt sich eine Abhängigkeit der Langzeitdrift von der vorausgegangenen Temperung und von der Titanschicht. Wie zu erwarten, war nach der höchsten Stabilisierungstemperatur die Drift am geringsten. Bei der mit  $350^\circ\text{C}$  getemperten Probe lag die Drift nach der  $200^\circ\text{C}$ -Lagerung bei 0,25%, bei der bei  $125^\circ\text{C}$  gelagerten Probe war praktisch keine Drift feststellbar. Während die bei  $250^\circ\text{C}$  und  $300^\circ\text{C}$  getemperten Proben eine positive Drift zeigten, war diese bei den bei  $350^\circ\text{C}$  und  $400^\circ\text{C}$  getemperten Varianten negativ. Für

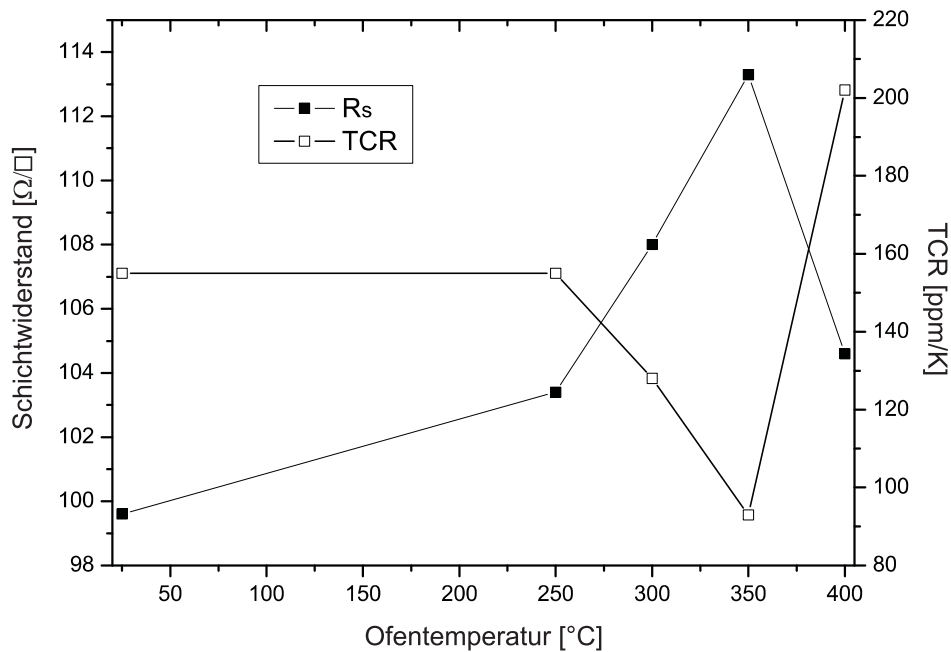


Abbildung 7.3: Schichtwiderstand und TCR von Ti(1,5 nm)/NiCr-Widerständen nach 10-minütigen Formiergastemperungen bei verschiedenen Ofentemperaturen (die Werte für  $T = 25^\circ\text{C}$  beziehen sich auf ungetemperte Varianten)

eine  $300^\circ\text{C}$ -Temperung zeigt sich außerdem, dass die Drift ohne vorhandene Titanschicht deutlich größer (1,8%) ist als mit 1,5 nm Titan (0,4%).

Diese bisherigen Ergebnisse zeigen, dass die Temperung bei geeigneter Temperatur wesentlich für Widerstand, TCR und Stabilität des Ti/NiCr-Dünnschichtwiderstandes ist. Die bei  $400^\circ\text{C}$  getemperte Probe zeigte zwar die geringste Widerstandsdrift, der TCR war in diesem Fall aber bereits zu hoch. Eine Temperung bei  $350^\circ\text{C}$  wies hingegen den niedrigsten TCR und eine immer noch gute Langzeitstabilität auf, insbesondere wenn man bedenkt, dass die Dünnschichten frei an der Oberfläche liegen. Desweiteren zeigten die Ergebnisse aus den Abbildungen 7.2 und 7.4 einen positiven Einfluss der dünnen Titanschicht auf den Dünnschichtwiderstand.

Der nächste Schritt bestand somit in der Optimierung der Titanschichtdicke. Dazu wurden NiCr-Dünnschichten mit verschiedenen Titanschichten zwischen 1,5 und 5 nm Dicke prozessiert. Es wurden eine ungetemperte und bei  $350^\circ\text{C}$  getemperte Proben untersucht, wobei zusätzlich eine gegenüber den bisherigen Versuchen verlängerte Temperungszeit von 30 Minuten ausprobiert wurde. In Abbildung 7.5 sind die Ergebnisse dargestellt. Es zeigt sich eine klare Abhängigkeit des TCR von der Dicke der Titanschicht unter dem NiCr. Mit steigender Titanschichtdicke fällt der TCR. Bei 5 nm Titan liegt er schließlich bei etwa  $-415\text{ ppm/K}$ . Noch stärker als im ungetemperten Fall zeigt sich die Abhängigkeit bei den getemperten Varianten. Bei der Probe mit 2,5 nm Titan fällt der Temperaturkoeffizient in die Nähe von Null, wobei die TCR-Drift bei der länger getemperten Variante noch etwas

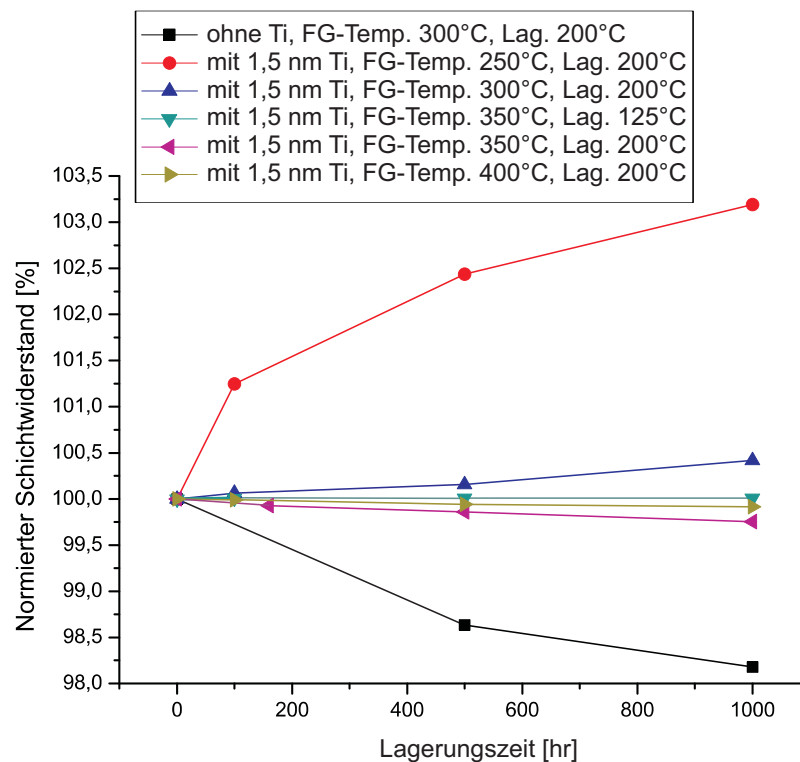


Abbildung 7.4: Durchschnittliche Drift des auf den Anfangswert normierten Schichtwiderstandes während 1000 Stunden Lagerung bei 200°C (bzw. in einem Fall 125°C) in Stickstoffatmosphäre

stärker ist. Im Fall der Probe mit 2,5 nm Titan, die 30 Minuten bei 350°C getempert wurde, ergab sich schließlich ein TCR von 7 ppm/K.

### 7.1.3 Stabilität gegenüber hohen Temperaturen und Feuchtigkeit

Wichtiges Qualitätskriterien für Widerstände sind die Langzeitstabilität gegenüber hohen Temperaturen und Feuchtigkeit. Zur Bestimmung der thermischen Langzeitstabilität des im vorigen Unterkapitel entwickelten Dünnschichtwiderstandes wurde eine entsprechende Probe wiederum für 1000 Stunden bei 200°C gelagert. Das Ergebnis ist in Abbildung 7.6 dargestellt. Als Ergebnis zeigt sich eine Widerstandsdrift, die mit durchschnittlich -0,28% in etwa so groß ist wie die der Variante mit 1,5 nm Titan (Abbildung 7.4).

Zur Charakterisierung der Resistenz des Ti/NiCr-Dünnschichtwiderstandes gegenüber Feuchtigkeit wurden vier einzelne in einem offenen Gehäuse montierte Widerstände einem sogenannten Autoclaven-Test (gemäß dem Standard JESD22-A102 [61]) unterzogen. In Tabelle 7.1 sind die wesentlichen Parameter der nach diesem Standard durchgeführten Feuchtigkeitsstressung aufgeführt. Als Ergebnis ergaben sich Widerstandsänderungen von -0,03% bis -0,14%.

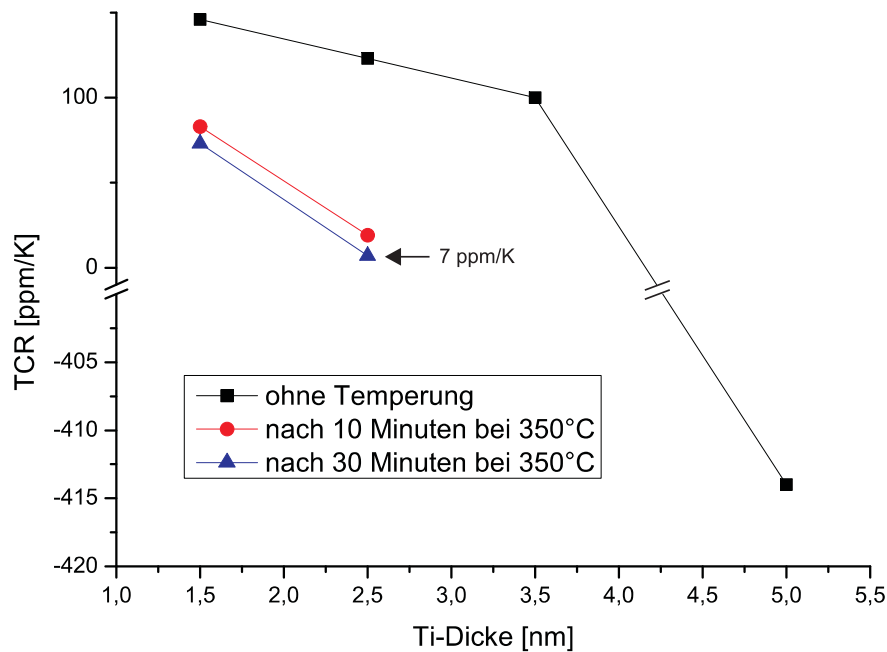


Abbildung 7.5: Abhängigkeit des TCR von Ti/NiCr-Dünnschichtwiderständen von der Titanschichtdicke und 350°C-Temperungen von 10 bzw. 30 Minuten Länge

Tabelle 7.1: Parameter zur Feuchtigkeitsstressung (Autoclaven-Test gemäß Standard JESD22-A102)

Temperatur	121°C
Relative Feuchte	100%
Druck	2 bar
Dauer	12 Std.

#### 7.1.4 Stabilität gegenüber elektrischem Stress

Neben der thermischen Langzeitstabilität wurde wiederum auch die Robustheit gegenüber elektrischem Stress untersucht. Um einen Einblick zu erhalten, bis zu welchen Strömen beziehungsweise Stromdichten Ti/NiCr-Dünnschichtwiderstände gegebenenfalls eingesetzt werden könnten, wurde dies exemplarisch an einer Struktur (2,5 nm Ti + 12 nm NiCr) getestet. Analog zum Vorgehen bei Ti/TiN wurde zunächst wieder untersucht, bei welchen Stromdichten eine signifikante Erwärmung auf Grund von Stromfluss einsetzt.

Zu diesem Zweck wurden drei Strukturen (Widerstand bei 7000  $\Omega$ , Bahnbreite 10  $\mu\text{m}$ ) Ströme zwischen 0,5 mA und 10 mA eingepreßt und - wie stets - über eine Spannungsmessung der sich ergebende Widerstand bestimmt. Über den zuvor ermittelten TCR (ca. 20 ppm/K) wurden daraus die Erwärmungen durch den Stromfluss gegenüber dem Referenzwert (100  $\mu\text{A}$ ) bestimmt. Dazu wurde wiederum Gleichung 6.2 verwendet.

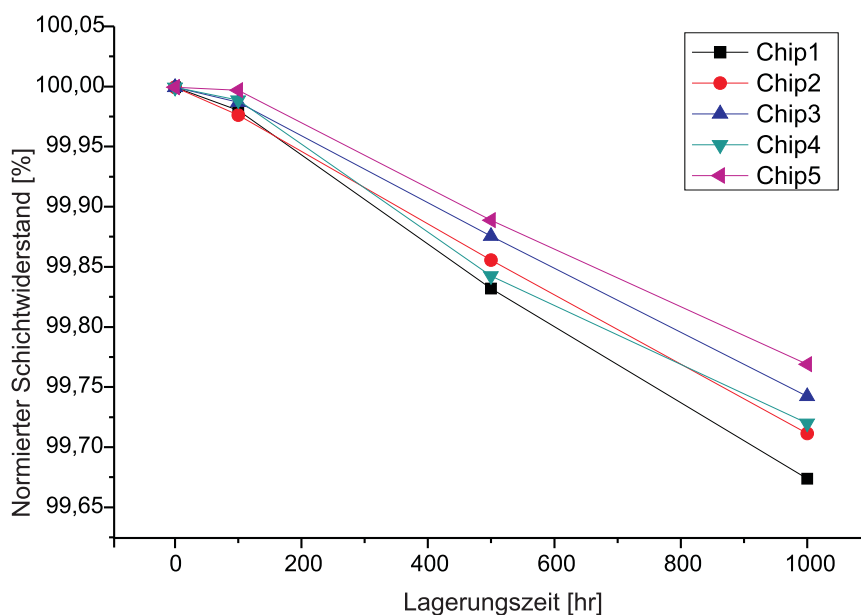


Abbildung 7.6: Drift des auf den Anfangswert normierten Schichtwiderstandes von Ti/NiCr-Dünnfilmen mit 2,5 nm Titan während 1000 Stunden Lagerung bei 200°C in Stickstoffatmosphäre

Abbildung 7.7 zeigt die entsprechenden Ergebnisse. Der Abbildung ist zu entnehmen, dass oberhalb der Referenzstromdichte zunächst eine geringe Stromerwärmung einsetzt. Bei 0,5 mA ( $3,7 \cdot 10^6 \frac{A}{cm^2}$ ) beträgt die Erwärmung maximal 1°C gegenüber dem Referenzwert. Die Wahl von 100  $\mu A$  als verwendeter Messstrom im Rahmen dieser Arbeit war somit zulässig. Wie auch im Fall von Ti/TiN ergibt sich ein annähernd parabolischer Verlauf. Bei 10 mA ( $7,4 \cdot 10^7 \frac{A}{cm^2}$ ) liegt die Erwärmung auf Grund des eingepprägten Stromes bei höchstens 35°C. Analog zum Fall von Ti/TiN würden noch höhere Stromdichten schnell in Temperaturbereiche führen, die auch aus thermischer Sicht zu Instabilität der elektrischen Größen führen. Es wurde daher für eine exemplarische elektrische Stressung wiederum ein Strom von 10 mA gewählt. Nach 24 Stunden ergab sich keine messbare Widerstandsänderung. Ohne Kenntnis der Aktivierungsenergie lässt sich hieraus auch in diesem Fall keine Lebensdauer abschätzen. Allerdings zeigt das Ergebnis, dass die Schicht zumindest keine signifikante Empfindlichkeit gegenüber Elektromigration besitzt.

### 7.1.5 Widerstand und TCR bei tiefen Temperaturen

Da mikroelektronische Schaltungen beispielsweise für automobiler Anwendungen zwischen etwa -50°C und 125..200°C (Kapitel 2.1) betrieben werden, ist es entscheidend, dass Widerstände in diesem Temperaturbereich eine möglichst lineare Temperatur-Widerstands-Charakteristik besitzen. Zur Überprüfung dieses Sachverhaltes wurde jeweils ein ungetemperter und ein getemperter (30 Minuten bei 350°C) gehäuster Widerstand in flüssigem Stickstoff (-196°C) beziehungsweise im Ofen gemessen (Abbildung 7.8). Zwischen ungefähr

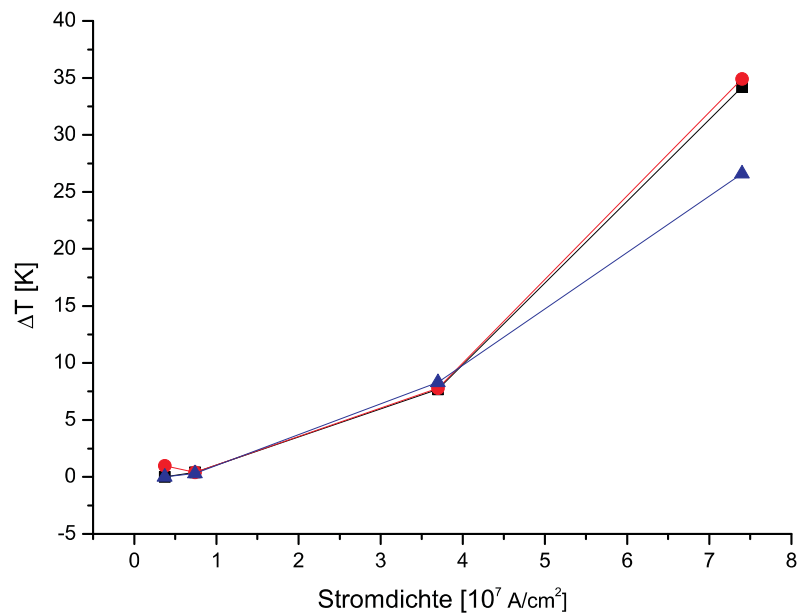


Abbildung 7.7: Temperaturanstieg durch Stromerwärmung gegenüber einer Referenzstromdichte von  $7,4 \cdot 10^5 \frac{\text{A}}{\text{cm}^2}$  (3 gleiche Strukturen einer Probe mit 2,5 nm Titan und 12 nm NiCr);  $7,4 \cdot 10^7 \frac{\text{A}}{\text{cm}^2}$  entsprechen 10 mA

-50 und 200°C ergibt sich ein recht linearer Verlauf mit nur wenigen ppm/K Schwankung. Bei der getemperten Variante liegt der TCR bei  $15 \pm 1 \text{ ppm/K}$  zwischen -80°C und 200°C, wobei die Schwankungen in der Nähe der Messauflösung beziehungsweise -genauigkeit liegen.

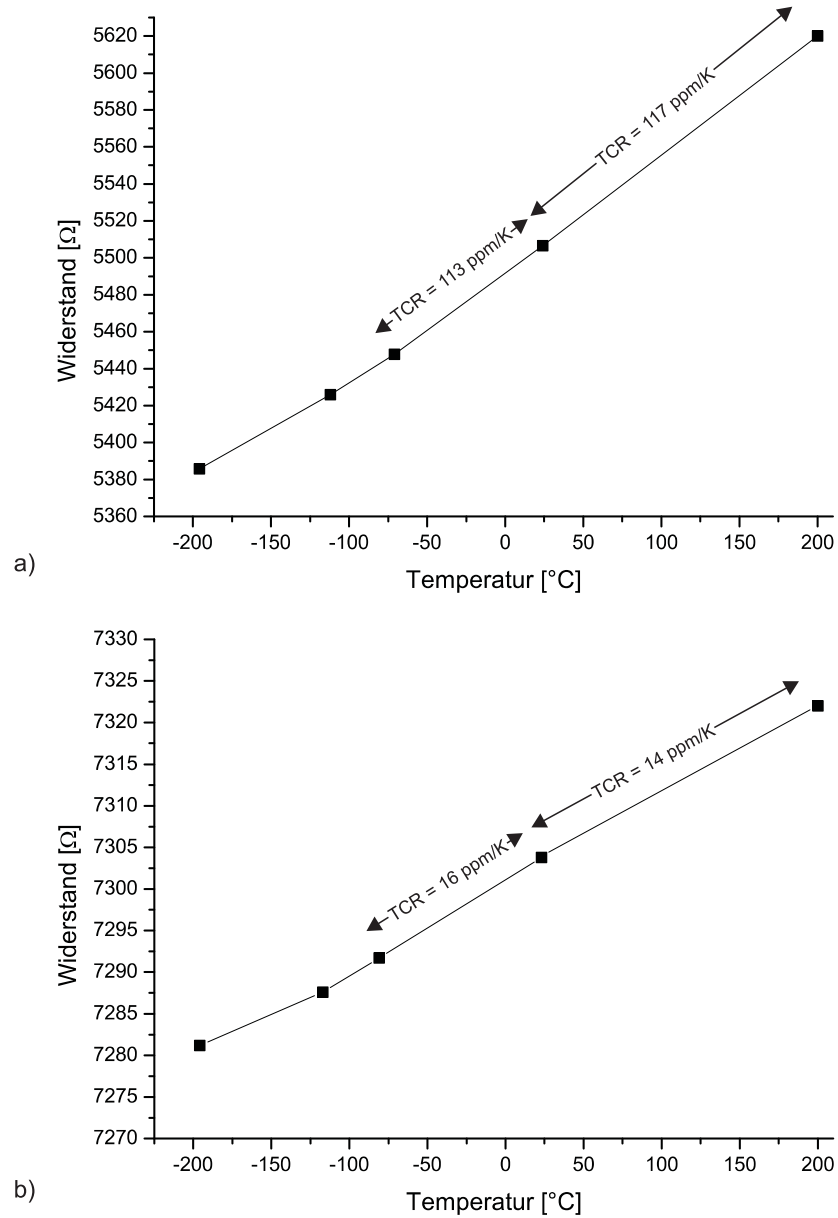


Abbildung 7.8: Widerstand in Abhängigkeit von der Temperatur eines ungetemperten (a) bzw. bei 350°C für 30 Minuten getemperten (b) Ti/NiCr-Dünnschichtwiderstandes; tiefe Temperaturen mit Hilfe von flüssigem Stickstoff

## 7.2 Prozessintegration

Ausgangspunkt der Untersuchungen zur Prozessintegration war der hinsichtlich der geforderten Spezifikationen (Tabelle 2.1) erfolgreich entwickelte Dünnschichtwiderstand aus 2,5 nm Titan und 12 nm NiCr, der nach einer Formiergastemperatur von 30 Minuten bei 350°C einen TCR < 10 ppm/K zeigte. Gemäß Kapitel 5.4.2 werden die Integrationsvarianten "vor Passivierung" und "nach Passivierung" in Betracht gezogen. Die Prozessquerschnitte der beiden Varianten sind in der Abbildung 5.7 dargestellt, die jeweiligen Prozessabläufe in Abbildung 5.9.

Als erstes wurden die jeweils verwendeten isolierenden Substrate - Viaoxid und Standardpassivierung - auf ihren Einfluss auf Schichtwiderstand, TCR und die Streuung dieser Größen über den Wafer hin untersucht. Die zentrale Frage war, ob die oben angeführte auf SiN realisierte Ti/NiCr-Widerstandsvariante auf Viaoxid vergleichbare Eigenschaften besitzt und sich der TCR ebenfalls durch eine Temperung in Richtung 0 ppm/K justieren lässt. In Abbildung 7.9 sind Schichtwiderstand und TCR von Proben beider Integrationsvarianten für verschiedene Temperungsdauern, aber stets bei 350°C in Formiergas, aufgetragen. Bezüglich der Integrationsvariante "nach Passivierung" bestätigten sich die Ergebnisse aus Kapitel 7.1. Bei einer Temperungsdauer von mehr als 30 Minuten steigt der Schichtwiderstand zunächst weiter an (um knapp 20%). Bei mehr als 60 Minuten fällt er dann wieder leicht ab. Der TCR fällt entsprechend bis zu einer Temperungsdauer von 60 Minuten etwas ab (um etwa 15 ppm/K) in den (geringfügig) negativen Wertebereich, um nach 75 Minuten wieder leicht anzusteigen (auf etwa 0 ppm/K).

Im Fall der Integrationsvariante "vor Passivierung" wurden gemäß Kapitel 5.4.2 Proben mit nass und mit trocken strukturiertem Aluminium gefertigt, um mögliche Auswirkungen der (wenig selektiven) Plasmaätzmethode auf die elektrischen Größen der Dünnschichten identifizieren zu können. Wie Abbildung 7.9 zeigt, ergaben sich für den Schichtwiderstand und dessen Streuung über den Wafer keine signifikanten Unterschiede zwischen den Varianten, bei denen das Aluminium nass und bei denen das Aluminium trocken geätzt wurde. Beim TCR traten allerdings große Unterschiede auf. Der TCR der Widerstände auf dem Substrat, das vor der Dünnschichtabscheidung einer Plasmaätzung ausgesetzt war, liegt mit etwa 190 ppm/K nach 30-minütiger Temperung nicht nur im Durchschnitt gut 60 ppm/K höher im Vergleich zu der Variante, bei der das Aluminium nass geätzt wurde. Auch die Streuung des TCR ist bei der trocken geätzten Variante erheblich größer. Die Probe, bei der das Aluminium nass geätzt wurde, zeigte eine TCR-Streuung in der gleichen Größenordnung wie die Variante "nach Passivierung". Der wesentliche Unterschied zwischen den Proben "vor Passivierung" und "nach Passivierung" bestand darin, dass sich der TCR bei den beiden Varianten mit Viaoxid als Widerstandssubstrat durch die Formiergastemperung nicht zu Werten nahe 0 ppm/K trimmen ließ, wie dies bei der Variante "nach Passivierung" möglich war. Der TCR verringerte sich während den Temperungen lediglich um maximal 20 ppm/K und blieb stets oberhalb von 100 ppm/K.

Zweiter entscheidender Aspekt bei der CMOS-Integration der Dünnschichtwiderstände war die Frage, ob beziehungsweise inwieweit die Abscheidung einer Passivierung über den Wi-

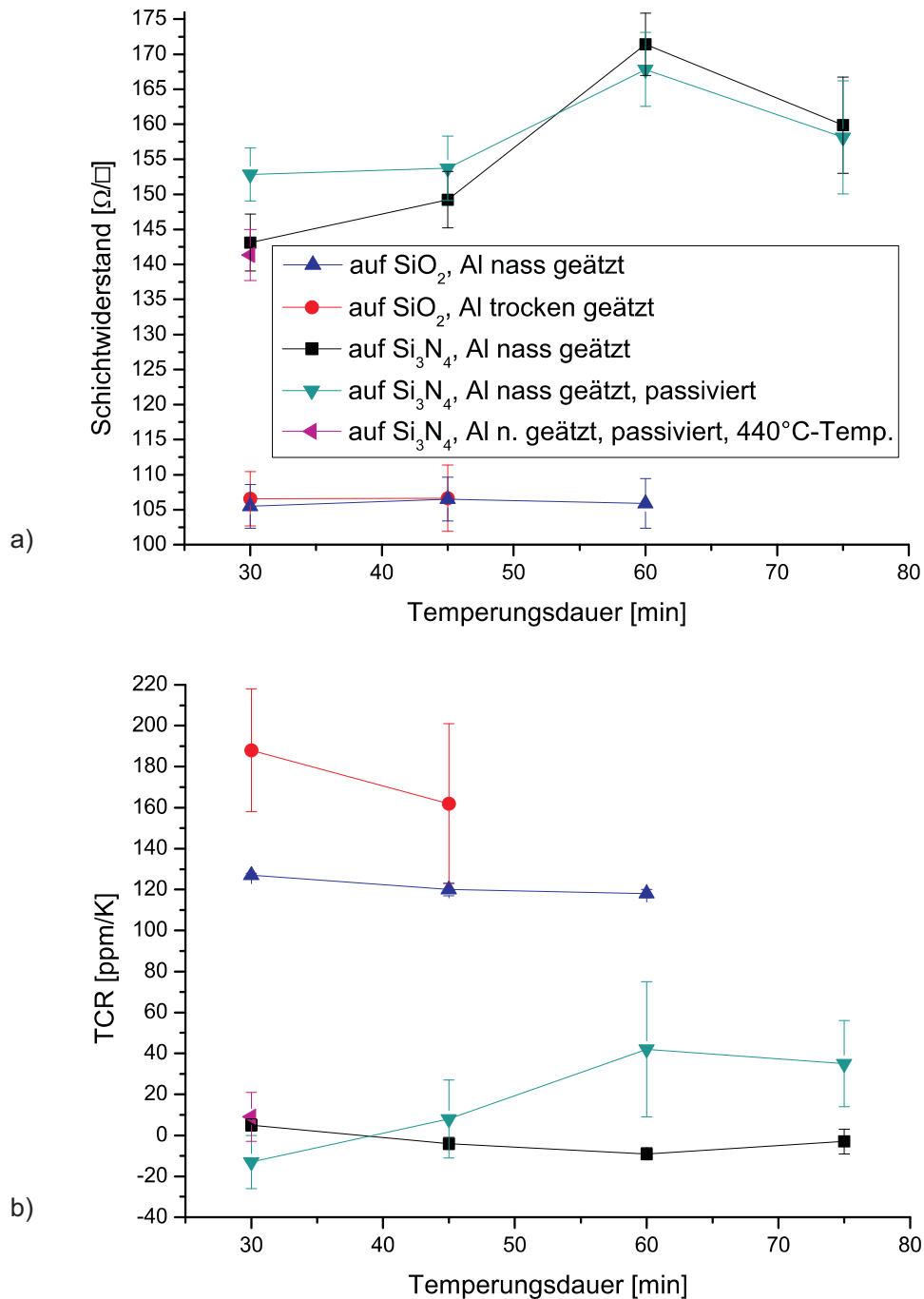


Abbildung 7.9: Schichtwiderstand (a) und TCR (b) von Ti/NiCr-Dünnschichten auf unterschiedlichen Substraten, im Falle "nach Passivierung" zusätzlich nach Passivierungsabscheidung und nach zusätzlicher 440°C-Abschlusstemperatur in Formiergas

derständen und eine übliche Abschlusstemperatur (10 Minuten bei 440°C in Formiergas) deren Eigenschaften qualitativ beeinflusst. Um dies zu untersuchen, wurden auf Proben mit der hinsichtlich der angestrebten Zielwerte erfolgreicherer Integrationsvariante "nach Passivierung" jeweils eine Standardpassivierung (Kapitel 5.5) abgeschieden und strukturiert. Anschließend wurden Schichtwiderstand und TCR erneut bestimmt. Danach erhielt eine Probe (mit 30-minütiger 350°C-Temperatur) die bereits erwähnte Abschlusstemperatur. Wie die Abbildung 7.9 zeigt, hängen Größe und Richtung der Änderungen von Schichtwiderstand und TCR in Folge der Passivierungsabscheidung von der Dauer der vorher durchgeführten Formiergastemperatur (350°C) ab. Bei den Proben mit den kürzeren Temperungszeiten erhöhte sich der Widerstand durch die Passivierung, während der TCR sank. Für die längeren Temperungszeiten ist es genau andersherum.

Für die weiteren Untersuchungen wurde die Variante, die 30 Minuten bei 350°C getempert wurde, verwendet, da diese nach der Passivierungsabscheidung die geringsten Streuungen der elektrischen Größen besaß und im übrigen auch die Variante war, die im Vorfeld (Kapitel 7.1) bezüglich ihrer Stabilität gegenüber thermischem und elektrischem Stress schon untersucht wurde. Die entsprechende Probe aus Abbildung 7.9 erhielt die Abschlusstemperatur bei 440°C und wurde erneut gemessen. Der Schichtwiderstand sank während dieser Temperatur um etwa 7% auf  $142 \Omega/\square$ , der TCR stieg von -17 ppm/K auf 10 ppm/K, wobei sich seine Streuung praktisch nicht geändert hat.

Wie im Fall Ti/TiN wurden auch für die Ti/NiCr-Dünnschichten Betrachtungen zur Unterätzung und zur minimalen Auflösung angestellt. Abbildung 7.10 zeigt die Fotografie einer entsprechenden Struktur für eine Probe mit 2,5 nm Titan und 12 nm NiCr. Links im Bild ist zu erkennen, dass es eine leichte Unterätzung der Ti/NiCr-Schicht gegeben hat. Nach genauerer Betrachtung (siehe unten) liegt diese bei etwa 350 nm. Da der Dünnschicht durch manuelles Eintauchen in die Ätzlösung nass geätzt wurde, war trotz unternommener Mühen zu Optimierung des Ätzverfahrens eine Unterätzung in dieser Größenordnung durchaus zu erwarten. Dies liegt unter anderem daran, dass sich die genaue Ätzrate der Lösung mit fortschreitender Alterung leicht ändert, so dass sich die bei zuvor durchgeführten Versuchen ermittelte Ätzrate in diesem Fall nicht hundertprozentig genau reproduzieren lässt. Wie der rechte Teil der Abbildung zeigt, liegt der minimal erreichbare Abstand wie im Fall Ti/TiN bei  $0,5 \mu\text{m}$ . Abbildung 7.11 zeigt die REM-Aufsichtsaufnahme einer Widerstandsbahn ( $10 \mu\text{m}$  Sollbreite) unter besonderer Betrachtung der Kanten. Mit Hilfe der Aufnahme lässt sich die bereits erwähnte Unterätzung von etwa 350 nm ermitteln, so dass die Widerstandsbahn tatsächlich etwa  $9,3 \mu\text{m}$  breit ist. Die Widerstandskanten sind wiederum sehr homogen und von kaum zu erkennender Rauigkeit.

In Abbildung 7.12 ist abschließend der REM-Querschnitt einer Probe mit einem passivierten Ti/NiCr-Dünnschichtwiderstand (2,5 nm Titan + 12 nm NiCr) gemäß der Integrationsvariante "nach Passivierung" dargestellt.

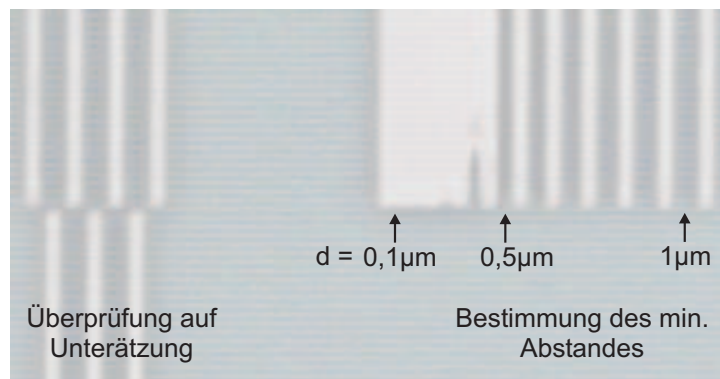


Abbildung 7.10: Fotografie einer Auflösungsstruktur einer Ti/NiCr-Probe

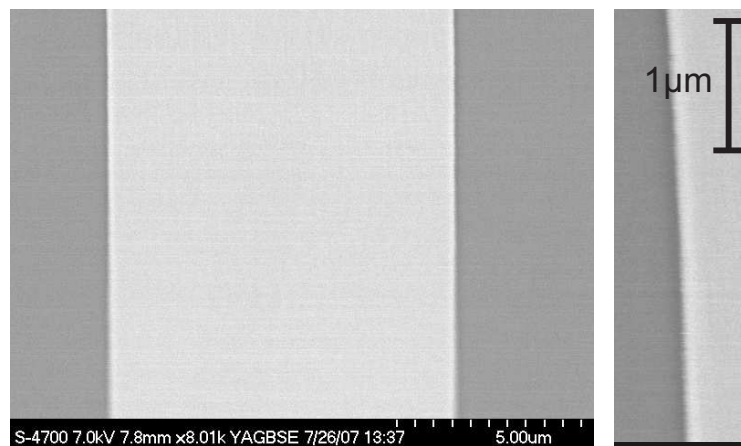
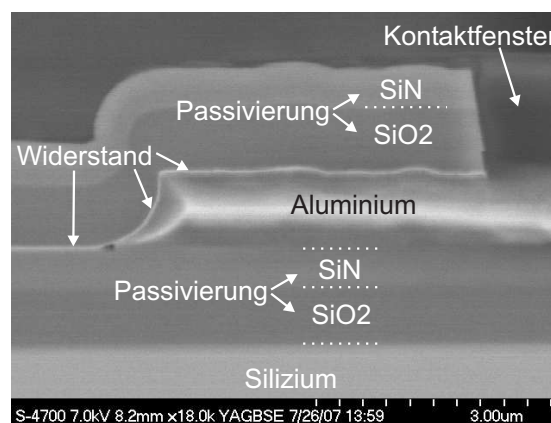
Abbildung 7.11: REM-Aufsichtsaufnahme einer 10  $\mu\text{m}$  breiten Widerstandsbahn

Abbildung 7.12: REM-Querschnitt eines Ti/NiCr-Dünnschichtwiderstandes (2,5 nm Ti + 12 nm NiCR) mit Passivierung (Integrationsvariante "nach Passivierung")

### 7.3 Untersuchungen und Diskussion der physikalischen Ursachen der beobachteten elektrischen Eigenschaften

Ein zentrales Ergebnis der Untersuchungen zur CMOS-Integration von Dünnfilmwiderständen aus Ti/NiCr war die Möglichkeit, den Temperaturkoeffizienten des Widerstandes durch eine Formiergastemperung bei 350°C von über 100 ppm/K nach nahe 0 ppm/K zu verschieben. Dabei waren (neben der zu optimierenden Temperungsdauer) die Existenz der Titanschicht unter dem NiCr und die Verwendung von SiN als isolierendem Substrat die maßgeblichen Faktoren.

Als erstes soll der Frage nachgegangen werden, welcher Einfluss der Titanschicht auf die Ti/NiCr-Dünnfilme für die beobachteten elektrischen Eigenschaften verantwortlich ist. Wie mit Hilfe der Messergebnisse aus Abbildung 7.2 festgestellt wurde, lag der TCR für 12 nm NiCr ohne darunter liegende Titanschicht etwa doppelt so hoch (bei 320 ppm/K) als bei gleicher NiCr-Dicke mit 1,5 nm Titan darunter (160 ppm/K). Der Schichtwiderstand war bei der Variante ohne Titan niedriger als bei der Variante mit Titan. Außerdem stieg der TCR bei der Variante ohne Titan in Folge von Temperungen, während er bei der Variante mit Titan bei Temperaturen ab 300°C sank. Stets ging ein höherer TCR mit einem niedrigeren Schichtwiderstand einher, und umgekehrt. Mögliche Erklärungen für den Einfluss der Titanschicht sind prinzipiell:

- Die resultierenden Größen Schichtwiderstand und TCR sind das Ergebnis einer Parallelschaltung der beiden Teilschichten.
- Titan-Atome diffundieren in Folge der Temperung in die NiCr-Schicht und vergrößern auf diese Weise den Schichtwiderstand und verringern den TCR (Kapitel 3.1).
- Die dünne Titanschicht besitzt die Funktion einer Saatschicht, das heißt sie beeinflusst die Kristallitstruktur der auf dem Titan aufwachsenden NiCr-Schicht.

Die Parallelschaltung der Titanschicht mit der NiCr-Schicht kann die gemessenen Widerstandswerte nicht erklären, da diese den Gesamtwiderstand verringern müsste. Der Widerstand der Variante mit Titan lag jedoch - wie gesagt - höher. Der Durchmesser eines Titan-Atoms liegt bei knapp 0,3 nm [39]. Eine 1,5 nm dicke Titanschicht besteht demnach nur aus rund 5 Atomlagen. Ein solch dünner Metallfilm besitzt noch keine kontinuierliche Struktur, sondern befindet sich im diskreten oder halbkontinuierlichen Stadium (Kapitel 3.2). Ein solcher Film besitzt typischerweise einen negativen oder nahe 0 ppm/K liegenden TCR. Im Gegensatz zum Widerstand könnte der niedrigere TCR der Schichtkombination Ti/NiCr im Vergleich zur reinen NiCr-Schicht also prinzipiell erklärt werden.

Eine Diffusion von Atomen aus der Titanschicht ins NiCr könnte theoretisch den Anstieg des Schichtwiderstandes und den gleichzeitigen Abfall des TCR erklären (Kapitel 3.1).

Die Abscheidung des Dünnfilms findet bei Raumtemperatur statt. Da der Schichtwiderstand von Ti/NiCr jedoch schon vor der Formiergastemperung höher ist als bei einem reinen NiCr-Film, ist diese Erklärung an dieser Stelle nicht stichhaltig. Nach der Formiergastemperung stellte sich die Erhöhung des Widerstandes nur für den Fall der auf SiN abgeschiedenen Dünnfilme ein, nicht aber bei Viaoxid als Substrat. Insgesamt ist daher auch dieser Erklärungsansatz ungeeignet.

Iida et al. [44] haben nachgewiesen, dass eine dünne Titanschicht (bis minimal 5 nm) mikrostrukturelle Auswirkungen auf einen darauf abgeschiedenen Ni(80%)Cr(20%)-Dünnfilm besitzt. In vergleichenden Analysen mittels Röntgenbeugung (XRD) und TEM wurde nachgewiesen, dass die Einfügung einer Titanschicht dazu führt, dass bestimmte Kristallorientierungen (in diesem Fall NiCr[111]) im Vergleich zum reinen NiCr-Film stark bevorzugt auftreten. Das Titan besitzt in diesem Fall also die Funktion einer Saatschicht. Da der Widerstand innerhalb eines Kristallits von der Laufrichtung der Elektronen abhängt, wird ein Film, der aus vielen gleichorientierten Körnern besteht, einen anderen Schichtwiderstand aufweisen, als ein Film mit mehreren unterschiedlichen Orientierungen. Auch wurde in [44] nachgewiesen, dass der Grad der Bevorzugung der Orientierung mit der Titandicke steigt. Dies passt wiederum zu den Ergebnissen aus Abbildung 7.5.

Strukturelle Auswirkungen der Titanschicht auf den darauf aufwachsenden NiCr-Dünnfilm stellen nach den bisherigen Betrachtungen eine wahrscheinliche Ursache für den höheren gemessenen Widerstand im Vergleich zu der Variante ohne Titan dar. Eine Erklärung für das Absinken des TCR der Ti/NiCr-Dünnfilme auf SiN in Folge der Formiergastemperung bei 350°C ist damit noch nicht gefunden. Prinzipiell könnten strukturelle oder chemische Änderungen im Dünnfilm diese Drift der elektrischen Größen verursachen.

Zunächst wurden eine ungetemperte und eine getemperte Probe auf strukturelle Unterschiede hin untersucht. Dabei stellte sich zunächst einmal die Frage, wo gegebenenfalls die Gründe dafür liegen, dass solche Änderungen nur - oder deutlich stärker - bei Dünnfilmen auf SiN auftreten. Als potenzielle Ursachen wurden hier verschiedene Differenzen in den thermischen Ausdehnungskoeffizienten  $\alpha_T$  zwischen Untergrund und Dünnfilm sowie Unterschiede in der Oberflächenmorphologie beziehungsweise Rauigkeit der Substrate identifiziert. Der erstere Aspekt lässt sich durch Nachschlagen der entsprechenden Werte überprüfen. Für die hier interessierenden Materialien lauten diese wie folgt:

Tabelle 7.2: Thermische Ausdehnungskoeffizienten

Material	$\alpha_T$ [ppm/K]	Quelle
SiO <sub>2</sub>	0,5	[63]
SiN	3,2	[63]
Ti	8,3	[63]
NiCr	13,4	[64]

Die thermischen Ausdehnungskoeffizienten beziehungsweise deren Differenzen untereinander sind äußerst gering. Die Werte von SiN und NiCr liegen noch etwas näher beieinander als die von SiO<sub>2</sub> und NiCr. Ein höherer mechanischer Stress durch unterschiedliche thermische Ausdehnungen zwischen Substrat und Dünnfilm kann daher die besagten Änderungen nicht erklären.

Zum Vergleich der Oberflächenmorphologien beziehungsweise Rauigkeiten der beiden Substrate wurden Oberflächenaufnahmen mittels Rasterkraftmikroskopie (AFM = Atomic Force Microscopy) angefertigt (Abbildung 7.13). Die Abbildungen a) und b) zeigen Aufnahmen von SiO<sub>2</sub>- respektive SiN-Oberflächen, die per CVD-Verfahren direkt auf Siliziumsubstrat abgeschieden wurden. Die Abbildungen c) und d) zeigen Aufnahmen von Viaoxid- respektive SiN-Passivierungsoberflächen von Wafern, die jeweils einen realen CMOS-Prozess durchlaufen haben. Bei der Viaoxid-Variante (c) wurde als letzter Prozessschritt das Aluminium über dem Viaoxid (in diesem Fall die oberste von drei Metallebenen) in Plasma geätzt. Variante d) hat einen kompletten CMOS-Ablauf (bis zur Strukturierung der Passivierungsfenster) durchlaufen. Ein Vergleich der Varianten a) und b) einerseits und c) und d) andererseits zeigt, dass die mittlere Rauigkeit <sup>1</sup> der Viaoxidoberfläche sowohl bei der unbehandelten Oberfläche (a) als auch bei der Oberfläche, die Plasmaätzen ausgesetzt war, jeweils etwa 0,3 nm bis 0,4 nm betrug. Das Überätzen in Plasma, das eine solche Viaoxidoberfläche stets angreift und mehrere Nanometer abträgt, verändert also die mittlere Rauigkeit nicht. Die laterale Körnung ist bei der realen CMOS-Variante allerdings etwas grober als bei der unbehandelten Variante a). Ähnliches gilt für den Vergleich der beiden SiN-Oberflächen. Die mittlere Rauigkeit lag jeweils bei etwa 1 nm und somit knapp um den Faktor 3 höher als bei den SiO<sub>2</sub>-Oberflächen. Auch bei den SiN-Substraten war die Körnung der realen CMOS-Variante etwas grober als bei dem SiN auf Silizium. Die mittlere Rauigkeit einer SiN-Passivierungsoberfläche, die auf Viaoxid abgeschieden wurde, dessen Oberfläche Plasmaätzen ausgesetzt war, ändert sich also nicht im Vergleich zu einer SiN-Schicht, die auf einem ebenen Siliziumsubstrat abgeschieden wurde. Dieses Ergebnis ist wichtig in Bezug auf die Integration "nach Passivierung" in einem realen CMOS-Prozess, da im Rahmen dieser Arbeit das SiN-Substrat stets auf Siliziumsubstrat abgeschieden wurde. Da nun die mittlere Rauigkeit einer realen SiN-Oberfläche die gleiche Größe besitzt, ist die Wahrscheinlichkeit, dass die elektrischen Ergebnisse dieser Arbeit auf entsprechende Widerstände auf einem realen CMOS-Chip übertragbar sind, groß. Im übrigen könnte der Unterschied in der Rauigkeit der Substratoberflächen eine mögliche Erklärung für das unterschiedliche Verhalten der Dünnfilme in Bezug auf Auswirkungen der Formiergastemperung sein.

Um nun zu untersuchen, ob durch die Temperung bei 350°C tatsächlich signifikante strukturelle Veränderungen im Dünnfilm auftreten, wurden jeweils eine ungetemperte und eine getemperte Ti/NiCr-Probe (2,5 nm Titan und 12 nm NiCr) mittels AFM und TEM analysiert. Abbildung 7.13 e) zeigt die AFM-Aufnahme einer auf Passivierung abgeschiedenen Ti/NiCr-Schicht. Die Oberfläche des Dünnfilms besitzt eine mittlere Rauigkeit, die mit etwa 1,4 nm etwas höher liegt als die der Nitridschicht. Zu beachten ist allerdings, dass die

---

<sup>1</sup>arithmetisches Mittel der Abweichung der tatsächlichen Oberfläche von der gedachten Mittellinie, die einer perfekt ebenen Oberfläche entspräche

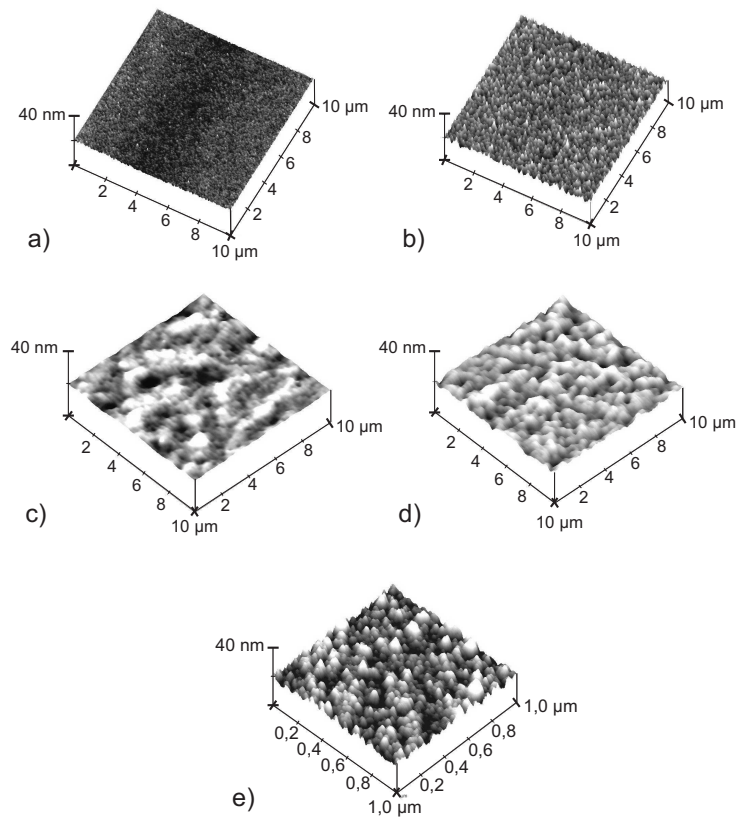


Abbildung 7.13: Vergleichende AFM-Aufnahmen von a) einer Vioxid-Oberfläche (CVD-abgeschiedenes  $\text{SiO}_2$ ) auf Siliziumsubstrat, b) einer Passivierungsoberfläche (CVD-abgeschiedenes  $\text{SiN}$ ) auf Siliziumsubstrat, c) einer Vioxid-Oberfläche (CVD-abgeschiedenes  $\text{SiO}_2$ ) auf CMOS-Wafer, auf dem Aluminium (Metall 3) als letzter Prozessschritt trocken geätzt wurde, d) einer Passivierungsoberfläche (CVD-abgeschiedenes  $\text{SiN}$ ) auf CMOS-Wafer (kompletter Prozessablauf), e) einer NiCr-Dünnschichtoberfläche (auf  $\text{SiN}$ )

laterale Körnung der NiCr-Oberfläche wesentlich feiner ist als die des Substrats (anderer lateraler Maßstab in e) als in a) bis d). Eine Veränderung dieser Oberflächenmorphologie in Folge der Temperung zeigte sich nicht, die Rauigkeit blieb die gleiche. Abbildung 7.14 zeigt Ergebnisse der durchgeführten vergleichenden TEM-Analyse. Wie die Abbildung zeigt, besteht die Oberfläche des Dünnschichtfilms - von den bekannten und erwarteten Schichten abgesehen - aus einer etwa 4 nm dicken amorphen Schicht. Diese rekristallisierte teilweise in Folge der Temperung. Die effektive Leitungsdicke der Dünnschichtkombination blieb jedoch die gleiche. Zu Kristallitwachstum während der Temperung kam es nicht. Generell zeigten sich innerhalb der Körner recht starke Störungen der kristallografischen Ordnung der Atome (Kristallfehler), so dass weiterführende Untersuchungen - auch unter Durchführung einer hochauflösenden HRTEM-Aufnahme - keine sichtbaren beziehungsweise identifizierbaren strukturellen Unterschiede erkennen ließen.

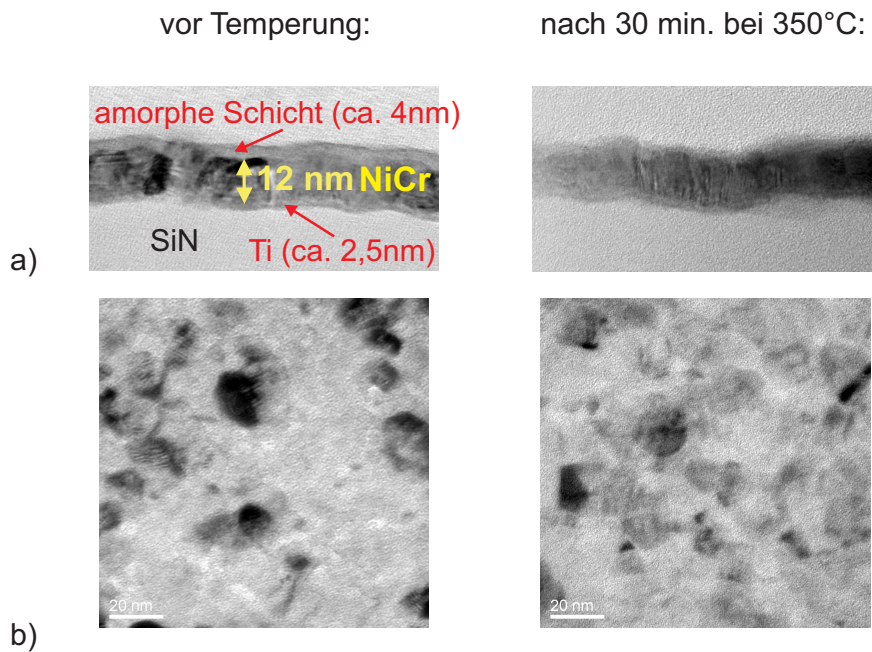


Abbildung 7.14: TEM-Aufnahmen zur vergleichenden strukturellen Analyse zweier Ti/NiCr-Dünnschichten (a) Querschnitt, b) Aufsicht

Um zu klären, ob es sich bei der dünnen amorphen Schicht an der NiCr-Oberfläche um eine Oxidschicht handelt - eine solche bildet sich typischerweise [65] - wurde die Filmoberfläche einer Analyse mittels Auger-Elektronenspektroskopie (AES) unterzogen. Wie Abbildung 7.15 zeigt, ist neben den erwarteten Elementen Nickel und Chrom ein größerer Anteil Sauerstoff detektiert worden. Dies lässt den Schluss zu, dass es sich bei der amorphen Schicht um eine Oxidschicht handelt ( $\text{Cr}_2\text{O}_3$ ).

Eine weitere potenzielle Ursache für die TCR-Absenkung während der Formiergastemperaturung könnte im Stickstoff des Nitridsubstrats liegen. Die Diffusion von Stickstoff in NiCr beziehungsweise eine innere Nitridierung von NiCr-Legierungen ist in der Literatur prinzipiell bekannt. Über entsprechende Untersuchungen der zugrunde liegenden thermodynamischen Prozesse wird zum Beispiel in [66] und [65] berichtet. In [66] wurde die innere Nitridierung von NiCr-Bulk-Proben (0,5..1,0 mm Dicke) bei Temperaturen zwischen 700°C und 900°C in einer Atmosphäre aus Ammoniak und Wasserstoff (96 Stunden) nachgewiesen. Diese erstreckte sich selbst nach der 700°C-Temperatur schon etwa 20  $\mu\text{m}$  in die Schicht hinein. Zwar sind Temperatur und Temperaturdauer bei den in dieser Arbeit behandelten Ti/NiCr-Dünnschichten deutlich niedriger, die Materialdicke ist jedoch auch fast fünf Zehnerpotenzen kleiner und umfasst nicht viel mehr als geschätzte 100 Atomlagen. Auch die Nitridierung von Legierungen mit Titan ist bekannt [65]. Ungeklärt ist allerdings, ob sich bei den hier verwendeten Temperaturen eine ausreichend große Anzahl von Stickstoffatomen aus dem SiN-Substrat lösen, um in den Dünnschicht zu diffundieren. Im Rahmen eines Versuchs wurden auf Ti/NiCr-Proben eine dünne (50 nm) Schicht phosphordotiertes  $\text{SiO}_2$  (PSG) beziehungsweise eine dünne Schicht (40 nm) SiN abgeschieden (bei 400°C

für wenige Minuten). Die jeweiligen Änderungen des TCR in Folge dieser Abscheidungen wurden bestimmt. Es zeigten sich sehr unterschiedliche Änderungen (Tabelle 7.3). Bei der Probe mit PSG stieg der TCR um 20 ppm/K, die Streuung über den Wafer blieb ungefähr gleich. Bei der Variante mit Nitrid sank der TCR deutlich um etwa 50 ppm/K in den negativen Wertebereich. Die TCR-Streuung stieg sehr stark an. Da wie bereits gesagt die thermischen Ausdehnungskoeffizienten der beteiligten Materialien - beziehungsweise deren Differenzen untereinander - sehr klein sind, sind diese Änderungen vermutlich nicht auf größeren mechanischen Stress zwischen dem Nitrid und dem Dünnschicht zurückzuführen, zumal durch die TEM-Analyse keine signifikanten Unterschiede sichtbar geworden sind.

Tabelle 7.3: Änderungen des TCR in Folge der Abscheidung einer dünnen SiO<sub>2</sub>-Schicht bzw. einer dünnen SiN-Schicht

	vor Abscheidung	⇒	nach Abscheidung
SiO <sub>2</sub>	$\alpha = 20 \pm 6 \frac{\text{ppm}}{\text{K}}$	⇒	$\alpha = 40 \pm 9 \frac{\text{ppm}}{\text{K}}$
SiN	$\alpha = 22 \pm 4 \frac{\text{ppm}}{\text{K}}$	⇒	$\alpha = -29 \pm 67 \frac{\text{ppm}}{\text{K}}$

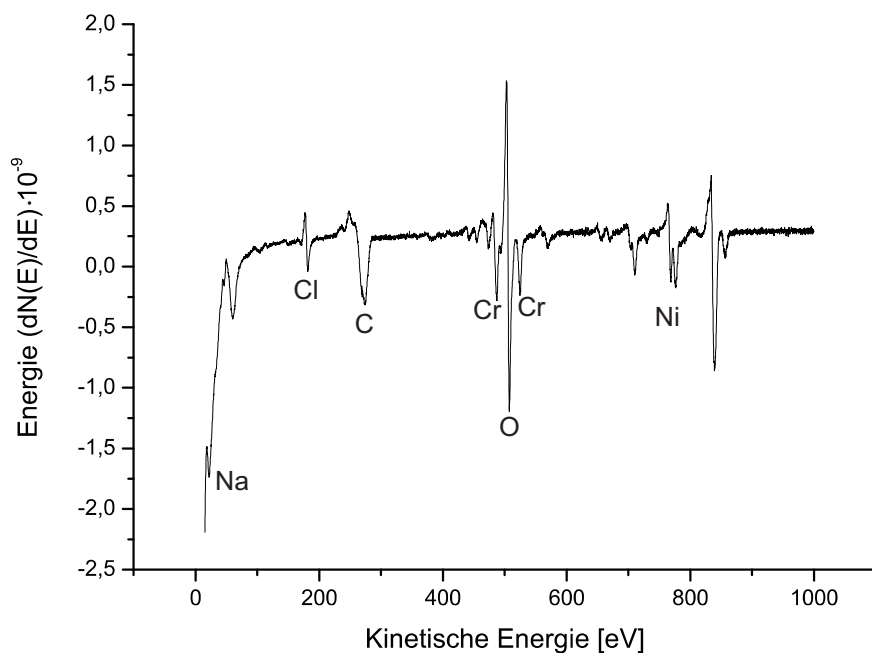


Abbildung 7.15: Auger-Spektrum einer Probe mit 2,5 nm Ti + 12 nm NiCr

## 7.4 Zusammenfassung und Diskussion der Ergebnisse

Gegenstand dieses Kapitels waren Untersuchungen zur Entwicklung und CMOS-Integration von Dünnschichtwiderständen auf der Basis von Ni(80%)Cr(20%). Erst durch das Einfügen einer zusätzlichen dünnen Schicht aus Titan wurde ein TCR in der Größenordnung der geforderten Zielvorgaben erreicht. Titan nimmt die Funktion einer Saatschicht ein, die im NiCr das Wachstum von Kristalliten bestimmter kristallographischer Orientierung begünstigt, also zu einer gewissen Textur führt [44]. Als optimale Titanschichtdicke wurde 2,5 nm identifiziert, für NiCr 12 nm. Eine Formiergastemperung bei 350°C bewirkte eine signifikante Steigerung der thermischen Langzeitstabilität. Bei Verwendung einer CMOS-Standardpassivierung als isolierendem Substrat (mit SiN als oberer Schutzschicht) führte eine solche Temperung darüber hinaus zu einem Absinken des TCR von vorher über 100 ppm/K auf unter 10 ppm/K. Dieser Effekt erwies sich als abhängig von der Titanschichtdicke und der Dauer der Temperung. Für letztere wurden schließlich 30 Minuten gewählt. Bei auf Viaoxid (SiO<sub>2</sub>) abgeschiedenen Ti/NiCr-Dünnschichten blieb der TCR in Folge einer gleichen Temperung nahezu unverändert. In weiteren exemplarischen Messungen konnte gezeigt werden, dass die Ti/NiCr-Widerstände über einen Bereich zwischen etwa -100°C und 200°C eine lineare Temperaturcharakteristik des Widerstandes besitzen und auch bei hohen Stromdichten keine signifikante Empfindlichkeit gegenüber Elektromigration zeigen.

Die Ursachen für das Absinken des TCR nur auf Nitrid konnte nicht restlos geklärt werden. Vergleichende AFM- und TEM-Analysen zeigten keine signifikanten strukturellen Änderungen im Dünnschicht während der Temperung. Mittlere Korngröße und Oberflächenbeschaffenheit blieben etwa gleich. Als praktisch denkbare Ursache wird eine partielle Nitridierung im Film durch eindiffundierende Stickstoffatome aus dem Substrat vermutet. Nachweisen ließ sich dies allerdings nicht.

Zur Integration in einen CMOS-Prozess wurden die beiden Varianten "vor Passivierung" und "nach Passivierung" untersucht. Nach den bisherigen Ergebnissen kann nur mit letzterer Variante ein TCR nahe 0 ppm/K erzielt werden. Bei einer Integration "vor Passivierung" wird ein TCR in der Größenordnung von 130 ppm/K, was sehr nahe an der gestellten Spezifikation liegt, erreicht. Die an die Prozessierung der Dünnschichten anschließende Passivierungsabscheidung, die zum nachhaltigen Schutz der Widerstände auch bei der Variante "nach Passivierung" unbedingt notwendig ist, zeigte keine negativen Auswirkungen auf die elektrischen Eigenschaften. Eine den Prozess abschließende Formiergastemperung bei 440°C hatte ebenfalls keine Verschlechterung der Werte zur Folge. Die thermische Langzeitdrift nach 1000 Stunden Ofenlagerung lag bei 200°C Lagerungstemperatur bei etwa 0,25%, wobei die Widerstände in diesem Fall keine schützende Passivierung besaßen. Es ist zu erwarten, dass eine solche Passivierung und eine nachfolgende abschließende Formiergastemperung bei 440°C (ist üblich) die thermische Stabilität weiter erhöhen. Bezüglich der weniger strengen Vorgabe bei 125°C Lagerungstemperatur wurde die Spezifikation (maximale Drift von 0,1%) auch ohne Passivierung vollumfänglich erfüllt.

Bei den genannten Integrationsvarianten wurde die vor den Widerständen prozessierte

Aluminiumschicht nass strukturiert. In CMOS ist jedoch schon seit langem Plasmaätzen üblich. Widerstände, die nach trocken strukturiertem Aluminium "vor Passivierung" integriert wurden, besaßen ein TCR von etwa 180 ppm/K. Die Streuung des TCR war mit Werten von 79 ppm/K bis 245 ppm/K wesentlich größer als bei den nass geätzten Proben (123 ppm/K bis 131 ppm/K). Da Plasmaätzen generell eine sehr viel schlechtere Selektivität besitzt als Nassätzen, ist davon auszugehen, dass beim Plasmaätzen des Aluminiums das darunter liegende SiO<sub>2</sub>-Substrat angeätzt wurde und dass dies anlagenbedingt nicht qualitativ homogen über den Wafer verteilt stattfindet. Kleinste Unterschiede in der resultierenden Oberflächenbeschaffenheit können zu entsprechenden Unterschieden im TCR führen. Da vergleichende AFM-Aufnahmen gezeigt haben, dass die mittlere Rauigkeit von SiN-Oberflächen unabhängig von der Frage, ob das darunter liegende Substrat einem Plasmaätzen zur Metallstrukturierung ausgesetzt wurde oder nicht, gleich war, besteht jedoch eine große Wahrscheinlichkeit, dass bei einer realen CMOS-Integration der Variante "nach Passivierung" die Streuung des TCR über den Wafer ähnlich klein sein wird wie bei den in dieser Arbeit gemessenen Varianten.

Vor einer möglichen CMOS-Integration der Variante "vor Passivierung" müsste das Problem der großen TCR-Streuung allerdings behoben werden. Lösungsansätze lägen hier vornehmlich in den einstellbaren Parametern des Plasmaätzvorgangs:

- Optimierung des Ätzstops
- Flussmenge des Ätzgases
- eingestellte Chucktemperatur
- eingestellte Elektrodenspannung bzw. Leistung

In der Praxis wird eine solche Optimierung wenig Spielraum besitzen, da der Aluminium-Ätzprozess noch diverse weitere Randbedingungen erfüllen muss.

Als zweites muss das Nassätzen der NiCr-Schicht automatisiert und homogenisiert werden. Bezüglich des Grades der Unterätzung und der Qualität der Widerstandskanten ergaben sich Unterschiede von Los zu Los. Die Unterätzung - und damit die Ätzrate der verwendeten Lösung - ist abhängig vom Alter der Lösung, deren Haltbarkeit insgesamt begrenzt ist. Probleme mit der Qualität der Widerstandskanten erwiesen sich durch Vergleich der Prozessierungszeiten verschiedener Lose als eine Funktion der Standzeit der Wafer zwischen Abscheidung der Dünnfilme und Lithografie. Diese Standzeit sollte möglichst kurz sein (maximal wenige Tage).

Als Fazit lässt sich sagen, dass sich mittels der Dünnfilmkombination Ti/NiCr thermisch und elektrisch langzeitstabile Widerstände mit niedrigem und über einen großen Temperaturbereich konstantem TCR herstellen lassen. Die Integrationsvariante "vor Passivierung" erfordert lediglich einen zusätzlichen Lithografieschritt und liefert Widerstände mit einem

---

TCR, der mit einer Größenordnung von 100..200 ppm/K bereits deutlich niedriger liegt als Standard-CMOS-Widerstände aus implantierten Bereichen oder Polysilizium. Höhere Ansprüche mit einem TCR von ungefähr 0 ppm/K erfüllt die Variante "nach Passivierung", die mit drei zusätzlichen Lithografieschritten (Widerstände, zusätzliche Metallebene, zusätzliche Passivierung) allerdings einen Mehraufwand bedeutet. Eventuell ist zu prüfen, inwieweit es möglich ist, in einen entsprechenden CMOS-Prozess eine zusätzliche SiN-Schicht auf das obersten (reguläre) Viaoxid abzuscheiden und auf diese Weise die TCR-Trimmung gegen Null auch bei der Variante "vor Passivierung" zu erzielen.

# Kapitel 8

## Untersuchungen zu Matching und Tracking

Nachdem in den Kapiteln 6 und 7 gezeigt wurde, dass sich Ti/TiN und Ti/NiCr-Dünnschichten prinzipiell zur Realisierung hochwertiger Widerstände in CMOS eignen, sollte in zusätzlichen Versuchsreihen untersucht werden, inwieweit diese Schichtenkombinationen den hohen gestellten Anforderungen auch in Hinblick auf Matching und Tracking genügen. Um einen Ansatzpunkt für (gemäß den Zielvorgaben) erforderliche beziehungsweise hinreichende Breiten von gematchten Widerständen und einen Zusammenhang zwischen dem Abstand zweier Widerstände und dem resultierenden Mismatch zu erhalten, wurden diese beiden Aspekte an Hand entsprechender Messungen untersucht. Auf Grundlage der daraus resultierenden Ergebnisse wurden die eigentlichen Messungen zu Matching/Tracking durchgeführt. Die Messeinrichtung und -methoden entsprechen denen, die bereits in den Kapiteln 6 und 7 verwendet wurden. Abbildung 8.1 zeigt das Foto einer verwendeten geraden Matchingstruktur.

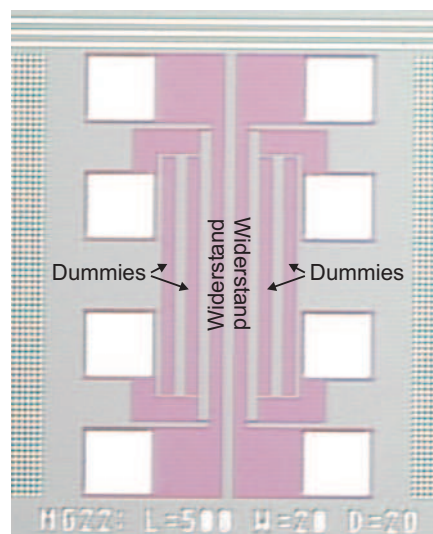


Abbildung 8.1: Fotografie einer geraden Matchingsstruktur (Ti/TiN)

## 8.1 Einfluss der Widerstandsweite auf das Mismatch

Zum Einstieg in die Thematik stellte sich die Frage, inwieweit sich die Breite der Widerstände auf das Mismatch bei einfachen geraden Strukturen nach Abbildung 4.4 auswirkt. Gleichung 4.8 bietet einen entsprechenden theoretischen Ansatz, hat jedoch den Nachteil, dass ein zufälliges Mismatch der Kontaktwiderstände unberücksichtigt bleibt. Im Zusammenhang mit dem nachfolgend beschriebenen Versuch erwies sich die Anwendung dieser Gleichung als ungeeignet.

Anhand von jeweils 264 Matchingpaaren auf drei verschiedenen Wafern mit Ti/TiN-Dünnschichten wurde das 3-sigma-Mismatch für Widerstandsweiten von 2  $\mu\text{m}$ , 5  $\mu\text{m}$ , 10  $\mu\text{m}$  und 20  $\mu\text{m}$  bestimmt. In Abbildung 8.1 ist beispielhaft die Fotografie einer der verwendeten Strukturen dargestellt. Abbildung 8.2 zeigt das Ergebnis. Durch einen exponentiellen Fit ergibt sich ein Verlauf des Mismatch über die Breite von

$$\delta_{(3\text{-sigma})}(b) = 0,4 \cdot e^{\frac{-b[\mu\text{m}]}{1,6\mu\text{m}}} + 0,1 \quad [\%] \quad (8.1)$$

Eine zusätzliche Messung an einer Struktur mit 50  $\mu\text{m}$  breiten Widerständen ergab jedoch einen Wert, der nicht durch diese Gleichung vorhergesagt wird. Vielmehr gab es in diesem Fall einen leichten Anstieg des Mismatch gegenüber dem 20  $\mu\text{m}$ -Wert. Dies ist nur auf einen beginnenden Einfluss der Kontaktwiderstände zurückzuführen. Gleichung 8.1 gilt daher nicht im Sinne einer Extrapolation der Ausgleichskurve für beliebig große Widerstandsweiten. Abbildung 8.2 bietet aber Hilfe bei der Wahl einer geeigneten Widerstandsweite für eine gerade Matchingstruktur. Die weiteren Untersuchungen wurden hauptsächlich an Strukturen mit einer Breite von 10  $\mu\text{m}$  durchgeführt.

Als Spezialfall einer Matchingstruktur mit einem Verhältnis zweier Widerstände von eins wurde das Mismatch zweier Mäanderstrukturen bestimmt. Eine entspricht der in Abbildung 4.5 a) gezeigten (mit 90°-Ecken), die andere b) (mit 2 x 45°-Ecken). Die Struktur mit den 2 x 45°-Ecken zeigt hier das kleinere Mismatch im Vergleich zu der Struktur mit den einfachen 90°-Ecken. Erklärt wird dies mit der Tatsache, dass die 90°-Ecken nicht perfekt hergestellt werden können und stattdessen leicht abgerundet sind. Bei 2 x 45°-Ecken kommt man etwas näher an die ideale Struktur heran (siehe Kapitel 4.3). Desweiteren bestätigt der Vergleich des Mismatch der Mäanderstruktur mit dem der geraden Struktur die in Kapitel 4.3 aufgestellte und begründete These, dass mit mäanderförmigen Matchingstrukturen eine weitere Minimierung des Mismatch zu erzielen ist.

## 8.2 Einfluss des Abstandes auf das Mismatch

Gemäß den in Kapitel 4.3 angegebenen Regeln zum Erzielen von "gutem" Matching besteht eine der wichtigsten Designregeln darin, die zu matchenden Widerstände so nah wie möglich zueinander zu platzieren. Mindestabstände von Dünnschichtstrukturen hängen

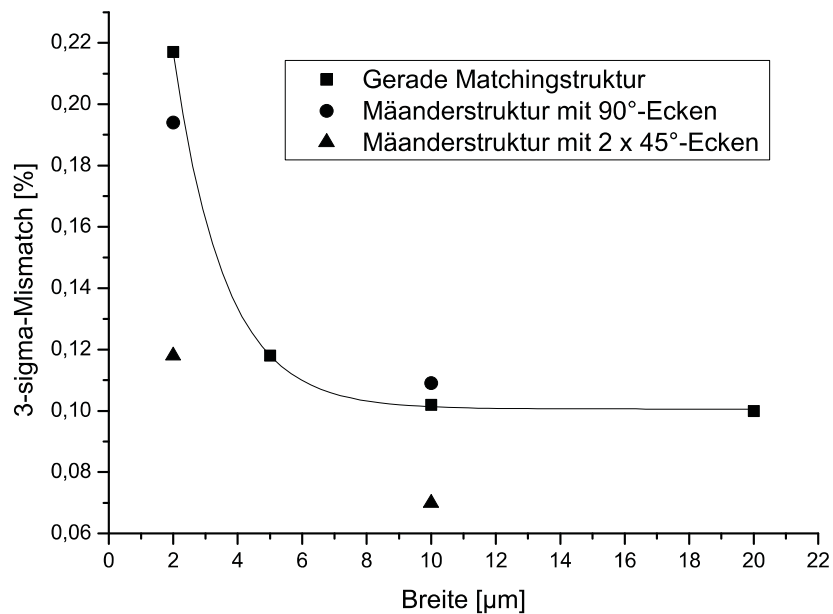


Abbildung 8.2: 3-sigma-Mismatch als Funktion der Breite der Widerstände (zwischen 2  $\mu\text{m}$  und 20  $\mu\text{m}$ ) für gerade und mäanderförmige Matchingstrukturen

in erster Linie von der minimal realisierbaren Auflösungen der Lithografie und des Ätzprozesses ab. Sie liegt im vorliegenden Fall der Ti/TiN-Schichten bei mindestens 1  $\mu\text{m}$ . Falls eine größere Anzahl von Widerständen zueinander gematcht werden müssen, gibt es zwangsläufig zwischen einigen von ihnen größere Abstände. Ein typisches Beispiel ist ein R-2R-Digital-Analog-Wandler, wie er in Abbildung 2.3 dargestellt ist. In diesem Schaltungskonzept ist die präzise Realisierung des Verhältnisses 2/1 aller Widerstände zueinander entscheidend für die Auflösung des Wandlers. Durch eine geeignet optimierte Array-Struktur kann das Mismatch begrenzt werden. Dennoch ist nicht die gleiche Genauigkeit wie bei einer einfachen 1/1-Struktur gemäß Abbildung 4.4 erzielbar.

Aus solchen und ähnlichen Gründen kann es wichtig sein, den qualitativen und quantitativen Zusammenhang zwischen dem Abstand gematchter Widerstände und dem sich ergebenden Mismatch zu kennen. Für Ti/TiN-Dünnschichten wurde dieser Zusammenhang wiederum anhand von etwa 264 identischen Strukturen auf drei verschiedenen Wafern untersucht. Zum Messen kleiner Abstände im Bereich von bis zu 100  $\mu\text{m}$  standen entsprechend unterschiedliche gerade Matchingstrukturen gemäß der in Abbildung 4.4 dargestellten zur Verfügung. Für große Abstände von mehreren 1000  $\mu\text{m}$  wurde eine entsprechend große Array-Struktur verwendet. Das Ergebnis der Messreihen zeigt Abbildung 8.3. Es bestätigt die Theorie insofern, als dass das Mismatch mit zunehmender Entfernung wächst. Ausgehend von einem 3-sigma-Mismatch von knapp 0,1% bei einem Abstand von 3  $\mu\text{m}$  gibt es einen in etwa linearen Anstieg. Erst bei einer im Vergleich typischer Chipgrößen sehr großen Entfernung von 2000  $\mu\text{m}$  ist das gemäß den gestellten Anforderungen maximal zulässige Mismatch von 0,5% erreicht. In Abbildung 8.4 ist ergänzend das Mismatch im Bereich von kleinen Entfernungen zwischen 3  $\mu\text{m}$  und 100  $\mu\text{m}$  dargestellt.

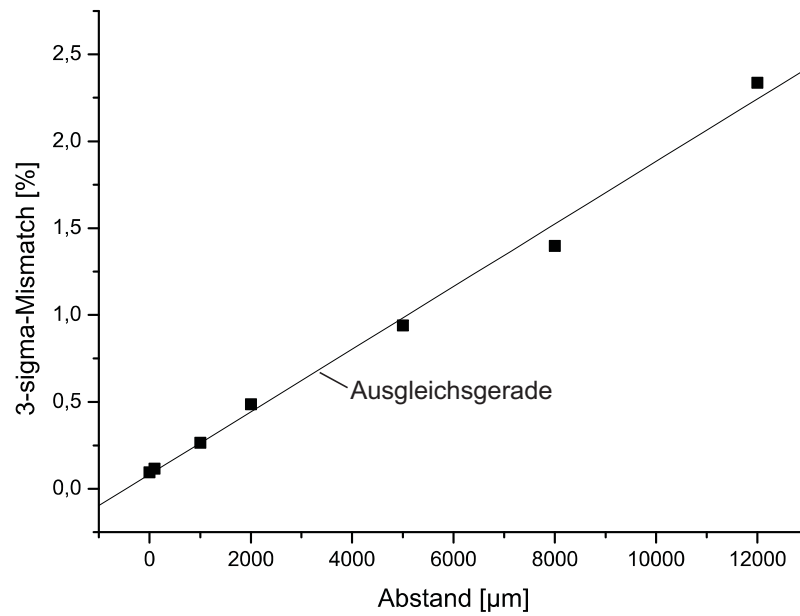
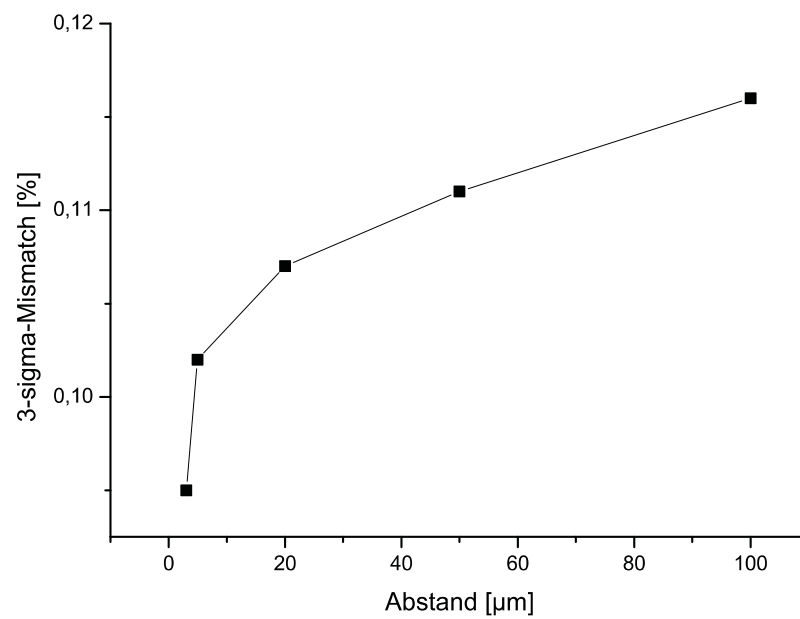


Abbildung 8.3: 3-sigma-Mismatch als Funktion des Abstandes der Widerstände

Abbildung 8.4: 3-sigma-Mismatch als Funktion des Abstandes der Widerstände im Nahbereich (zwischen  $3 \mu\text{m}$  und  $100 \mu\text{m}$ )

### 8.3 Mismatch und Tracking untersuchter Dünnfilmwiderstände

Auf Grundlage der Ergebnisse aus den beiden vorangegangenen Unterkapiteln wurden Mismatch und Tracking von Ti/TiN- und Ti/NiCr-Dünnfilmwiderständen an einer größeren Anzahl von Proben anhand von geraden Matchingstrukturen mit Widerständen der Breite  $10\ \mu\text{m}$ , der Länge  $500\ \mu\text{m}$  (also 50 Squares) und dem Abstand  $20\ \mu\text{m}$  bestimmt. Diese und weitere Ergebnisse sind in Tabelle 8.1 zusammengefasst.

Tabelle 8.1: 3-sigma-Mismatch und TCR-Tracking der untersuchten Dünnfilme

Dünnfilm	Matchingstruktur (Verhältnis)	$\delta_{(3\text{-sigma})}$ [%]	$\Delta\delta_{TCR(3\text{-sigma})}$ [ppm/K]
5nm Ti+15nm TiN	gerade (1/1)	0,10	4
2,5nm Ti+12nm NiCr	gerade (1/1)	0,21	3
5nm Ti+15nm TiN	Mäander (90°-Ecken) (1/1)	0,11	-
5nm Ti+15nm TiN	Mäander (2x45°-Ecken) (1/1)	0,07	-
5nm Ti+15nm TiN	Array (10xA/BB/10xA) (10/1)	0,13	-
5nm Ti+15nm TiN	Array (AABBAA) (2/1)	0,10	-
5nm Ti+15nm TiN	Array (ABBA) (1/1)	0,08	-

Basis der ermittelten Werte von Mismatch und TCR-Tracking von Ti/TiN-Dünnfilmen (5 nm Titan und 15 nm TiN) waren Messungen von jeweils gut 85 Strukturen auf 12 Wafern aus zwei Losen. Die geforderten Spezifikationen werden mit einem 3-sigma-Mismatch von 0,1% und einem TCR-Tracking von 4 ppm/K vollumfänglich eingehalten. Basis der Werte bezüglich der Ti/NiCr-Dünnfilmwiderstände (2,5 nm Ti + 12 nm NiCr) sind Messungen von 5 Wafern aus 2 Losen (wiederum etwa 85 Strukturen pro Wafer). Das Mismatch von 0,21% ist etwa doppelt so hoch wie bei den Ti/TiN-Widerständen, liegt aber immer noch deutlich im Bereich der Zielvorgaben. Das bestimmte TCR-Tracking ist mit 3 ppm/K ebenfalls hinreichend klein.

Eine mögliche Erklärung für die Differenz im Mismatch zwischen Ti/TiN- und Ti/NiCr-Widerständen liegt in den unterschiedlichen Schichtdicken der beiden Systeme und der sich ergebenden unterschiedlichen Streuung der Absolutwerte des Widerstandes über einen Wafer (Kapitel 6 beziehungsweise 7). Eine weitere Ursache für die Differenz im Mis-

match in Form unterschiedlicher Kantenrauigkeiten (Kapitel 4.2.1) zwischen Ti/TiN und Ti/NiCr konnte nicht festgestellt werden, wie ein Vergleich der Abbildungen 6.14 und 7.11 verdeutlicht.

In Tabelle 8.1 sind darüber hinaus auch Ergebnisse exemplarischer Matchingmessungen an Mäandern (siehe auch Abbildung 8.2) und Arrays zur Realisierung von Widerstandsverhältnissen von zehn, zwei und eins aufgeführt (Ti/TiN). Auch mit diesen Matchingstrukturen wird ein Mismatch in der Größenordnung von etwa 0,1%, und damit deutlich unter den maximal erlaubten 0,5% erzielt.

Drei Wafer mit unpassivierten Ti/NiCr-Dünnschichtwiderständen wurden für 500 Stunden bei 200°C in einem Ofen (an Luft) gelagert. Nach der Lagerung ergab sich ein 3-sigma Widerstandstracking von 0,01%.

## 8.4 Zusammenfassung und Diskussion der Ergebnisse

Gegenstand dieses Kapitels waren Untersuchungen an Dünnschichtwiderständen aus Ti/TiN und Ti/NiCr in Hinblick auf ihre Matching- und Tracking-Eigenschaften. Zum Einstieg wurde das Mismatch von Ti/TiN-Dünnschichten für verschiedene Widerstandsweiten und Abstände bestimmt. Nach Maßgabe der Anforderungen aus Tabelle 2.1 war bereits für eine Breite von 2  $\mu\text{m}$  die Spezifikation (besser 0,5% 3-sigma-Mismatch) erfüllt. Auf Grund des näherungsweise exponentiellen Abfalls des Mismatch mit zunehmender Strukturweite ist es - sofern genügend Chipfläche vorhanden ist - zwecks Optimierung jedoch sinnvoll, 10  $\mu\text{m}$  als Widerstandsweite zu wählen. Die Ergebnisse haben aber auch gezeigt, dass der Absolutwert der gematchten Widerstände nicht zu klein sein darf. Daher ist eine weitere Steigerung der Widerstandsweite nur einhergehend mit einer Vergrößerung der Länge sinnvoll.

Eine Untersuchung des Zusammenhangs zwischen dem Abstand gematchter Widerstände und dem sich ergebenden Mismatch hat die bekannte Gesetzmäßigkeit bestätigt, dass ein möglichst geringer Abstand gewählt werden sollte. Im untersuchten Bereich von bis zu 12000  $\mu\text{m}$  Abstand ergab sich ein linearer Anstieg des Mismatch mit zunehmender Entfernung. Bis zu einem - beachtlich großen - Abstand von etwa 2000  $\mu\text{m}$  lag das Mismatch im geforderten Bereich. Da selbst sehr große Matchingstrukturen diese Größenordnung üblicherweise nicht einmal annähernd erreichen, sollten selbst bei großen zu realisierenden Widerstandsverhältnissen die Zielvorgaben einzuhalten sein.

Für die weiteren Untersuchungen wurden jeweils etwa 85 Strukturen auf mehreren Wafern aus je zwei verschiedenen Losen gemessen. Für beide Dünnschichtkombinationen ergaben sich bezüglich des maximalen Mismatch und des TCR-Tracking Werte, die die in Tabelle 2.1 gestellten Zielvorgaben mehr als erfüllen. Dabei erwies sich das 3-sigma-Mismatch von Ti/TiN-Dünnschichten mit 0,1% als etwas niedriger als das von Ti/NiCr-Filmen (0,21%). Mäanderstrukturen zum Matchen sehr langer Widerstandsstrukturen sollten zwecks Mi-

nimierung des Mismatch mit 2 x 45°-Ecken gemäß Abbildung 4.5 b) realisiert werden. Die Messergebnisse an Ti/TiN-Dünnfilmen zeigten ein geringeres Mismatch als im Falle einer vergleichbaren Mäanderstruktur mit einfachen 90°-Ecken. Auf Grund der Regel, dass große Widerstände einfacher zu matchen sind als kleine, stellt der Einsatz solcher Mäander ein Mittel zur Optimierung dar. Dabei muss jedoch der gegenüber herkömmlichen geraden Matchingstrukturen höhere Flächenbedarf bedacht werden. Schließlich konnte für Ti/TiN-Dünnfilme gezeigt werden, dass mit Hilfe geeigneter Array-Strukturen auch Widerstandsverhältnisse ungleich eins erfolgreich im Sinne der Zielvorgaben realisierbar waren.

Ti/NiCr-Dünnfilme zeigten nach einer 500-stündigen Lagerung bei 200°C an Luft eine Drift des Matchingverhältnisses (Widerstandstracking) von 0,01%. Dieser Wert sollte gemäß Tabelle maximal erst nach 1000 Stunden erreicht werden. Die Zielvorgabe bezieht sich allerdings - wie in solchen Fällen üblich - auf eine Lagerung in Schutzgasatmosphäre.

Abschließend lässt sich sagen, dass beide Dünnfilmkombinationen zur Realisierung hochpräziser Schaltungen, deren Funktionalität auf Widerstandsverhältnissen beruhen, eignen. Da die Ausnutzung von Matching im Bereich der Analog- und Mixed-Signal-Schaltungstechnik sehr weit verbreitet ist, stellt dies ein entscheidendes Qualitätskriterium dar.

# Kapitel 9

## Zusammenfassung und Ausblick

### 9.1 Zusammenfassung

Thema dieser Arbeit war die Entwicklung CMOS-integrierter Widerstände aus den Dünnsystemen Ti/TiN beziehungsweise Ti/NiCr für Anwendungen bei Betriebstemperaturen im Bereich von etwa  $-50^{\circ}\text{C}$  bis  $200^{\circ}\text{C}$ , wie sie insbesondere in der Automobilelektronik zunehmend benötigt werden. Für hochpräzise automotiv Anwendungen müssen solche Widerstände einen möglichst geringen Temperaturkoeffizienten des Widerstandes (TCR) ( $\leq 100$  ppm/K) und eine Drift des Widerstandes von nicht mehr als 0,1% nach 1000 Stunden bei  $125^{\circ}\text{C}$  beziehungsweise  $200^{\circ}\text{C}$  aufweisen. Andererseits sollten solche Widerstände aus wirtschaftlichen Gründen möglichst einfach und kostengünstig in einen üblichen CMOS-Prozess integrierbar sein. Standard-CMOS-Widerstände wie implantierte Bereiche oder Polysiliziumschichten sind, da sie keinen technologischen und apparativen Zusatzaufwand darstellen, zwar sehr wirtschaftlich, genügen aber den Ansprüchen an die Präzision bei weitem nicht. Eine geeignete Alternative stellen dünne Metallfilme dar, die traditionell zur Herstellung hochwertiger diskreter Chipwiderstände oder in Hybridschaltungen zum Einsatz kommen. Die Verwendung solcher Dünnschichtwiderstände in integrierten Schaltungen wird in der Literatur zwar vereinzelt erwähnt, jedoch stellen sie teure Zusatzprozesse dar. Die Gründe dafür liegen zum einen in der zusätzlichen apparativen Ausstattung, zum anderen an der Schwierigkeit, dass zur Stabilisierung und Optimierung der elektrischen Eigenschaften der Dünnschichten ein spezifisches Temperaturbudget (bestimmt durch Temperatur und Dauer einer Temperung) erforderlich ist, das mit den üblicherweise am Ende von CMOS-Prozessen auftretenden Prozesstemperaturen in Einklang gebracht werden muss.

Als ein besonders wirtschaftliches Dünnschichtmaterial wurde Ti/TiN identifiziert, da es in üblichen CMOS-Prozessen ein Standardmaterial darstellt, das unter anderem als Haftschicht und Diffusionsbarriere verwendet wird. Seine generellen elektrischen Widerstandseigenschaften sind zwar aus der Literatur bekannt, als CMOS-Widerstand wird es bisher jedoch nicht verwendet. Anhand zahlreicher Untersuchungen wurde hier gezeigt, dass sich Ti/TiN zur Herstellung stabiler Widerstände grundsätzlich eignet und mit nur einem zusätzlichen Lithografieschritt in einen CMOS-Prozess integrieren lässt. Der Schichtwiderstand lag in der Größenordnung  $100 \frac{\Omega}{\square}$ . Die Zielvorgabe hinsichtlich des TCR wurde

mit einem Wert von knapp 250 ppm/K zwar verfehlt, dieser lag aber immer noch deutlich niedriger als bei Standard-CMOS-Widerständen. Es wurde auch eine konkrete - im Rahmen dieser Arbeit nicht durchführbare - Maßnahme benannt, wie die Spezifikation dennoch zu erreichen sein könnte. Diese besteht in der Realisierung eines deutlich niedrigeren Stickstoff/Argon-Verhältnisses beim TiN-Sputtern. Bezüglich der thermischen Langzeitstabilität wurden die gestellten Vorgaben bei Verwendung einer passivierenden Schutzschicht knapp verfehlt, wobei die Stabilität sich als deutlich abhängig von der Schichtdicke erwies. Ohne schützende Passivierung lag die Langzeitdrift bei 200°C wesentlich höher. Eine Verbesserungsoption, die im Zusammenhang mit der TCR-Optimierung steht, wurde aufgezeigt. Unter Zuhilfenahme struktureller Untersuchungen wurde ein Modell identifiziert, mit dessen Hilfe die Abhängigkeit des spezifischen Widerstandes von der Schichtdicke physikalisch erklärt werden kann. Dieser wächst im Bereich unter etwa 100 nm mit abnehmender Schichtdicke an, der TCR sinkt parallel. Erklärt wird dies damit, dass im genannten Dickenbereich zunehmend Mechanismen zur Streuung der Leitungselektronen vorherrschen, die temperaturunabhängig sind. Es handelt sich dabei um Streuungen an der Dünnoberfläche und an Korngrenzen.

Mittels gesputterter Ti/NiCr-Dünnschichten konnte ein Dünnschichtwiderstand entwickelt werden, der die gestellten Spezifikationen erfüllt und keinen apparativen Mehraufwand bedeutet. Lediglich eine Ätzlösung zum Strukturieren des CMOS-unüblichen Materials NiCr musste speziell angeschafft werden. Ni(80%)Cr(20%) ist für seine hohe thermische Stabilität bekannt, jedoch ist mit diesem Legierungsverhältnis kein TCR von Null realisierbar. Im Rahmen dieser Arbeit konnte gezeigt werden, dass durch das Einfügen einer zusätzlichen dünnen Titanschicht ein TCR von nur wenig über 100 ppm/K erzielbar ist. Falls der Dünnschicht auf einer SiN-Schicht abgeschieden wird, kann dieser TCR mittels einer 30-minütigen Formiergasstemperung bei 350°C zu einem Wert von knapp unter 10 ppm/K getrimmt werden. Dies entspricht der Integration des Widerstandes über der üblichen Passivierung. Diese Temperung führt auch zu einer deutlichen Stabilisierung. Die Abscheidung einer Passivierung führte zu keiner Verschlechterung der elektrischen Eigenschaften hinsichtlich Schichtwiderstand und TCR. Der erzielte Schichtwiderstand lag bei etwa 140  $\Omega/\square$ . Die Langzeitdrift des Schichtwiderstandes nach 1000 Stunden Ofenlagerung bei 200°C war mit etwa 0,25% geringfügig größer als für spezielle automotiv gefordert. Für die zweite, weniger strenge Anforderung bezüglich Lagerungen bei 125°C lag die Drift hingegen deutlich unter 0,1%. Dabei ist zu berücksichtigen, dass diese Untersuchungen jeweils an unpassivierten Varianten erfolgten. Es ist zu erwarten, dass sich die Langzeitstabilität durch Passivierung und eine zusätzliche, übliche Abschlusstemperung bei 440°C noch erhöht. Letztere führte, wie gezeigt werden konnte, im übrigen zu keiner Verschlechterung des TCR.

Schließlich wurden für beide Dünnschichtsysteme umfangreiche Untersuchungen zu Widerstandsmatching und -tracking durchgeführt. Es konnte gezeigt werden, dass sich beide Widerstandstypen zur Realisierung sehr genauer Widerstandsverhältnisse eignen. In beiden Fällen wurde über mehrere Wafer und Waferlose ein sogenanntes 3-sigma-Mismatch von deutlich unter 0,5% ermittelt, so dass die Widerstände auch in dieser Hinsicht die hohen Anforderungen, die unter anderem die Automobilelektronik stellt, erfüllt werden. Das

sogenannte TCR-Tracking, also der Unterschied gematchter Widerstände bezüglich ihres TCR, lag mit unter 5 ppm/K nahe an der messtechnischen Auflösungsgrenze. Speziell anhand von Ti/TiN-Dünnfilmen wurden erweiterte Untersuchungen zur Abhängigkeit des Mismatch von der Widerstandsbreite und vom Abstand von gematchten Widerständen untereinander durchgeführt. Ebenso gab es exemplarische Messungen an mäanderförmigen Matchingsstrukturen und speziellen Array-Strukturen.

## 9.2 Ausblick

Im Rahmen dieser Arbeit konnte gezeigt werden, dass Ti/TiN- und im besonderen Ti/NiCr-Dünnfilmwiderstände die gestellten hohen Anforderungen (geeigneter Schichtwiderstand, niedriger TCR, Stabilität) in Hinblick auf mögliche Anwendungen in hochpräzisen integrierten Schaltungen beispielsweise im Bereich Automobilelektronik erfüllen. Dazu wurden geeignete Varianten der CMOS-Integration realisiert beziehungsweise aufgezeigt. Bei beiden Widerstandstypen, vor allem aber bei Ti/TiN sind vor einer konkreten Integration in einen bestehenden CMOS-Prozess einige abschließende Entwicklungsschritte vom verantwortlichen "Prozess-Engineering" durchzuführen. Diese wurden in der Arbeit benannt und es wurden Lösungsansätze aufgezeigt.

Für den Fall, dass sich letztlich trotzdem nicht die verbliebenden Abweichungen von den geforderten Spezifikationen (TCR unter 100 ppm/K, Langzeitdrift maximale 0,1 % nach 1000h) beheben lassen, ist mit Ti/TiN dennoch ein CMOS-Widerstand gefunden, der im Vergleich zu Standard-CMOS-Widerständen den Einsatz in Anwendungen wesentlich höherer Genauigkeit ermöglicht. Der Zusatzaufwand etwa im Vergleich zu Polysiliziumwiderständen ist dabei gering, da keine zusätzlichen Fertigungsanlagen - außer eventuell zur Kapazitätserweiterung bei entsprechenden Stückzahlen - und insbesondere keine CMOS-unübliche gerätetechnische Zusatzausstattung angeschafft werden muss. Somit ist eine solche Prozessintegration auch vergleichsweise kurzfristig zu bewerkstelligen. Im Prozessablauf ergibt sich lediglich ein zusätzlicher Lithografiezyklus.

Der Ti/NiCr-Dünnfilmwiderstand bietet ohne weitere notwendige Entwicklungsmaßnahmen einen TCR im Bereich 0 bis 10 ppm/K und eine Langzeitstabilität, die noch über die von Ti/TiN hinausgeht. Lediglich das Plasmaätzen der Aluminiummetallisierung, die mutmaßlich für eine große Streuung des TCR verantwortlich ist, müsste - insbesondere für eine Integration "vor Passivierung" - prozesstechnisch optimiert werden. Die höhere erzielbare schaltungstechnische Genauigkeit wird erkaufte durch einen im Vergleich zum Ti/TiN-Widerstand erhöhten Aufwand. Gerätetechnisch sind zusätzlich zu "Standard-CMOS" eine zusätzliche Sputterkammer beziehungsweise ein zusätzlicher Halter für das NiCr-Target sowie eine Anlage zum automatisierten NiCr-Nassätzen erforderlich. Im Prozessablauf ergibt sich ein Mehraufwand von mindestens einem Lithografiezyklus. Gibt man sich mit einem TCR von etwa 130 ppm/K zufrieden (dies ist immer noch deutlich niedriger als mit Standard-CMOS-Widerständen erzielbar), ist eine Integration in der obersten Metallebene, vor der Standardpassivierung möglich und der Mehraufwand ist eher gering. Für einen TCR nahe 0 ppm/K ist hingegen ein Siliziumnitrid-Substrat für

---

die Widerstände erforderlich, so dass entweder eine im Vergleich aufwändigere Integration über der Standardpassivierung in Betracht zu ziehen ist oder über dem obersten Viaoxyd eine zusätzliche Nitridschicht abzuscheiden ist.

Abschließend lässt sich also sagen, dass sich eine Integration von Ti/TiN-Widerständen auf Grund wirtschaftlicher Aspekte attraktiver darstellt, der Ti/NiCr-Widerstand aber vergleichsweise noch genauere Schaltungsanwendungen erlaubt. Welche Variante zu bevorzugen ist, bleibt letztlich das Ergebnis einer jeweiligen Kosten/Nutzen-Analyse.

# Literaturverzeichnis

- [1] R. Gregorian und G.C. Temes. *Analog MOS Integrated Circuits for Signal Processing*. John Wiley, Inc., 1986.
- [2] K.R.R Laker und W.M.C. Sansen. *Design of Analog Integrated Circuits and Systems*. McGraw-Hill, New York, 1994.
- [3] A. Hastings. *The Art of Analog Layout*. Prentice-Hall, New Jersey, 2001.
- [4] E. Hering, K. Bressler und K. Gutekunst. *Elektronik für Ingenieure*. VDI-Springer, Berlin, 1998.
- [5] R. Kirschman. General Introduction. In *High-Temperature Electronics (Edited by R. Kirschman)*, pages 3–4. IEEE Press, 1999.
- [6] F.P. McCluskey, R.Grzybowski und T. Podlesak (Hrsg.). *High Temperature Electronics*. CRC-Press, Boca Raton, 1997.
- [7] J. Wilde u. Kollegen. *Hochtemperaturelektronik - Stand und Herausforderungen*. VDE/VDI-GMM, Frankfurt am Main, 2002.
- [8] Firma Vishay. *Technology Overview*. <http://www.vishay.com/resistors-discrete/thin-film/technology-overview-list>, Malvern, 2007.
- [9] W.-K. Chen. *The VLSI Handbook*. CRC Press/IEEE Press, Boca Raton, 2000.
- [10] U. Hilleringmann. *Silizium-Halbleitertechnologie*. B.G. Teubner, Stuttgart, 2002.
- [11] M. Rydberg. *Electrical Properties of Polycrystalline Silicon*. PhD thesis, Uppsala University, 1999.
- [12] L.I. Maissel. Thin Film Resistors. In *Handbook of Thin Film Technology(Edited by L.I. Maissel and R. Glang)*, pages 18–1 – 18–39. McGraw-Hill, 1970.
- [13] F. Wu, A.W. McLaurin, K.E: Henson, D.G. Managhan und S.L. Thomasson. The effect of the process parameters on the electrical and microstructure characteristics of the CrSi thin film resistors: part I. *Thin Solid Films*, 332, 1998.
- [14] J.J. van den Broek, J.J.T.M. Donkers, R.A.F. van der Rijt und J.T.M. Janssen.
- [15] J.E. Sundeen und R.C. Buchanan. Thermal sensor properties of cermet resistor films on silicon substrates. *Sensors and Actuators*, A90:118–124, 2001.

- [16] W.v. Münch. *Werkstoffe der Elektrotechnik*. B.G. Teubner, Stuttgart, 1993.
- [17] S. Vinayak, R.D. Srivastav, B.K. Sehgal, A.A. Naik, S. Prabhakar, V. Guru, S. Saravanan, S. Mahajan, V.R. Agarwal, R. Gulati und H.P. Vyas. Development and TCR Control of Nichrome Thin Film Resistors for GaAs MMICs. In *Proc. Phys. Sem. Dev. Workshop*, pages 936–939, 2001.
- [18] R. Henderson, P. Zurcher, A. Duvallet, C. Happ, M. Petras, M. Raymond, T. Rimmel, D. Roberts, B. Steimle, S. Straub, T. Sparks, M. Tarabbia und M. Miller. Tantalum Nitride Thin Film Resistors For Integration Into Copper Metallization Based RF-CMOS and BiCMOS Technology Platforms. In *2001 Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (Digest of Papers)*, 2001.
- [19] R.W. Johnson. Hybrid Materials, Assembly, and Packaging. In *High-Temperature Electronics (Edited by R. Kirschman)*, pages 729–748. IEEE Press, 1999.
- [20] R. Kirschman. Passive Components. In *High-Temperature Electronics (Edited by R. Kirschman)*, pages 639–659. IEEE Press, 1999.
- [21] J.J. Licari und L.R. Enlow. *Hybrid Microcircuit Technology Handbook (2nd Edition)*. William Andrew Publishing/Noyes, 1998.
- [22] N.M. Phuong, D.-J. Kim, B.-D. Kang, C.S. Kim und S.-G. Yoon. Effect of Chromium Concentration on the Electrical Properties of NiCr Thin Films Deposited at Room Temperature by Magnetron Cosputtering Technique. *Journal of The Electromechan. Soc.*, 153(1):G27–G29, 2006.
- [23] S. Petrovic, N. Bundaleski, M. Radovic, Z. Ristic, G. Gligoric D. Perusko, S. Zec. Structure and Surface Composition of NiCr Sputtered Thin Films. *Science of Sintering*, 38:155–160, 2006.
- [24] L. Toth, A. Barna, M. Menyhard und T. Koranyi. Electron microscopic and AES studies on thin film layers of NiCr. *Vacuum*, 33, no. 1-2:111–115, 1983.
- [25] P. Collier, T.B. Hee und H. Zuoqi. Process Integration For Thin Film Passive Components. In *2003 Electronics Packaging Technology Conference*, pages 538–543, 2003.
- [26] P. Maghsoudnia. Improved SiCr Resistor Performance by Means of Rapid Thermal Processing. *Mat. Res. Soc. Symp. Proc.*, 358:951–954, 1995.
- [27] H.Z. Durusoy, Ö. Duyar, A. Aydinli und F. Ay. Influence of substrate temperature and bias voltage on the optical transmittance of TiN films. *Vacuum*, 70:21–28, 2003.
- [28] S. J. Osadnik und M. B. Das. Reactively evaporated titanium nitride resistors for microcircuits. *Pergamon Press 1972*, 11:71–78, 1972.
- [29] Z. Kempisty, L. Krol-Stepniewska und W. Posadowski. TiN<sub>x</sub> Thin-Film Resistors for Hybride Integrated Circuits. *Electrocomponent Science and Technology*, 6:231–233, 1980.

- [30] K. Kawabata. Electrical Properties of Titanium Nitride Thin Films. *Transactions of the IECE of Japan*, E66 No. 8, 1983.
- [31] B.E. Cole, R. Higashi, J. Ridley und J. Holmen. Large-area infrared microemitter-arrays for dynamic scene projection. *Proc. SPIE*, 3368:57–70, 1998.
- [32] G. Gottstein. *Physical Foundation of Material Science*. Springer-Verlag, Berlin, 2004.
- [33] L.I. Maissel. Electrical Properties of Metallic Thin Films. In *Handbook of Thin Film Technology*(Edited by L.I. Maissel and R. Glang), pages 13–1 – 13–31. McGraw-Hill, 1970.
- [34] M. Ohring. *The Materials Science of Thin Films*. Academic Press, London, 1992.
- [35] D. Gupta und P.S. Ho. *Diffusion Phenomena in Thin Films and Microelectronic Materials*. Noyes Publications, New Jersey, 1988.
- [36] C.A. Neugebauer. Condensation, Nucleation, and Growth of Thin Films. In *Handbook of Thin Film Technology*(Edited by L.I. Maissel and R. Glang), pages 8–1 – 8–31. McGraw-Hill, 1970.
- [37] D. R. Lide (Hrsg.). *Handbook of Chemistry and Physics*. CRC Press, Boca Raton, 1996.
- [38] Landolt-Börnstein, 6. Aufl., Bd. IV 2c. *Zahlenwerte und Funktionen*. Springer-Verlag, Berlin, 1965.
- [39] H. Schaumburg. *Werkstoffe und Bauelemente der Elektrotechnik*. B.G. Teubner, Stuttgart, 1990.
- [40] S. Wolf. *Microchip Manufacturing*. Lattice Press, Sunset Beach, California, 2004.
- [41] C.A. Neugebauer und M.B. Webb. Electrical Conduction Mechanism in Ultrathin, Evaporated Metal Films. *Journal of Appl. Phys.*, 33 (4):74–82, 1961.
- [42] P. Steinmann, S.M. Jacobsen und R. Higgins. Controlling the TCR of thin film resistors. In *Proc. of the 30th Europ. Solid-State Dev. Res. Conf. (ESSDERC)*, pages 452–454, 2000.
- [43] E. Schäffer. *Herstellung und Untersuchung von PVD-Schichten für Anwendungen in der Elektrophysiologie*. PhD thesis, Universität Karlsruhe, 2004.
- [44] A. Iida und S.-i. Nakamura. Orientation of Ni-Cr Thin Films with Underlying Ti Layer. *Jap. J. Appl. Phys.*, 35:L335–L337, 1996.
- [45] N.D. Cuong, D.-J. Kim, B.-D. Kang und S.-G. Yoon. Effects of Nitrogen Concentration on the Properties of Titanium Nitride for Thin-Film Resistor Applications. *Electrochem. and Solid-State Letters*, 9 (9):G279–G281, 2006.

- 
- [46] N.M. Phuong, D.-J. Kim, B.-D. Kang und S.-G. Yoon. Structural and Electrical Properties of NiCr Thin Films Annealed at Various Temperatures in a Vacuum and a Nitrogen Ambient for  $\pi$ -Type Attenuator Applications. *Journal of The Electromechan. Soc.*, 153(7):G660–G663, 2006.
- [47] J.J. Thomson. . *Proc. Cambridge Phil. Soc.*, 11:120, 1901.
- [48] K. Fuchs. The Conductivity of Thin Metal Films According to the Electron Theory of Metals. *Proc. Cambridge Phil. Soc.*, 34:100–108, 1938.
- [49] E.H. Sondheimer. The Mean Free Path of Electrons in Metals. *Advances in Physics*, 1(1):1–42, 1952.
- [50] A.F. Mayadas und M. Shatzkes. Electrical-Resistivity Model for Polycrystalline Films: the Case of Specular Reflection at External Surfaces. *Applied Physics Letters*, 14(11):345–347, 1969.
- [51] A.F. Mayadas und M. Shatzkes. Electrical-Resistivity Model for Polycrystalline Films: the Case of Arbitrary Reflection at External Surfaces. *Physical Review B*, 1(4):1382–1389, 1970.
- [52] R.J. Widlar und M. Yamatake. Dynamic Safe-Area Protection for Power Transistors Employs Peak-Temperature Limiting. *IEEE j. Solid-State Circuits*, 1987.
- [53] G. Schumicki und P. Seegebrecht. *Prozess-technologie*. Springer-Verlag, Berlin Heidelberg, 1991.
- [54] W. Kern (Hrsg.). *Handbook of Semiconductor Wafer Cleaning Technology*. William Andrew Publishing/Noyes, New York, 1993.
- [55] J.S. Fisher und P.M. Hall. Termination Materials for Thin Film Resistors. *Proc. of the IEEE*, 59 (10):1418–1425, 1971.
- [56] J.M. Morabito, J.H. Thomas und N.G. Lesh. Material Characterization of Ti-Cu-Ni-Au (TCNA) - A New Low Cost Thin Film Conductor System. *IEEE Trans. on Parts, hybrids and Packaging*, PHP-11 (4):253–262, 1975.
- [57] R.K. Nahar und N.M. Devashrayee. Electrical Properties of RF Sputtered NiCr Thin Film Resistors with Cu Contacts. *Electrocomp. Science and Technology*, 11:43–51, 1982.
- [58] W. Brückner und S. Baunack. Electrical resistance and mechanical stress in Ni-Cr/Cu/NiCr thin films. *J. of Appl. Physics*, 85 (2):935–940, 1999.
- [59] K.H. Houska. Foil Circuits. *Electrocomp. Science and Technology*, 7:143–147, 1980.
- [60] J.M. Wang, W.G. Liu und T. Mei. The effect of thermal treatment on the electrical properties of titanium nitride thin films by filtered arc plasma method. *Ceramics International*, 30, 2004.

- 
- [61] JEDEC STANDARD. *Accelerated Moisture Resistance - Unbiased Autoclave*. <http://www.jedec.org/download/search/22a102c.pdf>, Arlington, 2007.
- [62] C. Mauz. *Schwache Lokalisierung und dimensionaler Übergang bei einem quasi-eindimensionalen System*. Diplomarbeit, Univ. Karlsruhe, 1996.
- [63] H. Brocke. *Finite-Elemente-Analyse von modernen Leitbahnsystemen*. Dissertation, Universität Hannover, 2005.
- [64] Firma Electronic Alloys UK. *Data Sheet Nichrome 80/20 A*. <http://aircraftmaterialsuk.com/data/electronic/alnicr.html>, 2007.
- [65] U. Krupp und H.-J. Christ. Internal Nitridation of Ni-Based Alloys during High-Temperature Corrosion by Nitrogen. *Advanced Engineering Materials*, 1, No. 3-4:194–198, 1999.
- [66] R.P. Rubly und D.L. Douglass. Internal Nitridation of Nickel-Chromium Alloys. *Oxidation of Metals*, 3, No 3-4:259–278, 1991.

# Anhang A

## Messaufbau und Fehlerbetrachtung

Dieses kurze Kapitel beschreibt den in dieser Arbeit verwendeten Messaufbau und die sich daraus ergebenden maximalen Fehler bei der Bestimmung der elektrischen Größen Widerstand (beziehungsweise Schichtwiderstand) und Temperaturkoeffizient des Widerstandes (TCR).

Die Widerstände wurden, soweit nicht anders gesagt, auf Wafer-Ebene (in der Regel 32 gleiche Strukturen, gleichmäßig über den jeweiligen Wafer verteilt) an einem Spitzenmessplatz (SÜSS MicroTec) mit einzelnen Nadelmanipulatoren und beheizbarem Chuck gemessen. Zur Bestimmung von Schichtwiderstand und TCR wurde die Vierpunktmessmethode mit Hilfe geeigneter Strukturen (Abbildung A.1) angewendet, das heißt es wurde mit Hilfe einer Stromquelle ein Messstrom eingepreßt und mittels eines Multimeters die am Widerstand abfallende Spannung gemessen. Auf diese Weise konnte der Einfluss von Kontaktwiderständen zwischen den Kontaktnadeln und den Aluminium-Pads auf die Widerstandsmessungen eliminiert werden. In der Regel betrug die Widerstandslänge  $l = 500 \mu\text{m}$  und die Breite  $b = 10 \mu\text{m}$ . Die Widerstände waren also  $50 \mu\text{m}^2$  groß. Sofern andere Strukturgrößen verwendet wurden ist dies jeweils angegeben. Sofern statistische Abweichungen beziehungsweise Streuungen (über einen Wafer) von elektrisch bestimmten Größen angegeben werden, sind diese als Standardabweichungen aufzufassen.

Aus den Messungen wurden folgende elektrische Größen bestimmt:

- Widerstand  $R$  in  $[\Omega]$  beziehungsweise Schichtwiderstand  $R_S$  in  $[\frac{\Omega}{\square}]$
- TCR in  $[\frac{ppm}{K}]$

Folgende Einflussfaktoren können bei der Bestimmung dieser Größen zu Fehlern führen:

- Schwankung des eingepreßten Messstroms
- Durch das Messgerät verursachte Unsicherheit bei der Spannungsmessung
- Schwankung der Temperatur von Messgeräten und beheizbarem Chuck

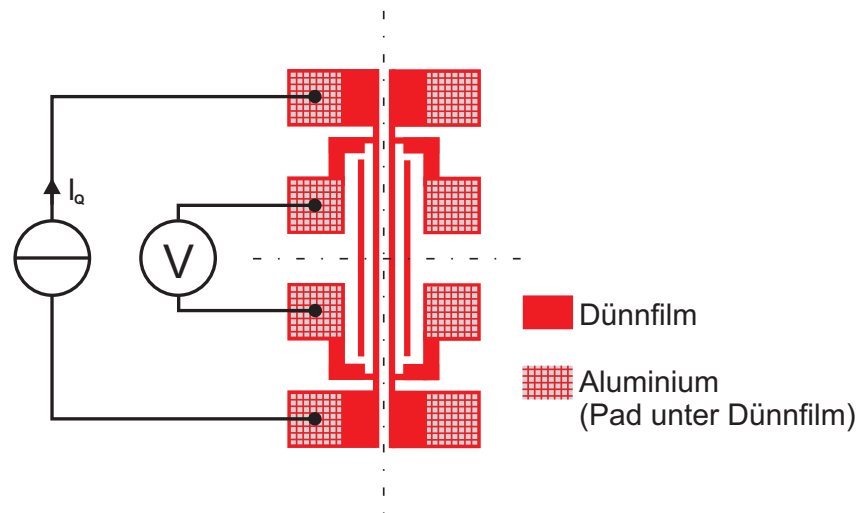


Abbildung A.1: Zur Bestimmung von Schichtwiderstand und TCR verwendete Messstruktur (Matching-Paar mit Dummy-Strukturen) und die Messkonfiguration (der eingeprägte Strom betrug, sofern nicht anders angegeben,  $100 \mu\text{A}$ )

### Schwankung des eingepprägten Messtroms ( $\Delta I$ ):

Der verwendete Messtrom von  $100 \mu\text{A}$  wurde mit Hilfe einer Präzisionsstromquelle (Keithley Current Source 220) eingepragt. Laut Gerätespezifikationen beträgt die Ungenauigkeit  $\Delta I$  (über ein Jahr) in diesem Strombereich  $0,05\% + 100 \text{ nA}$ , in diesem Fall also  $0,15 \mu\text{A}$ . Dies entspricht  $0,15\%$ .

### Durch das Messgerät verursachte Unsicherheit bei der Spannungsmessung ( $\Delta U$ ):

Die auf Grund des eingepprägten Stroms über dem Widerstand abfallende Spannung wurde mittels eines Keithley Multimeters 2000 gemessen. Laut Gerätespezifikationen beträgt im hauptsächlich verwendeten Messbereich ( $1,000000 \text{ V}$ ) die Messungenauigkeit  $\Delta U = 30 \text{ ppm}$  (abgelesener Wert)  $+ 7 \text{ ppm}$  (Messbereich). Für eine gemessene Spannung von  $U = 0,5 \text{ V}$  bedeutet dies eine Ungenauigkeit von  $\Delta U = 0,02 \text{ mV}$ . Maximal ergibt sich in diesem Messbereich ein Fehler von  $0,01\%$ .

### Schwankung der Raumtemperatur ( $\Delta T_R$ ):

Das verwendete Messlabor ist klimatisiert. Die Temperaturkoeffizienten der Stromquelle und des Multimeters betragen  $5 \text{ ppm/K}$  respektive  $2 \text{ ppm/K}$ . Selbst bei größeren Temperaturschwankungen - zum Beispiel durch einen Ausfall der Klimaanlage - ergäben sich vernachlässigbar kleine Fehler in der Größenordnung von unter  $0,01\%$ .

**Schwankung der Chuck-Temperatur ( $\Delta T_C$ ):**

Der Schichtwiderstand wurde bei einer Chucktemperatur von  $40^\circ\text{C}$  bestimmt. Zur Bestimmung des TCR wurden zusätzlich Messungen bei  $75^\circ\text{C}$  beziehungsweise  $200^\circ\text{C}$  durchgeführt. Abhängig vom TCR der gemessenen Widerstände führt dies zu Ungenauigkeiten der bestimmten elektrischen Größen. Der Fall  $T(75^\circ\text{C}) - T(40^\circ\text{C}) = 35^\circ\text{C}$  führt den vergleichsweise größeren Fehler ein. Einige Temperaturmessungen mit PT1000-Widerstandselementen ergaben, dass mit einer Ungenauigkeit der Chucktemperatur von etwa  $\Delta T_C = 0,5^\circ\text{C}$  gerechnet werden muss.

Nach dieser Zusammenstellung muss nun betrachtet werden, wie sich diese unterschiedlichen Einflussfaktoren auf die Genauigkeit der Bestimmung von Widerstand und TCR auswirken. Für die Messungenauigkeit nur auf Grund der Schwankungen von Messstrom und Spannungsmessung ergibt sich nach dem Gaußschen Fehlerfortpflanzungsgesetz für R und TCR:

$$\frac{\Delta R}{R} = \frac{\Delta TCR}{TCR} = \sqrt{\left(\frac{\Delta U}{U}\right)^2 + \left(\frac{\Delta I}{I}\right)^2} = 0,0015 \quad (\text{A.1})$$

Für die Würdigung dieses Fehlers in Hinblick auf R muss noch einmal darauf hingewiesen werden, dass sich die Gerätespezifikationen auf Ungenauigkeiten über ein ganzes Jahr beziehen. Die Messungen über eine Wafercharge fanden jedoch in vergleichsweise sehr kurzen Zeitbereichen von einigen Tagen statt. Lediglich bei den Messungen zur Langzeitdrift gab es größere Zeitbereiche von bis zu 1000 Stunden (sechs Wochen). Für den TCR bedeutet das Ergebnis, dass selbst für sehr große Werte (in dieser Arbeit zum Beispiel  $TCR = 500$  ppm/K) der Fehler weniger als 1 ppm/K beträgt.

Schwieriger wird die Fehlerbetrachtung bei der Berücksichtigung der Schwankung der Chuck-Temperatur. Dies liegt an der bereits angesprochenen Abhängigkeit der Fehlers vom TCR der gemessenen Widerstände. Je größer dieser TCR, desto größer ist der sich ergebende Fehler der elektrischen Größen. Entsprechend der in dieser Arbeit ermittelten TCR sind hier für zwei Größenordnungen ( $TCR = 50$  ppm/K und  $500$  ppm/K) die sich ergebenden Fehler in Tabelle A.1 beispielhaft angegeben.

Tabelle A.1: Fehler auf Grund von Schwankungen der Chuck-Temperatur (bei einem  $R(40^\circ\text{C}) = 5000 \Omega$ )

	TCR = 50 PPM/K	TCR = 500 PPM/K
$\frac{\Delta R}{R}$ [%]	0,003	0,025
TCR [ppm/K]	1	7

---

Zusammenfassend lässt sich sagen, dass der Fehler bei den Widerstandswerten hauptsächlich von der Stromquelle und dem Multimeter bestimmt wird, während der Fehler bei den TCR-Werten hauptsächlich durch die Ungenauigkeit der Chuck-Temperatur beeinflusst wird.