

# **HTPAL**

## **Ein programmierbarer Logikbaustein für den Einsatz in Hochtemperaturanwendungen**

Vom der Fakultät für Ingenieurwissenschaften der Universität  
Duisburg-Essen zur Erlangung des akademischen Grades eines  
Doktors der Ingenieurwissenschaften genehmigte Dissertation

von

Kay Gorontzi

aus

Gelsenkirchen

Referent: Prof. Dr.-Ing. H.-L. Fiedler  
Korreferent: Prof. Dr.-Ing. habil. G. Scarbata  
Tag der mündlichen Prüfung: 22. Dezember 2003

## Zusammenfassung

In der vorliegenden Arbeit wird zunächst der technische Entwicklungsstand der SIMOX-Hochtemperaturtechnologie rekapituliert. Davon ausgehend wird ein HTPAL als Vertreter einer neuen Klasse von programmierbaren Logikbausteinen der PAL Familie vorgestellt.

In seiner Grundfunktionalität entspricht das HTPAL einem PAL-Baustein des Typs 22V10. Im Unterschied zu den bereits seit langem im Markt eingeführten Bausteinen bietet es eine Reihe von Eigenschaften, die bisher nicht verfügbar waren:

- einen stark erweiterten Temperaturbereich bis über +250 °C
- erhöhte Resistenz gegen ionisierende Strahlung
- flexible Programmierung während der Entwicklungsphase
- Feldprogrammierbarkeit durch den Anwender

Der weite Temperaturbereich resultiert dabei aus einer günstig gewählten Schaltungstopologie und dem Einsatz der SIMOX-Technologie.

Zur Realisierung der Feldprogrammierbarkeit wird weiterhin ein OTP-Bauelement vorgestellt und charakterisiert, der sogenannte TOXFET. Es handelt sich hierbei um eine Kombination aus einem Hochvolt-MOSFET-Transistor und einem dünnen Oxid, das als programmierbares Element dient. OTP-Elemente gehören heute zu jedem Standardprozeß und sind nunmehr auch für die HT-SIMOX-Technologie verfügbar.

Die erreichte Kompatibilität zu den bekannten PALs erleichtert den Systementwicklern eine Migration zum neuen HTPAL, da vorhandene Software und Entwicklungsumgebungen in gewohnter Weise weitergenutzt werden können.

## Inhaltsverzeichnis

<b>1</b>	<b>Einleitung, Motivation der Arbeit</b>	<b>1</b>
1.1	Überblick . . . . .	2
1.2	Einsatzgebiete für Hochtemperaturelektronik . . . . .	3
1.3	Stand der Technik . . . . .	5
1.4	Zusammenfassung . . . . .	12
<b>2</b>	<b>Relevante Aspekte der SIMOX-Technologie</b>	<b>13</b>
2.1	SOI-Technologien . . . . .	13
2.2	Die Herstellung von SIMOX-Wafern . . . . .	16
2.3	Leckströme . . . . .	17
2.4	Eigenschaften der Standardbauelemente . . . . .	20
2.4.1	Schwellenspannungen, Backgate-Effekt . . . . .	20
2.4.2	SIMOX Multigate Transistoren . . . . .	24
2.4.3	SIMOX Kondensatoren . . . . .	25
2.5	Inverter . . . . .	27
2.6	Zusammenfassung . . . . .	28
<b>3</b>	<b>TOXFET OTP Zellen</b>	<b>29</b>
3.1	Bedeutung von OTP Zellen . . . . .	29
3.2	Stand der Technik bei programmierbaren Zellen . . . . .	32
3.3	Teststrukturen für Antifuses . . . . .	35
3.4	Speichermatrizen . . . . .	37
3.4.1	Diodenmatrizen . . . . .	37
3.4.2	Transistormatrizen . . . . .	39
3.4.3	Zusammenfassung . . . . .	41

---

3.5	TOXFET-Transistoren . . . . .	42
3.6	Durchbrucheffekte . . . . .	45
3.7	Ladungstransport im SiO <sub>2</sub> . . . . .	48
3.8	Primäre Strompfadbildung . . . . .	55
3.9	Sekundäre Strompfadbildung . . . . .	56
3.10	Simulation der Wärmeverteilung . . . . .	59
3.10.1	HeatFlash Simulationsumgebung . . . . .	67
3.10.2	Durchführung der Simulation . . . . .	70
3.10.3	Konsequenzen für das OTP-Layout . . . . .	74
3.11	Grundlegende meßtechnische Charakterisierung der TOXFETs	77
3.11.1	Meßergebnisse für den Programmierstrom . . . . .	79
3.11.2	Meßergebnisse für programmierte TOXFETs . . . . .	80
3.11.3	Meßergebnisse für die Steuerbarkeit . . . . .	82
3.11.4	Grenzen der Belastbarkeit . . . . .	83
3.11.5	TOXFET Leckströme . . . . .	85
3.12	Zusammenfassung . . . . .	86
<b>4</b>	<b>HTPAL</b>	<b>87</b>
4.1	Anforderungen . . . . .	88
4.2	Querstromreduktion . . . . .	96
4.2.1	Domino-Logik . . . . .	97
4.2.2	Schmitt-Trigger . . . . .	98
4.2.3	Aktive Busbeschleunigung . . . . .	100
4.3	Temperaturfeste Programmierung aus technischer Sicht . . . . .	113
4.4	Floorplanning . . . . .	114
4.5	Matrixzellen . . . . .	115

---

4.6	Bandgap-Quelle . . . . .	120
4.7	Configzellen . . . . .	123
4.8	Busbeschleuniger . . . . .	124
4.9	OR-Struktur . . . . .	124
4.10	Makrozellen an den Ausgängen . . . . .	128
4.11	Input Driver . . . . .	129
4.12	Verschaltung des PROM-Feldes . . . . .	130
4.13	HV-LoadDriver . . . . .	134
4.14	Boot Logik . . . . .	139
4.14.1	Erzeugung des internen Power-ON-Resets . . . . .	139
4.14.2	Boot-Clock . . . . .	146
4.14.3	Der Boot-Vorgang . . . . .	148
4.14.4	Laden des Boot-Bitmusters in die Config-Kette . . . . .	149
4.14.5	Ende des Boot-Vorgangs . . . . .	151
4.14.6	Zusammenfassung . . . . .	152
4.15	Programmierung des HTPALs aus Anwendersicht . . . . .	153
4.16	Pinout . . . . .	156
<b>5</b>	<b>Lebensdauer und Tests</b>	<b>159</b>
5.1	Lebensdauer . . . . .	159
5.2	Tests . . . . .	162
5.2.1	Schieberegister . . . . .	162
5.2.2	Logikmatrix . . . . .	163
5.2.3	OTP PROMs . . . . .	163
5.2.4	Laufzeiten . . . . .	163

<b>6 Zusammenfassung und Ausblick</b>	<b>165</b>
6.1 Zusammenfassung der vorliegenden Arbeit . . . . .	165
6.2 Ausblick . . . . .	166
<b>A Marktrelevanz der Hochtemperatur-Elektronik</b>	<b>167</b>
<b>B Nomenklatur</b>	<b>170</b>
B.1 Technologie . . . . .	170
B.2 Festkörperphysik . . . . .	170
B.3 Elektrotechnik . . . . .	171
B.4 Verwendete Schaltzeichen . . . . .	172
<b>C Abkürzungen und Akronyme</b>	<b>173</b>
<b>D Schaltpläne</b>	<b>175</b>
<b>E Layout</b>	<b>178</b>
<b>F Ergänzungen zur verwendeten Bandgap-Quelle</b>	<b>179</b>
<b>G Technologieparameter (CS1640 Prozeß)</b>	<b>183</b>
G.1 Herstellungsparameter . . . . .	183
G.2 Materialeigenschaften . . . . .	184
G.3 Simulationsparameter . . . . .	184
G.4 Sonstige Konstanten . . . . .	188
G.5 Simulationsbeispiel . . . . .	189
<b>H Verzeichnisse</b>	<b>192</b>

## 1 Einleitung, Motivation der Arbeit

Thema der vorliegenden Arbeit sind Entwurf und Realisierung eines *Programmierbaren Hochtemperaturlogikbausteins (HTPAL)*.

Die praktischen Einsatzmöglichkeiten von Hochtemperatur-(HT-)Baugruppen werden zur Zeit noch durch fehlende, flexible Glue-Logic begrenzt, die zum Beispiel die Microcontroller in ihre Umgebung einbettet. Ein Weg zur Lösung dieses Problems besteht in der Portierung einer Standard-Logikfamilie auf einen HT-Prozeß. Dieser Weg ist zwar im Prinzip gangbar, jedoch führt er bei den niedrigen Integrationsraten in den Standardfamilien zu einer hohen Anzahl einzelner Chips bei der Realisierung einer Anwendung.

Eine hohe Anzahl separater ICs sollte jedoch aus mindestens drei Gründen vermieden werden:

1. Die Gehäusetechnik ist noch ein Schwachpunkt der Hochtemperatur-elektronik; es fehlen bislang noch Gehäuse, Leiterbahnen und Lote, die eine zufriedenstellende Langzeitstabilität bei hohen Temperaturen aufweisen.
2. Die Herstellungskosten einer Platine steigen mit der Zahl der Chipgehäuse und dem dadurch anwachsenden Verdrahtungsaufwand an.
3. Mit steigender Pinzahl steigt die Fehlerquote bei der Produktion und erfordert umfangreichere Tests (z. B. IEEE 1149.1 Boundary Scan Tests [1]).

Zur Lösung dieser Probleme bietet sich der gleiche Weg an, der auch in der Entwicklung der Standardhalbleiter beschrieben wurde: die Integration mehrerer Logikfunktionen in flexible Logikmodule, die durch erst durch den späteren Anwender programmiert werden.

Im Rahmen der vorliegenden Arbeit wurde daher ein flexibler, programmierbarer Logikbaustein entwickelt, der die geforderten Eigenschaften erfüllt.

## 1.1 Überblick

Der erste Abschnitt der vorliegenden Arbeit rekapituliert den Stand der Technik und führt in die hier aufgegriffene Problematik ein.

Im zweiten Teil werden dann die wichtigsten Aspekte der gewählten Hochtemperatur-Technologie aufgegriffen. Unter anderem werden hier die wesentlichen Eigenschaften der benutzten HT-Bauteile zusammengestellt, soweit sie sich von den jeweiligen Bauteilen in Standardtechnologien unterscheiden.

Da der hier vorgestellte Baustein eine dauerhafte, temperaturfeste Programmierung erfordert, wird im dritten Abschnitt eine hochtemperaturtaugliche OTP<sup>1</sup>-Zelle vorgestellt. Neben der grundlegenden Beschreibung der Zelle werden auch die physikalischen Vorgänge beim Programmieren einer OPT-Zelle ausführlich dargestellt. Das Verständnis des Programmierprozesses erlaubt eine Optimierung des Zellenlayouts und erhöht gleichzeitig die Ausbeute beim Programmieren.

Im vierten Teil der Arbeit wird ein neu entwickelter HT-Baustein, das HTPAL<sup>2</sup>, vorgestellt und sein interner Aufbau beschrieben.

Der fünfte und letzte Abschnitt dieser Arbeit behandelt schließlich die Aspekte Lebensdauer und Testbarkeit der neuen HTPALs.

---

<sup>1</sup>One-Time Programmable memory cell

<sup>2</sup>High Temperature Programmable Array Logic

## 1.2 Einsatzgebiete für Hochtemperaturelektronik

Beim Einsatz der (noch vergleichsweise jungen) Hochtemperaturelektronik zeichnen sich mittlerweile mehrere Trends ab. Einerseits qualifizieren sich hochtemperaturfeste, integrierte, mikroelektronische Schaltungen für Einsatzumgebungen, in denen eine ausreichende Kühlung der Schaltung nicht möglich ist.

Andererseits öffnet die HT-Elektronik Wege zur Montage von komplexen Schaltungen auch in der Nähe starker Wärmequellen. Dies wiederum ermöglicht besonders kompakte Bauweisen bei einer Vielzahl von Produkten.

Ein Beispiel für eine nicht-kühlbare Umgebung sind Meßsonden, die bei Tiefbohrungen nach Erdöl und Erdgas zum Einsatz kommen.

Schon unter normalen Betriebsbedingungen sind die eingesetzten Tiefbohrer einem enormen Abrieb ausgesetzt. Je nach Härte des vorgefundenen Gesteins können jedoch unterschiedliche Bohrer eingesetzt werden. Eine prozessorgesteuerte Datenerfassung unten an der Spitze des Bohrers hilft dabei, das jeweils passende Bohrgerät zu wählen.

Die Elektronik am Bohrkopf sammelt in diesem Fall die anfallenden Daten (Druck, Temperatur, usw.) und setzt sie mittels eines Piezo-Wandlers in akustische Impulse um. Diese Pulse werden dann über das nahezu inkompressible Kühlmedium (in der Regel Wasser) des Bohrers nach oben zur Bohrvorrichtung übertragen (sog. *mud-pulses*, vergl. [10]).

Eine geeignete Signalkodierung muß daher direkt im Bohrkopf erfolgen; der Einsatz von Kühlvorrichtungen ist dort aus Platzgründen nicht möglich. Die Kombination dieser Anforderungen prädestiniert eine solche Anwendung für die HT-Elektronik.

Neben dem genannten Beispiel zeichnen sich noch einige weitere Trends ab. Es gibt eine Reihe von Einsatzgebieten, bei denen zwar eine Kühlung prinzi-

piell noch möglich ist, diese jedoch zu erheblichen Mehrkosten führt. Von der HT-Elektronik werden diese Anwendungsfelder dennoch etwas langsamer erschlossen, da kurzfristig noch ungünstigere – aber hinreichende – Alternativen zur Verfügung stehen. Im einzelnen kommen hier z. B. in Frage:

- Smart Sensors  
Hier sitzt die Elektronik direkt an der Wärmequelle, etwa bei Turbinen, Heizungssteuerungen und Motoren (in Automobil- oder industriellen Anwendungen)
- Kompakte Meßvorrichtungen in elektronikfeindlicher Umgebung bei Hitze, Druck, ionisierender Strahlung und Verschmutzungen (welche die Wärmeableitung behindern)
- Kompakte Steuergeräte  
z. B. an Ofenanlagen und/oder bei drahtloser Signalübertragung
- Leistungselektronik in besonders kompakter Bauweise, bei der die Steuerelektronik direkt am Leistungsbauteil integriert ist, also dort, wo die Verlustwärme zu den höchsten Temperaturen führt
- Schaltungen mit besonders hohen Taktraten, die immer größere Abwärme erzeugen, solange das Transistorvolumen gleich bleibt

Der letzte Punkt der Aufzählung ist besonders im Zusammenhang mit der Entwicklung der Mikroprozessoren zu immer höheren Taktfrequenzen interessant. Das verringerte Transistorvolumen der SIMOX-Technologie geht mit verkleinerten Raumladungszonen einher und die Ladungsspeicherfähigkeit der Transistoren reduziert sich.

Insgesamt fließen dadurch bei Umschaltvorgängen kleinere parasitäre Ströme. Hierdurch verringert sich die auftretende Verlustleistung und die Gesamtschaltung erwärmt sich weniger stark.

Bei höheren Taktfrequenzen erwärmt sich zwar die Schaltung deutlich mehr, sie bleibt jedoch bis etwa 300 °C funktionsfähig. Gängige Bulk-CMOS-

Technologien zeigen hingegen bereits ab etwa 120 °C Fehlfunktionen. Komplexe CMOS-Schaltungen (etwa Prozessoren) können zudem häufig die auftretende Wärme nur langsam abführen. Es entstehen auf diese Weise die oft zitierten *hot spots* ([84]), die in der Regel zu (mindestens temporären) Funktionsstörungen der Schaltung führen.

Schließlich bedeuten die hohen Temperaturen für Aluminium-Metallisierungen noch eine Verstärkung der Elektromigration, die zu weiteren Ausfallerscheinungen führt und die Schaltung schließlich dauerhaft beschädigt oder zerstört.

### 1.3 Stand der Technik

Die Einführung einer neuen Technologie ist in der Regel ein Bottom-Up-Prozeß. Konkret bedeutet das, daß man zunächst bestrebt ist, das Herstellungsverfahren zu beherrschen. Im Falle der SIMOX-Technologie ist dies die Herstellung der SOI<sup>3</sup>-Wafer in einem Sauerstoff-Implantationsprozeß.

Die Erforschung eines geeigneten Wafer-Herstellungsprozesses nahm mehrere Jahre in Anspruch, ist aber heute im wesentlichen abgeschlossen. Die SOI-Wafer werden heute nicht mehr in Kleinserien im Labor hergestellt, sondern werden großtechnisch von mehreren Herstellern gefertigt und in reproduzierbarer Qualität auf dem Markt angeboten. Dieser Entwicklungsschritt darf daher, zumindest aus der Sicht der Waferkunden, als abgeschlossen gelten.

Im zweiten Schritt mußten die grundlegenden Bauelemente, die zum Aufbau einfacher Schaltungen benötigt werden, definiert, realisiert und in ihren Parametern qualifiziert werden. Die Arbeiten von Verbeck [5] und Sikora [4] lieferten hierzu wesentliche Beiträge.

---

<sup>3</sup>Silicon-on-insulator, vergl. Abschnitt 2

In einem dritten Schritt wurden dann einfache und komplexere analoge Grundsaltungen aufgebaut. Die hierbei auftretenden Effekte mußten verstanden und in den Entwürfen berücksichtigt werden. Sie führten schließlich zu einer Palette analoger Grundsaltungen wie Stromspiegeln, Operationsverstärkern, SC-Verstärkern (Switched Capacitors Amplifier, [95]), SC-Filtern ([92]) und temperaturkompensierten, integrierten Bandgap-Stromquellen ([12]).

Neben den analogen Schaltungen wurden etwa zeitgleich Bibliotheken für den digitalen Entwurf mit Standardzellen entworfen und implementiert ([4]). Mit diesen Zellen wurde es möglich, komplexere Schaltungen in Verilog oder VHDL zu formulieren und daraus anschließend ganze Schaltungsteile automatisch synthetisieren zu lassen. Dies ermöglichte unter anderem den Aufbau von EEPROMs (Elektrical Erasable Read Only Memories) für hohe Temperaturen, die den thermisch bedingten Datenverlust durch regelmäßige interne Refresh-Zyklen ausgleichen ([2]).

Abgerundet wurde der Satz der verfügbaren Bauelemente durch ESD-feste<sup>4</sup> Anschlußpads<sup>5</sup> und eine geeignete Gehäusetechnik. Hierdurch wurde es erstmals möglich, pinkompatible Bauelemente zur Serie 74xx<sup>6</sup> herzustellen und in Hochtemperatur-Umgebungen zu verwenden.

Mit den genannten Elementen steht uns heute ein kompletter Satz von Bauelementen zur Verfügung, mit dem sich komplexe Schaltungen für den Einsatz bei hohen Temperaturen aufbauen lassen.

---

<sup>4</sup>ESD: Electrostatic discharge. Gemeint sind hier Anschlußpads, die die Empfindlichkeit der Chipanschlüsse gegenüber elektrostatischen Entladungen verringern.

<sup>5</sup>O. Heuser, [24]

<sup>6</sup>N. Pohlmann, [23]

Die Gehäuse- und Verbindungstechnik bleibt allerdings ein kritischer Punkt. Speziell die zum Einsatz kommende Löttechnik erfordert besondere Aufmerksamkeit<sup>7</sup>.

Wie bei den Schaltungen für konventionelle Temperaturbereiche steigt die Ausfallwahrscheinlichkeit einer HT-Schaltung mit der Anzahl der diskreten Komponenten, da hier wie dort eine der wesentlichsten Fehlerquellen die genannte Aufbau- und Verbindungstechnik ist.

Auch für die HT-Technologie wirkt es sich deshalb günstig aus, wenn man den Integrationsgrad der verwendeten Bauteile erhöht.

In Analogie zur Entwicklung im Bulk-CMOS-Bereich erschien es daher konsequent, als nächsten Entwicklungsschritt eine Familie von hochtemperaturfähigen PAL<sup>8</sup>-Bausteinen zu entwickeln. Noch höher integrierte Bauelemente wie FPGAs<sup>9</sup> oder CPLDs<sup>10</sup> wurden zunächst verworfen, weil ihnen die gegenwärtig mögliche Integrationsdichte noch entgegensteht: während der Anfertigung der vorliegenden Arbeit stand nur eine ausgereifte SIMOX-Technologie mit einer Strukturweite von 1,6  $\mu\text{m}$  zur Verfügung. Mit der zu erwartenden Portierung der Technologie in den Quartermicron-Bereich werden dann auch komplexere Logikbausteine realistisch integrierbar.

---

<sup>7</sup>Die meisten gängigen Universal-Lote sind aus Gründen der leichteren Verarbeitbarkeit für den Einsatz bei niedrigen Löttemperaturen optimiert. Sie schmelzen in der Regel bereits deutlich unter 300 °C ([82]) und sind nur für Lötstellen bei Betriebstemperaturen unter 150 °C geeignet. Ihre Verwendung im HT-Bereich ist folglich nicht möglich.

Hochschmelzende Lote werden üblicherweise für Hartmetallverbindungen verwendet, sind jedoch häufig schwieriger zu verarbeiten. Durch den Mangananteil in den Hartloten lassen sich aber auch relativ schwer benetzbare Werkstoffe wie Wolfram hartlöten.

Trotzdem führen erhöhte Betriebstemperaturen fast immer zu einem erheblichen Festigkeitsrückgang in den Lötverbindungen. Grundsätzlich müssen zudem die mechanischen und thermischen Belastungen der Lötstellen im Zusammenhang betrachtet werden.

<sup>8</sup>Programmable Array Logic

<sup>9</sup>Field Programmable Gate Arrays

<sup>10</sup>Complex Programmable Logic Device

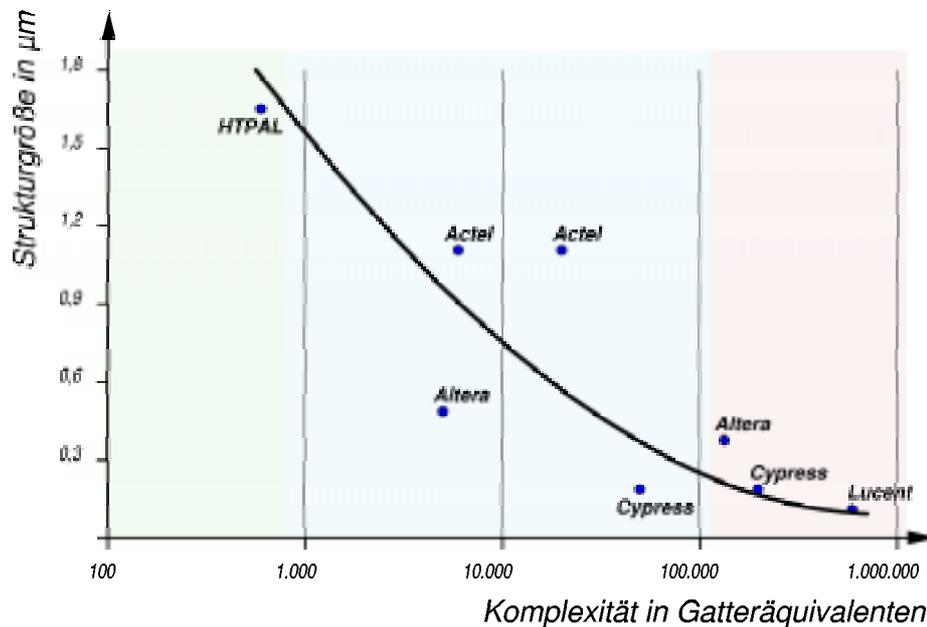


Abbildung 1: Zum Zusammenhang zwischen Strukturgröße und Chipkomplexität. Die Punkte markieren verschiedene, am Markt verfügbare Bauelemente.

Abbildung (1) stellt den Zusammenhang zwischen minimaler Strukturweite der verwendeten Technologie und der erzielbaren Gatterkomplexität grafisch dar. Die eingezeichneten Punkte markieren einige der am Markt verfügbaren, hochintegrierten Bausteine, mit denen konfigurierbare Logikfunktionen realisiert werden können (PAL, CPLD, FPGA).

Die äquivalente Gatterzahl wird dabei von den Herstellern der Bausteine nach unterschiedlichen Verfahren bestimmt. Die Angaben sind daher nur bzgl. ihrer Größenordnung vergleichbar. Die Firma Cypress gibt etwa die Komplexität eines PALs vom Typ CD22V10 mit 500-800 Gatteräquivalenten an ([11]).

Man kann in Abbildung (1) grob drei Bereiche unterscheiden: die PAL-Bausteine mit bis zu 800 Gatteräquivalenten, die CPLDs, FPGAs usw. mit bis zu 100.000 Gatteräquivalenten und die komplexeren Bausteine mit noch höherem Integrationsgrad, in denen häufig bereits zusätzliche Funktionseinheiten (RAM, PROM, Businterfaces, usw.) enthalten sind.

Der Trendlinie in Abbildung (1) folgend, eignet sich eine 1,6  $\mu\text{m}$ -Technologie maximal für Bausteine mit einer Komplexität unterhalb von 800 Gatteräquivalenten. Je näher man dieser Grenze kommt, desto unwirtschaftlicher wird aber die Produktion: mit steigender Chipfläche sinkt die absolute Zahl der funktionsfähigen Chips pro Wafer.

In der Regel ist es außerdem aus Kostengründen sinnvoll, Chips nicht zu nahe an der markierten Grenze zu entwerfen.

Die für diese Arbeit verfügbare SIMOX-Technologie mit ihrer Strukturbreite von 1,6  $\mu\text{m}$  eignet sich dementsprechend für Bausteine mit einer Komplexität von deutlich weniger als 1000 Gatteräquivalenten. Aus der Vielzahl der verbleibenden Möglichkeiten wurde deshalb ein **PAL** mit etwa 600 Gatteräquivalenten ausgewählt.

Der Portierung der SIMOX-Technologie auf eine kleinere Strukturgröße stehen keine grundsätzlichen Schwierigkeiten physikalischer Art im Wege. Es ist daher berechtigt anzunehmen, daß dieser Schritt in naher Zukunft vollzogen werden kann.

Die Familie der PAL-Bausteine besteht aus einer Serie von Baureihen, die (nicht zuletzt wegen ihrer Popularität bei den Schaltungsentwicklern) für verschiedene Anwendungsgebiete optimiert wurden. Die Kriterien zur Optimierung waren Komplexität, Geschwindigkeit, Stromverbrauch und nicht zuletzt Pinzahl, Gehäusegröße und der Preis.

Das hier vorgestellte HTPAL ist primär auf die Hochtemperaturfähigkeit hin optimiert und zudem sehr flexibel feldprogrammierbar.

Trotz der gewählten SIMOX-Technologie, die von Hause aus bereits gut für den Einsatz bei hohen Temperaturen geeignet ist, ergeben sich noch eine Reihe weiterer technischer Herausforderungen für die Schaltungstechnik. Diese

resultieren zum Teil direkt aus den physikalischen Parameterveränderungen des Siliziums bei steigender Temperatur:

- die Gitterschwingungen nehmen zu,
- der Bandabstand verringert sich,
- die Eigenleitungsichte  $n_i$  erhöht sich.

Für die verwendeten Halbleiterbauelemente ergeben sich hieraus eine Reihe von Konsequenzen (vergl. [5]):

- die Ladungsträgerbeweglichkeit  $\mu$  nimmt ab,
- die Sperrschichtweiten verringern sich,
- die Leckströme erhöhen sich,
- die Bipolarverstärkung steigt,
- die Schwellenspannungen nehmen ab,
- die Diodenflußspannungen sinken.

Die genannten Punkte müssen beim Entwurf hochtemperatur-geeigneter Schaltungen jeweils angemessene Beachtung finden, damit das jeweilige Designziel erreicht wird. Durch die Verwendung standardisierter Bibliotheken, die heute für SIMOX bereits zur Verfügung stehen, kann dies häufig sehr elegant und effizient geschehen. Es verbleiben anschließend dennoch einige Effekte, die einen großen Einfluß auf die Schaltungstopologie haben. Dies liegt nicht zuletzt daran, daß letztere von der jeweiligen Applikation abhängt. Der störende Einfluß dieser Effekte läßt sich nur durch einen umsichtigen Schaltungsentwurf bewältigen.

- **Leckströme**

Bei der Entwicklung von Schaltungen in der SIMOX-Technologie für

hohe Temperaturen bis hin zu 300 °C kommt den thermisch bedingten Leckströmen eine besondere Bedeutung zu. Leckströme spielen in der digitalen Welt bei den heute üblichen Temperaturen bisher nur noch eine untergeordnete Rolle, da sie in der Regel vergleichsweise klein sind. Ihr starker Anstieg mit der Temperatur hat dabei "nur" zur Folge, daß die entwickelten Chips ab einer gewissen Temperatur ein Fehlverhalten zeigen und somit dort nicht mehr einsetzbar sind.

Bei der Entwicklung von Hochtemperaturelektronik muß die Zunahme der Leckströme jedoch berücksichtigt (und notfalls kompensiert) werden, um die Grenztemperatur, bei der das IC unbrauchbar wird, zu möglichst hohen Temperaturen hin zu verschieben. In der vorliegenden Arbeit wird daher dem Thema Leckstrom an allen relevanten Stellen besondere Aufmerksamkeit zuteil.

Dies hat ebenfalls Konsequenzen für die Stromversorgung, die mit steigender Temperatur zunehmend durch die Leckströme belastet wird. Außerdem bilden sich in der Metallisierung der Verdrahtungsebenen mit steigender Stromaufnahme der Schaltung Spannungsgradienten auf den Stromschienen aus, die die spezifikationsgemäße Funktion des HTPALs beeinflussen können.

- **Chipfläche**

Um einen möglichst hohen Integrationsgrad zu erreichen, soll das HTPAL eine hohe Zahl logischer Eingänge und Ausgänge erhalten. Meßbar ist die Komplexität durch die verhältnismäßig problematische Angabe der Zahl der Gatteräquivalente. Die Problematik ergibt sich daraus, daß verschiedene Technologien schlecht miteinander vergleichbar sind, verschiedene Bausteine innerhalb einer Technologie jedoch relativ gut (vergl. Abbildung (1)).

- **Verlustleistung**

Auch die Leistungsaufnahme spielt oft eine wesentliche Rolle bei der Auswahl eines Bausteins durch den Anwender. Die Abfuhr der Ver-

lustwärme ist bei HT-Bausteinen in der Regel relativ unkritisch, da eine deutliche Erwärmung der HT-Komponenten meist toleriert werden kann. Kritischer ist hier schon die Belastung der Energiequelle, zumal an unzugänglichen, heißen Einsatzorten oft auch keine externe Energiezufuhr möglich ist und man dann häufig auf Batterien mit kurzer Lebensdauer angewiesen ist.

Die Liste ließe sich sicherlich noch um einige Punkte erweitern. Im praktischen Einsatz wird sich zeigen, in welcher Richtung weitere Verbesserungen durch die Anwender gewünscht werden und welche Einsatzgebiete sich dadurch vielleicht noch zusätzlich erschließen lassen.

#### **1.4 Zusammenfassung**

In diesem Abschnitt wurde für die Hochtemperaturelektronik der Stand der Technik rekapituliert. Es wurde ein Zusammenhang zwischen der verwendeten Technologie (insbesondere deren minimale Strukturgröße) und der erreichbaren Integrationsdichte hergestellt. Die Abwägung der technischen und wirtschaftlichen Aspekte zeigt, daß es sinnvoll ist als nächsten HT-Entwicklungsschritt einen PAL-Baustein zu konstruieren.

## 2 Relevante Aspekte der SIMOX-Technologie

In den vorangegangenen Abschnitten wurden bereits mehrmals die verschiedenen Vorzüge der SIMOX-Technologie gestreift. Der folgende Abschnitt soll nun einen etwas genaueren Überblick über die verwendete Technologie geben. Neben der Abgrenzung zur Bulk-Technologie sollen auch die besonderen Eigenschaften von SOI-Chips dargestellt und begründet werden.

### 2.1 SOI-Technologien

SIMOX gehört zur Gruppe der sogenannten SOI-Technologien (*Silicon On Insulator*), bei denen sich ein dünner Siliziumfilm auf einem Isolator befindet. Der Film ist heute je nach Anwendung zwischen 50 nm und 50  $\mu\text{m}$  dick. Nur in diesem Film werden später die Bauelemente realisiert.

Da die Bauelemente bei geringen Filmdicken vertikal durch das vergrabene Oxid isoliert sind, benötigt man keine Isolationswannen wie in der Bulk-Technologie. Man kann die einzelnen Bauelemente daher vollständig dielektrisch isoliert voneinander aufbauen. Dies ermöglicht eine sehr effiziente Nutzung der zur Verfügung stehenden Fläche<sup>11</sup>.

Weiterhin treten keine Leckströme zum Substrat mehr auf, wodurch auch die Gefahr des damit verbundenen Latch-up-Effekts ([27]) nicht mehr besteht.

Die Literatur führt zudem noch eine Liste weiterer Vorzüge von CMOS-Bauelementen auf SOI-Wafern auf ([39]):

- Die verwendeten Bauelemente ähneln denen der Bulk-Technologie. Sie müssen somit nicht neu erfunden werden, sondern können mit leichten Modifikationen weiter verwendet werden. Die Modifikationen bestehen in der Regel aus Vereinfachungen, welche sich in der Einsparung von einigen Prozessschritten äußern.

---

<sup>11</sup>Die kleinsten SOI Transistoren (1996) wurden mit Quantendrähten hergestellt und haben eine Länge von 70 nm, eine Breite von 10 nm und bei einer Dicke von 1-2 nm nur ein Body-Volumen von  $10^{-18} \text{ cm}^3$ , was etwa  $10^4$  bis  $10^5$  Si-Atomen entspricht, [86].

- Aus den verringerten parasitären Kapazitäten ([58]) resultieren kleinere Zeitkonstanten für Schaltvorgänge und geringere Verlustleistungen.
- Wegen der reduzierten Leckströme können Schaltungen für einen Temperaturbereich bis zu 350 °C hergestellt werden.
- Die Isolation zum Substrat vermindert die Empfindlichkeit gegenüber strahlungsinduzierten Fehlern der Bauelemente. Das geringere Volumen der Aktivgebiete verringert die statistische Wahrscheinlichkeit des Auftretens von reversiblen Fehlfunktionen in Anwesenheit von ionisierender Strahlungen.
- Ein kleiner Subthreshold Swing ermöglicht die Herstellung von Bauelementen, die wegen ihrer besonders niedrigen Schwellspannungen sehr schnell arbeiten.

Die genannten Vorzüge führten auch bei den Branchenführern der Halbleiterindustrie bereits vor einigen Jahren dazu, Chips in SOI-Technologien zu fertigen (IBM 1998: [40], 1999: [41], Motorola 2000: [42]).

Zur Herstellung der SOI-Wafer gibt es eine Reihe von Verfahren, von denen hier einige genannt seien:

- Epitaktisches Abscheiden auf Saphir-Substraten (SOS – Silicon on Sapphire)  
Problematisch sind hier die großen auftretenden mechanischen Spannungen, die bei Abkühlung zwischen Substrat und Film auftreten.
- Rekristallisationsverfahren  
Hier wird polykristallines Silizium auf einem oxidierten Wafer abgeschieden und durch lokales Anschmelzen der Oberfläche mit anschließendem Abkühlen rekristallisiert. Nachteilig ist, daß sich größere, monokristalline Zonen nur sehr schwer herstellen lassen. Weiterhin neigt das geschmolzene Silizium dazu, aufgrund seiner Oberflächenspannung

Tropfen zu bilden; es entsteht so eine sehr rauhe Oberfläche. Die Rauigkeit nimmt mit sinkender Filmdicke zu.

- Laterale Epitaxie

Beim ELO Verfahren (*Epitaxial Lateral Overgrowth*) verwendet man kleine Saatfenster auf einem oxidierten Wafer, von denen aus ein kristalliner Siliziumfilm auf den Wafer aufwachsen kann. Die herstellbaren Filmdicken sind jedoch relativ groß und der Herstellungsprozeß ist kompliziert und teuer.

- Vergrabene Oxidation von porösem Silizium

Im FIPOS-Prozeß (*Full Isolation by Porous Oxidized Silicon*) benötigt man Gräben, um das isolierende Silizium zu oxidieren. Damit eignet sich das Verfahren eher zur Herstellung lokaler SOI-Inseln auf einem Wafer.

- Wafer-Bonding

Mit Hilfe eines zweiten (Handle-) Wafers, dessen Oberfläche oxidiert wurde, erzeugt man beim Bonden der Wafer aufeinander das vergrabene Oxid. Das gebondete Waferpaket wird anschließend von einer Seite her soweit gedünnt, daß zum Schluß nur noch der dünne Film übrig bleibt.

Der Marktführer im Bereich gebondete SOI-Wafer hat im Jahr 2000 bereits rund 1 Million dieser Wafer produziert und verkauft.

- Waferherstellung durch Sauerstoff-Implantation (SIMOX)

Dieses Herstellungsverfahren erscheint beim gegenwärtigen Stand der Technik am besten geeignet und liefert zudem hervorragende Ergebnisse.

Das SIMOX-Verfahren soll daher im folgenden Abschnitt noch etwas genauer dargestellt werden.

## 2.2 Die Herstellung von SIMOX-Wafern

SIMOX Wafer (*Separation by IMplantation of OXYgen*) werden durch die Implantation von Sauerstoffionen hergestellt.

Im ersten Schritt erfolgt eine Hochdosisimplantation von  $O^+$ . Die Ionen durchdringen den späteren aktiven Siliziumfilm und bilden in einer tieferen Waferschicht den vergrabenen Isolator (*buried oxide*). Die kinetische Energie der Sauerstoffionen bestimmt dabei die Eindringtiefe in die Oberfläche des Wafers und damit letztlich die spätere Filmdicke.

Der  $O^+$ -Prozeßschritt erfolgt bei hohen Temperaturen (ca. 600 °C, vergl. [22]), weil dann die Sauerstoffatome in die Oberfläche des Wafers eindringen können ohne die Kristallstruktur des späteren Si-Films an der Oberfläche massiv und dauerhaft durch ballistische Effekte zu schädigen. Die hohe Implantationstemperatur begünstigt das sofortige Ausheilen des kristallinen Si-Films noch während und direkt nach der Implantation.

Die Erwärmung geschieht zum einen durch ein Vorheizen des Wafers vor der Implantation, zum anderen durch die Umwandlung der kinetischen Energie der Sauerstoffionen in thermische Energie.

An die Implantation schließt sich eine Hochtemperaturtemperung bei mehr als 1300 °C an ([22]), bei der Kristalldefekte ausheilen können, die durch die sehr hohe Sauerstoff-Implantationsdosis entstanden sind.

Trotz dieser Maßnahmen erreichen die Eigenschaften des so entstandenen Siliziumfilms und auch des vergrabenen Oxids nicht die Qualität von Bulk-Silizium oder thermisch aufgewachsenen Oxiden. Zur Verwendung in CMOS-Schaltungen eignen sie sich trotzdem, solange man ihre besonderen Eigenschaften in ausreichendem Maße berücksichtigt.

Den genannten Nachteilen der SIMOX-Wafer stehen auf der anderen Seite die großen Vorzüge bei den Hochtemperaturanwendungen gegenüber. Für Temperaturen oberhalb von 200 °C sind die meisten anderen (Bulk-) Techno-

logien ohnehin nicht mehr sinnvoll (oder nur mit unverhältnismäßig großem Aufwand) verwendbar.

## 2.3 Leckströme

Definition:

Unter einem *Leckstrom* soll hier der unerwünschte Strom zwischen Drain und Source verstanden werden, der auch dann noch durch den Transistor fließt, wenn der Transistor durch sein Gatepotential<sup>12</sup> vollständig gesperrt sein sollte.

Die Leckströme von SIMOX-Transistoren liegen um etwa 3 Größenordnungen niedriger als die von vergleichbaren MOSFETs in konventioneller Technologie (vergl. [5]).

Neben den Absolutwerten ist auch das Temperaturverhalten der MOSFET-Leckströme in beiden Technologien unterschiedlich.

Die Leckströme bestehen dabei aus zwei Anteilen. Der Generations- / Rekombinationsstrom wird durch die thermische Generation von Ladungsträgern in der Raumladungszone verursacht. Sein Anteil ist proportional zur Eigenleitungsdichte ( $\sim n_i$ ) und verdoppelt sich etwa alle 10 °C. Dieser Anteil des Leckstroms dominiert bis zu einer Temperatur von 70...100 °C (vergl. [5], Abb 3.36).

Oberhalb dieser Temperatur dominiert der Diffusionsstrom. Dieser besteht ebenfalls aus thermisch generierten Ladungsträgern, die jedoch im neutralen Silizium generiert werden. Er steigt mit dem Quadrat der Eigenleitungsdichte ( $\sim n_i^2$ ) an und verdoppelt sich anschließend etwa alle 6 °C.

Aufgrund des geringeren Siliziumvolumens pro Aktivgebiet macht sich dieser Effekt in der SIMOX-Technologie erst bei sehr viel höheren Temperaturen (oberhalb 200 °C) bemerkbar. Diesem grundsätzlichen Unterschied verdankt

---

<sup>12</sup>Für N-Kanal-Transistoren bedeutet dies eine Gatespannung von  $U_{GS}^{(N)} = 0V$  (L-Potential).

die SIMOX-Technologie ihre Überlegenheit bei hohen Betriebstemperaturen.

Neben dem eigentlichen pn-Leckstrom existieren noch weitere Leckstromkomponenten, bzw. den Leckstrom verstärkende Faktoren. Durch geometrische Modifikation der Transistorlayouts (ausführlich diskutiert in [5]) lassen sich die genannten Leckstromquellen jedoch so stark reduzieren, daß sie die Funktion des HTPALs im gewünschten Temperaturbereich nicht beeinträchtigen.

Speziell die seitlich angebrachten Filmkontakte (Abbildung (2)) führen zu einer wesentlichen Verbesserung der Transistoreigenschaften bei hohen Temperaturen. Die Kontakte bilden pn-Übergänge zum Transistorkanal und erlauben so das Abfließen unerwünschter Ladungsträger aus dem Kanal.

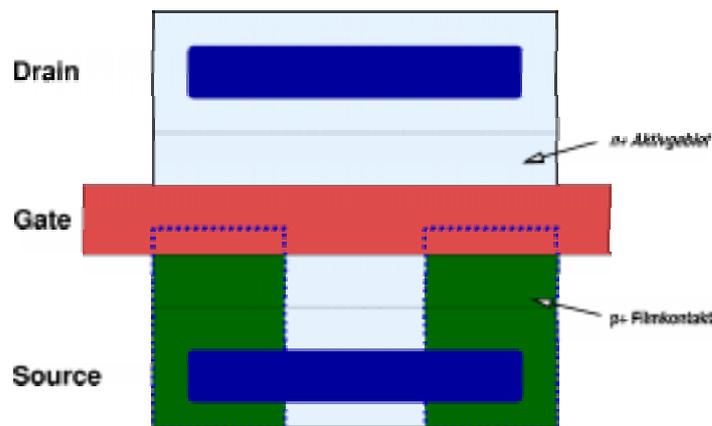


Abbildung 2: Die Filmkontakte an der Source-Seite von NMOS-Transistoren

Durch das Hinzufügen der Filmkontakte verlieren die SIMOX-Transistoren ihre Bidirektionalität, da die seitlichen Kontaktzonen parasitäre Dioden bilden. Werden diese Dioden in  $p^+p^-n^+$ -Richtung betrieben, so überlagert sich der Strom durch die Filmkontakt-Dioden mit dem (steuerbaren) Transistorstrom und macht dadurch letztlich eine präzise Steuerung des Transistors unmöglich.

SIMOX-Transistoren nach Abbildung (2) können daher nur unidirektional betrieben werden.

Die folgende Tabelle 1 gibt einen Überblick über die wichtigsten Leckstromquellen sowie die zu ihrer Unterdrückung ergriffenen Maßnahmen.

Effekt	Maßnahmen
Thermisch generierter Leckstrom	Verringerung des Volumens der Aktivgebiete durch Verwendung der SIMOX-Technologie.
Bipolarverstärkung	Einsatz von Filmkontakten an den Sourceanschlüssen der verwendeten Transistoren.
Seitenwandeffekte	Einsatz von Filmkontakten oder kantenlosen Transistorlayouts.

Tabelle 1: Leckstromquellen und ergriffene Maßnahmen

Details und eine genauere Diskussion der einflußnehmenden Parameter für das Layout von SIMOX-Transistoren finden sich in [5].

## 2.4 Eigenschaften der Standardbauelemente

Da sich in der SIMOX Technologie noch keine endgültigen Standards für die Layouts der verwendeten Transistoren herausgebildet haben, sollen in diesem Abschnitt die verwendeten Bauelementtypen kurz zusammengestellt werden.

Die in dieser Arbeit verwendeten Layouts basieren auf dem von [5] eingeführten Konzept der Einheitstransistoren. In diesem Konzept werden die grundlegenden Bauelemente (Transistoren, Dioden, usw.) einmalig optimiert und definiert. Um andere  $\frac{w}{l}$ -Verhältnisse<sup>13</sup> zu erzielen, werden eine entsprechende Anzahl von Grundelementen passend zusammengeschaltet (z. B. parallel, um  $w$  zu vergrößern).

Vorteil dieser Vorgehensweise ist vor allem, daß Parameterextraktion und Schaltungssimulation sicherer werden. Speziell im Bereich der Hochtemperaturrelektronik sind allgemeingültige Schaltungsmodelle für den obersten Temperaturbereich um 300 °C heute noch nicht ausgereift genug.

Die verwendeten Standardtransistoren finden auch in den SIMOX Standardzellen Verwendung und stehen in einer Cadence [17] Bibliothek zusammengefaßt zur Verfügung.

### 2.4.1 Schwellenspannungen, Backgate-Effekt

Die Höhe der Schwellenspannung der SOI-Transistoren wird im wesentlichen durch die Filmdicke, Filmdotierung und die Dicken der Oxidschichten an den Grenzflächen bestimmt. Für die Schaltungssimulation sind entsprechende Simulationsmodelle beschrieben worden, die den Einfluß dieser Parameter hinreichend gut beschreiben ([6], [7]).

---

<sup>13</sup>Verhältnis der Transistorweite zur Transistorlänge

Der unterschiedliche Aufbau von Bulk- und SIMOX-Transistoren führt außerdem bei den verwendeten SOI-Transistoren zum Auftreten des sogenannten Backgate-Effekts.

Wie bei den Bulk-MOSFETs liegt auch bei SOI-Transistoren das Steuergate oberhalb einer dünnen Oxidschicht, die das Gate vom Kanal isoliert. Zusätzlich existiert jedoch auch noch eine zweite Oxidschicht (die vergrabene Oxidschicht) unterhalb des aktiven Films. Das darunter liegende Substrat kann (ähnlich dem normalen Gate) ebenfalls eine Steuerwirkung auf den Kanal ausüben.

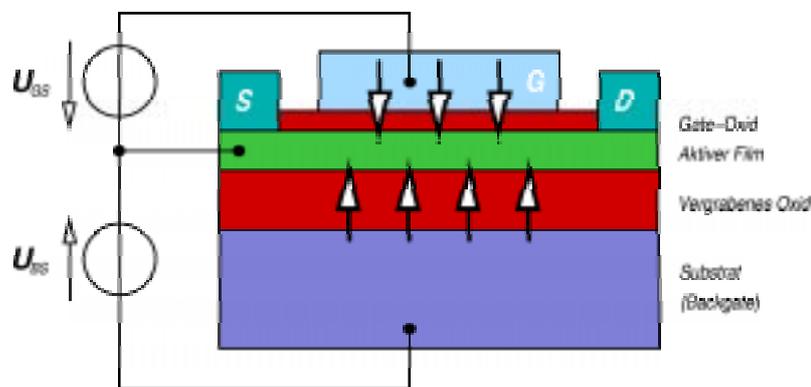


Abbildung 3: Über das Backgate (Substrat, unten) kann man ebenfalls eine Steuerwirkung auf den Kanalbereich ausüben

In erster Näherung ([2]) verhält sich die Backgate-Source-Schwellschwellenspannung  $U_{th}^{(BS)}$  zur Schwellenspannung des vorderen Interfaces  $U_{th}^{(GS)}$  wie die Dicke des vergrabenen Oxids  $d_{box}$  zur Dicke des Gateoxids  $d_{ox}$ :

$$U_{th}^{(BS)} = \frac{d_{box}}{d_{ox}} U_{th}^{(GS)} \quad (2.1)$$

Wird die Backgate-Spannung beim NMOS-Transistor im linearen Bereich weiter erhöht, so bildet sich eine Inversionsschicht an der hinteren Grenzfläche zum vergrabenen Oxid aus. Es entsteht ein leitender Kanal, welcher nicht durch die vordere Gate-Elektrode steuerbar ist.

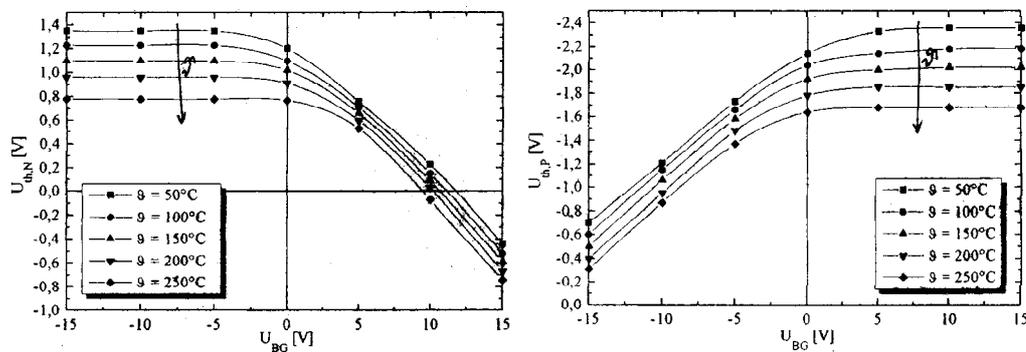


Abbildung 4: Schwellenspannungen von NMOS- (links) und PMOS-Transistoren (rechts) in Abhängigkeit vom Potential des Backgates und der Temperatur (aus [5]).

Für Backgate-Spannungen  $U_{BS}$  unterhalb von 0 V beobachtet man bei NMOS-Transistoren (Abbildung (4), links) eine zunehmende Unabhängigkeit der vorderen Schwellenspannung  $U_{th}^{(GS)}$  von der Backgate-Spannung  $U_{BS}$ . Die hintere Grenzfläche des Transistors befindet sich in diesem Fall in Akkumulation; die Akkumulationsschicht schirmt den Siliziumfilm gegen das Backgate-Potential ab.

Oberhalb von 0 V geht die hintere Grenzfläche des Transistors in den Zustand der Verarmung über. Es ergibt sich daraus eine lineare Abnahme der Schwellenspannung mit steigender Backgate-Spannung. Die temperaturbedingte Abnahme der Schwellenspannung ist dabei im Zustand der Verarmung geringer als bei Akkumulation (vergl. Abbildung (4), links).

Den Einfluß des Backgate-Effekts kann man bei NMOS-Transistoren in der Regel dadurch eliminieren, daß man das Backgate (Substrat) mit dem niedrigsten Potential verbindet, das in der Schaltung verfügbar ist ([2]).

Ein Aufsteuern über das Backgate tritt dann unabhängig von der Versorgungsspannung nicht mehr auf<sup>14</sup>.

<sup>14</sup>NMOS-Transistoren weisen dann jedoch noch bis zu einer Source-Spannung von etwa 5 V (entsprechend  $U_{BS} = -5$  V) eine Verschiebung ihrer Schwellenspannung auf, deren Auswirkungen sich besonders bei analogen Schaltungen zeigen ([5])

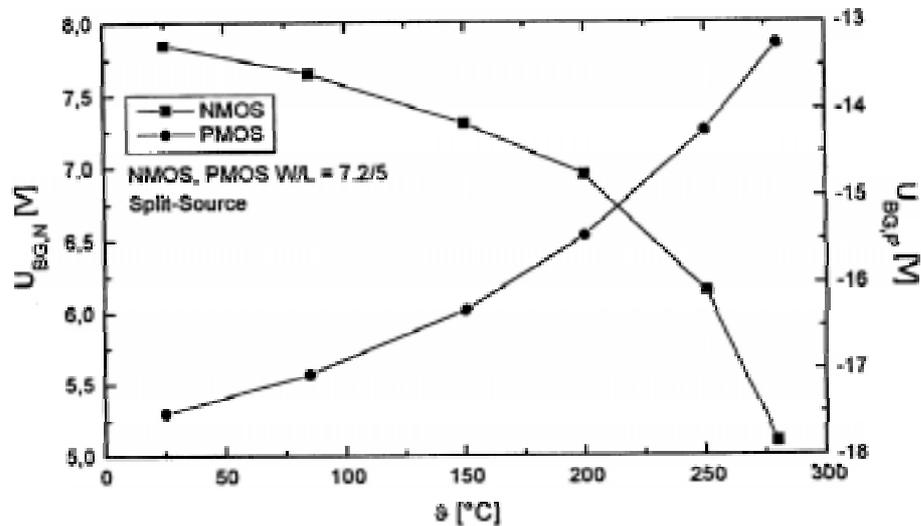


Abbildung 5: Backgate-Spannung  $U_{BS}$  zur Erzielung eines Inversionsstroms von 100 nA am hinteren Interface eines NMOS- und PMOS-Transistors in Abhängigkeit von der Temperatur  $\vartheta$  (aus [2]).

Zur Verdeutlichung dieses Effektes wird in Abbildung (5) die erforderliche Backgate-Spannung an einem NMOS-Transistor dargestellt, die bei  $U_{GS} = 0$  V zu einem Kanalstrom von 100 nA am hinteren Interface führt. Die erforderliche Spannung für den Inversionsstrom liegt bei Raumtemperatur knapp unterhalb von 8 V, nimmt aber mit steigender Temperatur stark ab.

Ungünstiger sind die Verhältnisse bei den PMOS-Transistoren. Die Backgate/Source-Spannung  $U_{BS}$  ist hier stets negativ. Wie in rechten Diagramm von Abbildung (4) zu erkennen, betrifft dies den linearen Bereich der Abhängigkeit der Schwellenspannung von der Backgate-Spannung. Die Schwellenspannung des PMOS-Transistors ist hierbei so eingestellt, daß sich bei einer Betriebsspannung von 5 V ein Wert von  $-2$  V (25 °C) ergibt.

Ist die Betriebsspannung einer Schaltung allerdings hoch genug, so steuert ein PMOS-Transistor nach Abbildung (5) über das Backgate auf.

Dieser Fall ist im Hinblick auf die Realisierung des hier vorgestellten HTPALs von Bedeutung: die Programmierspannungen für die PROM-Zellen liegen typischerweise deutlich oberhalb von 10 V.

Alle Schaltungsteile, welche für die Steuerung der Programmierspannung verantwortlich sind, müssen daher ohne PMOS-Transistoren realisiert werden.

#### 2.4.2 SIMOX Multigate Transistoren

Die Forderungen nach einem kompakten Aufbau einzelner Zellen lassen sich mit Hilfe von Multigate-Transistoren besonders gut erfüllen. SIMOX Multigate Transistoren der hier verwendeten Struktur wurden von [4] eingeführt und beschrieben.

Die folgende Abbildung (6) zeigt das Layout eines NMOS-Multigate-Transistor in SIMOX-Technologie.

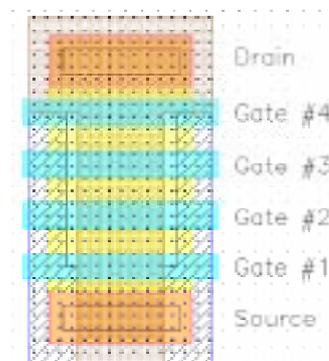


Abbildung 6: Multi-Gate-Transistoren in SIMOX-Technologie mit vier Gates. Am beiden Rändern des Aktivgebiets sind die niedrig dotierten Gebiete zu erkennen, die parasitäre Ströme unterdrücken.

Im unteren Teil von Abbildung (6) erkennt man die Split-Source-Kontakte, die typisch für alle HT-SIMOX-Transistoren sind. Deutlich sichtbar sind zudem die vier quer liegenden Gates über dem Transistoraktivgebiet.

Der Kanalbereich zwischen Source und Drain wird an beiden Seiten durch niedrig dotierte Gebiete begrenzt. Diese Zonen sind erforderlich, um parasitäre Ströme zu reduzieren:

Bei hinreichend hohen Spannungen beginnen Elektronen durch die Raumladungszone eines in Sperrichtung gepolten pn-Übergangs zu tunneln. Die Tunnelwahrscheinlichkeit (und damit die Größe des Tunnelstroms) hängt dabei von der Breite der Raumladungszone ab. Zonen mit hoher Dotierung (vergl. [34]) sind daher besonders ungünstig und fördern außerdem den Zener effekt.

Mit Hilfe eines niedrig dotierten Gebietes zwischen den hochdotierten Gebieten läßt sich die Weite der Raumladungszone vergrößern. Auf diese Weise läßt sich der auftretende Zener-Leckstrom deutlich verringern; er hat dann keinen negativen Einfluß mehr auf die Funktionalität der aufgebauten Schaltungen. Mit steigender Temperatur nimmt außerdem die Tunnelwahrscheinlichkeit ab, so daß auch in diesem Fall kein Zenerdurchbruch zu erwarten ist.

### 2.4.3 SIMOX Kondensatoren

Die nachfolgende Abbildung (7) zeigt den Aufbau von SIMOX-Kondensatoren. Der linke Teil der Skizze zeigt einen gewöhnlichen Kondensator, wie er von der Standardbibliothek zur Verfügung gestellt wird. Der Kondensator wird in diesem Fall durch den aktiven Film und den Poly-Layer gebildet, die durch eine SiO<sub>2</sub>-Schicht getrennt sind.

Der Kapazitätsbelag kann direkt aus der Geometrie des Kondensators bestimmt werden und stimmt gut mit Kontrollmessungen (vergl. [5]) an fertig prozessierten Wafern überein.

Er beträgt etwa  $C'_1 = 858,5 \frac{\text{aF}}{\mu\text{m}^2}$  (1 aF = 10<sup>-18</sup> F, vergl. Anhang C, Tabelle 12 auf Seite 174).

An einigen Stellen werden jedoch relativ 'große' Kondensatoren benötigt, vor allem zur Stabilisierung und zur Realisierung von verhältnismäßig großen Zeitkonstanten ( $\sim 1$  ms). In diesen Fällen ist die geometrische Größe des Kondensators wichtiger als eine hohe Genauigkeit des Kapazitätswertes. Die Struktur aus der folgenden Abbildung (7) (links) kann dazu mit zusätzlichen Schichten aus Metall-1 und Metall-2 abgedeckt werden (Abbildung (7), rechts), um die Kapazität um einige Prozent zu vergrößern.

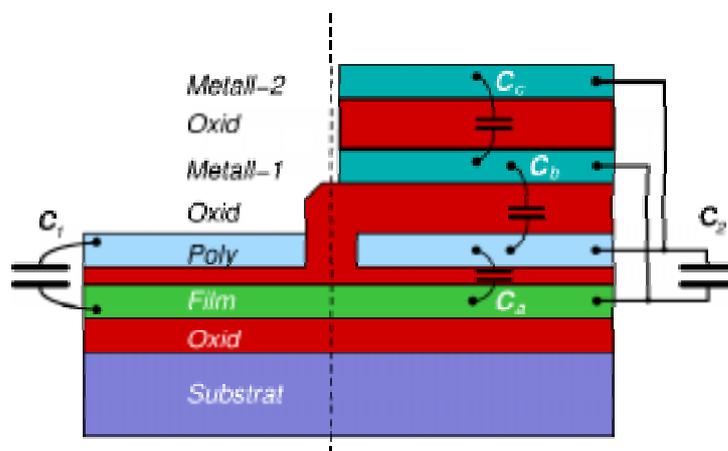


Abbildung 7: Links ein einfacher SIMOX-Kondensator mit einem Kapazitätsbelag von  $C'_1 = 858,5 \frac{\text{aF}}{\mu\text{m}^2}$ , der aus PolySi, dem aktiven Film und dem Kondensatoroxid gebildet wird. Im rechten Teil ein gestapelter Kondensator, der zusätzlich mit zwei Metall-Schichten abgedeckt ist und dadurch einen Kapazitätsbelag von  $C'_2 = C'_a + C'_b + C'_c = 942,5 \frac{\text{aF}}{\mu\text{m}^2}$  erreicht.

Der Kapazitätsbelag  $C'$  zwischen Metall-1 und dem PolySi-Gate beträgt dabei allerdings nur  $45,8 \frac{\text{aF}}{\mu\text{m}^2}$ , diejenige zwischen Metall-1 und Metall-2 sogar nur  $38,2 \frac{\text{aF}}{\mu\text{m}^2}$ . In der Summe erhöht sich der Kapazitätsbelag auf  $942,5 \frac{\text{aF}}{\mu\text{m}^2}$ , was einem Gewinn von etwa 9 % gegenüber der Standardstruktur entspricht.

Der vergrößerte Kapazitätsbelag ermöglicht eine direkt proportionale Verkleinerung der Kondensatorabmessungen. Man erkaufte sich diesen Gewinn mit einem Verlust an Genauigkeit; die Dicke der Oxidschichten zwischen den Metallebenen ist in der Regel größeren produktionsabhängigen Schwankungen unterworfen. Es ist daher immer zu überprüfen, ob die geometrischen

Vorteile solch 'ungenauer' Kondensatoren wirklich die Genauigkeitsnachteile überwiegen.

## 2.5 Inverter

An vielen Stellen der vorliegenden Arbeit werden eine P- und eine N-Transistorstruktur zu einem Inverter verschaltet. Die Inverter treten dabei in mehreren Grundtypen auf, deren Eigenschaften hier kurz einander gegenübergestellt werden sollen.

Das verschiedene elektrische Verhalten der einzelnen Typen wird von den unterschiedlichen Beweglichkeiten der Majoritätsträger in den P- und N-Strukturen bestimmt. Die Auswahl eines geeigneten Inverters hängt darüber hinaus auch noch von der benötigten  $U_{DS}$ -Spannung ab.

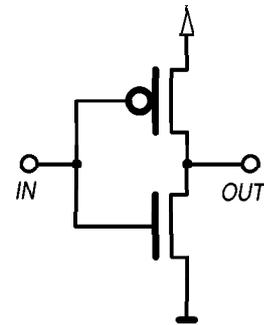


Abbildung 8: CMOS Inverter

- PSOI- und NSOI- Transistoren minimaler Größe 1:1 haben nur den minimalen Flächenbedarf. Die Schaltschwelle dieser Inverter liegt jedoch relativ niedrig.
- PSOI- und NSOI- Transistoren im Größenverhältnis 3:1 haben den doppelten Flächenbedarf der Minimalstruktur, jedoch liegt hier der Umschaltpunkt am genauesten in der Mitte zwischen der Versorgungsspannung und GND.
- PSOI- und NSOI- Transistoren im Größenverhältnis 2:1 sind ein guter Kompromiß zwischen Flächenbedarf und Schaltsymmetrie. Dieser Invertertyp wird mit Abstand am häufigsten benutzt.
- NSOI-Transistoren mit Pull-up-Widerstand  
Dieser statische Invertertyp (vergl. Abbildung (9)), der auch aus der NMOS-Schaltungstechnik ([78]) bekannt ist, findet überall dort

Verwendung, wo hohe Betriebsspannungen den Einsatz von PMOS-Transistoren nicht ermöglichen (Hauptgrund: der Backgate-Effekt, vergl. Abschnitt 2.4.1 auf Seite 20).

Die bei den statischen NMOS-Invertern auftretenden Verluste sind erheblich höher als jene in der CMOS-Schaltungstechnik, da je nach Logikzustand permanente Querströme fließen können. Dennoch bieten sie häufig eine besonders einfache Möglichkeit zur Pegelumsetzung etwa von den Logikpegeln (5 V) auf die Programierspannungspegel (25 V).

Die Auswahl des jeweils geeigneten Invertertyps wird also in Abhängigkeit von den hier genannten Eigenschaften getroffen.

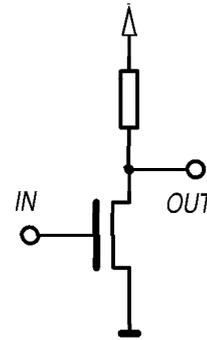


Abbildung 9: NMOS Inverter

## 2.6 Zusammenfassung

In diesem Abschnitt wurde die verwendete SIMOX-Technologie mit ihren Standardbauelementen kurz beschrieben. An denjenigen Stellen, wo sich die HT-Bauteile deutlich von den Bauteilen für gewöhnliche Temperaturbereiche unterscheiden, wurden dabei deren Besonderheiten herausgestellt. Zum gegenwärtigen Zeitpunkt kann man die Entwicklung der bisher vorgestellten Bauelemente als abgeschlossen betrachten.

Im nachfolgenden Abschnitt soll nun ein neues Bauelement vorgestellt und in die SIMOX-Technologie eingeführt werden.

### 3 TOXFET OTP Zellen

Die dauerhafte Programmierung des HTPALs erfordert eine langzeitstabile, nichtflüchtige Speicherung der gewählten Logikkonfiguration im Inneren des Bausteins. Diese muß auch den zu erwartenden, rauen Umgebungsbedingungen, insbesondere hohen Temperaturen, ausreichend standhalten.

Um diese Anforderung zu erfüllen, wurde das HTPAL mit einem PROM<sup>15</sup>-Speicher ausgerüstet. Die kleinsten Speichereinheiten (Bitzellen) darin bilden die OTPs (One-Time Programmables).

Die verwendeten OTP-Zellen werden mit dieser Arbeit neu in die SIMOX-Technologie eingeführt und in ihren Eigenschaften charakterisiert.

Im folgenden soll unter OTP immer eine einzelne, programmierbare Zelle verstanden werden, während der Begriff PROM (Programmable Read Only Memory) für eine ganze funktionale Einheit aus OTPs und ihre Ansteuerung verwendet wird.

#### 3.1 Bedeutung von OTP Zellen

Einmalig programmierbare Speicherelemente (One-Time Programmables, OTPs) erfahren heute technologieübergreifend eine stetig wachsende Bedeutung. Funktionell sind diese Elemente dadurch charakterisiert, daß man sie nur ein einziges Mal auf einen digitalen Wert programmieren kann, der dann für ihre gesamte Lebensdauer unverändert bleibt.

In der Regel werden OTPs bereits zu einem frühen Zeitpunkt im Lebenszyklus eines Produktes programmiert (etwa mit einer Seriennummer). Es gibt jedoch auch eine Reihe von Anwendungen, bei denen die Programmierung über längere Zeiträume erfolgt (etwa bei Telefonkarten).

---

<sup>15</sup>Programmable Read-Only Memory

Aus der Vielfalt der Verwendungsmöglichkeiten seien hier einige wenige Anwendungen exemplarisch aus dem industriellen Umfeld herausgegriffen und kurz kommentiert:

- **Chip-Individualisierung**

Bei jeder Serienproduktion ist die Individualisierung der einzelnen Produkte wünschenswert. Hieraus ergeben sich auf der einen Seite Vorteile für den Hersteller, da er Fehlern in der Produktion leichter auf den Grund gehen kann. Auf der anderen Seite entsteht parallel ein zusätzlicher Nutzen beim Endkunden, wenn sich eine Software z. B. automatisch und ganz exakt auf die jeweils verwendete Version der Hardware einstellen kann.

Außerdem gewinnen beide Aspekte dadurch steigende Bedeutung, daß die vom Gesetzgeber vorgeschriebenen Garantiezeiten immer weiter verlängert werden. Die Hersteller sind so ständig gefordert, ihre Produktionsprozesse zu optimieren. Ohne die Individualisierung der Chips beim Hersteller ist jedoch eine Ausfallparameteranalyse der Produkte nach Auslieferung kaum mehr möglich: beanstandete Produkte können dann kaum mehr einer bestimmten Charge zugeordnet werden.

Dem unbestreitbaren Gewinn für die Endkunden steht ohne die Individualisierung eine enorme Kostensteigerung auf Seiten der Hersteller gegenüber.

- **Abgleich (Factory Calibration)**

Am Ende der Fertigung technischer Produkte findet häufig ein Abgleich statt. Der Abgleich verläuft kostensparender, wenn er computergesteuert und ohne viele mechanische Teile erfolgen kann.

Mit OTP-Zellen können Nullpunktabgleiche und die Anpassung von Parametern einer Schaltung einfach und vor allem sehr schnell vorgenommen werden. Verglichen mit anderen Verfahren (Lasercutter, Lasertrimmung) benötigt die Programmierung von OTPs sehr viel weniger technischen Aufwand.

Als Einsatzgebiet kommt daher die gesamte Sensortechnik in Frage, insbesondere auch der Bereich der "intelligenten" Smart Sensors.

- Konfiguration

Mit der steigenden Integrationsdichte wurde in den vergangenen Jahren ein Punkt überschritten, ab dem es immer häufiger wirtschaftlich erscheint, redundante Funktionen auf den Chips unterzubringen. Defekte Baugruppen lassen sich am Ende der Produktion einfach abschalten. Insgesamt kann auf diese Weise die Ausbeute erhöht werden.

Die hohe Integrationsdichte ermöglicht außerdem die Produktion generischer Chips, die erst am Fertigungsende personalisiert werden. Man denke in diesem Zusammenhang etwa an PALs, FPGA-Bausteine, Gate-Arrays und viele andere Bausteinvarianten, die erst durch die dauerhafte Programmierbarkeit sinnvoll nutzbar wurden.

Eine spezielle Form der programmierbaren Bausteine sind die feldprogrammierbaren Chips. Letztere werden nicht bereits am Ende der Fertigung programmiert, sondern erst später vom Kunden selbst. Der Kunde erhält so einen quasi-kundenspezifischen Chip zum sehr attraktiven Preis eines Massenprodukts. Zudem sind Änderungen jederzeit und ohne lange Vorlaufzeiten flexibel möglich.

Der primäre Markt für konfigurierbare Chips wird heute von den FPGAs und den zahlreichen verwandten Bauelementen beherrscht.

- Investitionsschutz (IP-Protection)

Um das jeweilige firmeneigene Know-how zu schützen, enthalten viele Chips eine Schutzschaltung, die das nachträgliche Auslesen der Programmierung verhindert. Man versucht so sicherzustellen, daß konkurrierende Marktteilnehmer Nachahmerprodukte nicht ohne eigene Forschungsinvestitionen auf den Markt bringen können.

Neben den aufgeführten Beispielen ist eine Vielzahl weiterer Einsatzmöglichkeiten vorstellbar. Man kann daher mit einer gewissen Berechtigung festhal-

ten, daß die Bedeutung von OTP-Zellen so hoch ist, daß sie in keiner Standardtechnologie fehlen sollten. Dies gilt umso mehr, je höher die Integrationsdichte einer Technologie ist.

### 3.2 Stand der Technik bei programmierbaren Zellen

In der SIMOX-Technologie waren bisher nur EEPROM-Zellen als programmierbare Elemente verfügbar. EEPROMs sind jedoch im Aufbau relativ komplex und zudem bei hohen Temperaturen nicht ausreichend langzeitstabil.

Die aus den Technologien für 'normale' Temperaturen bekannten Fuses können im HT-Bereich nicht eingesetzt werden. Fuses sind im Prinzip einfach schmale Leiterbahnzüge, die durch einen kurzzeitigen hohen Stromfluß geschmolzen und aufgebrochen werden. Diese Vorgehensweise funktioniert mit Aluminium (Schmelztemperatur<sup>16</sup> von Aluminium:  $T_S^{[Al]} = 660 \text{ °C}$ ) als Metallisierung durchaus zufriedenstellend, verbietet sich jedoch bei der Verwendung von Wolfram. Der Schmelzpunkt von Wolfram liegt mit  $T_S^{[W]} = 3410 \text{ °C}$  gut einen Faktor von 5 höher, als derjenige des Aluminiums. Zum Aufschmelzen einer Fuse wäre somit ein entsprechend vergrößerter Strom erforderlich. Derartige Ströme lassen sich in integrierten Schaltungen schlecht handhaben und benötigen in jedem Fall sehr großflächige Transistoren.

Ein anderes Problem der Fuses ist, daß sie fast ungeschützt auf der Oberfläche des Wafers liegen. Hier sind sie vielen äußeren Einflüssen ausgesetzt; im Extremfall ist es sogar denkbar, daß sich ihr Programmierzustand durch äußere Einwirkung verändert.

Schließlich kennt man von Aluminium-Fuses noch das Problem, daß durch Programmierung unterbrochene Fuses im Laufe des Betriebs durch Elektromigration wieder zusammenwachsen können. Aufgrund der deutlich höheren Schmelztemperatur von Wolfram ist anzunehmen, daß dieser Effekt für Wolfram-Leiterbahnen von eher untergeordneter Bedeutung ist. Die Unter-

---

<sup>16</sup>Quellennachweise für die genannten Materialkonstanten befinden sich in Anhang G.2 ab Seite 184.

suchung von Metall-Fuse-Strukturen war jedoch nicht Ziel der vorliegenden Arbeit.

Bei der Entwicklung eines HT tauglichen EEPROMs entstanden auch die ersten Vorüberlegungen ([2]) für HT geeignete PROM Zellen vom OTP-Typ, da man an EEPROM-Zellen durch Anlegen einer ausreichend hohen Spannung ebenfalls eine Verbindung erzeugen kann.

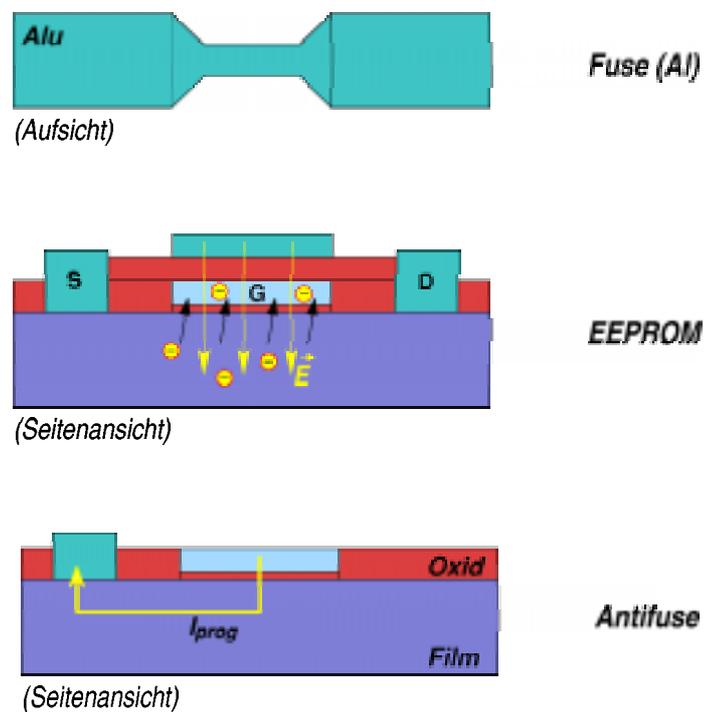


Abbildung 10: Verschiedene Varianten von OTP-Technologien; oben eine Aufsicht auf eine "schmale" Al-Leiterbahn, die durch einen hohen Strom *unterbrochen* (Fuse) werden kann; in der Mitte eine EEPROM-Zelle, bei der Elektronen in Anwesenheit einer hohen Steuerelektroden-Spannung vom Transistorkanal in das Floating Gate tunneln und dort verbleiben; unten die neue OTP-Zelle, bei der der Kontakt durch einen hohen Tunnelstrom *hergestellt* (Anti-Fuse) wird.

Abbildung (10) zeigt eine Übersicht dreier üblicher OTP-Technologien. Neben den Fuses und den EEPROMs ist darunter noch ein dritter Typ von OTP-Zelle dargestellt, eine sog. Antifuse.

Silizium verfügt mit  $SiO_2$  über ein natürliches thermisches Oxid, das als Dielektrikum in mikroelektronischen Bauelementen hervorragend geeignet ist.

Die Antifuse wird im Prinzip aus drei Komponenten gebildet: einem Anschluß aus polykristallinem Silizium, einem Anschluß über das SOI-Filmsubstrat und einer trennenden Oxidschicht von sehr geringer Dicke.

Bei der Oxidschicht handelt es sich um ein Tunneloxid, wie es auch zum Aufbau von EEPROMs verwendet wird. Bei der hier untersuchten Technologievariante handelt es sich um Oxid von lediglich 9 nm Dicke.

Die Programmierung der Antifuse erfolgt durch das Anlegen einer hinreichend hohen Programmierspannung. Nachdem das Oxid durchgebrochen ist, entsteht ein sehr dauerhafter Kontakt zwischen der oberen Poly-Elektrode und dem leitenden Film darunter. Die hierzu erforderlichen Ströme sind sehr gering und können daher ggf. auch on-chip erzeugt werden.

Ein weiterer Vorteil der Struktur liegt darin, daß die Antifuses tief unter der Oberfläche des Wafers liegen. Sie sind somit keinen potentiell schädigenden Umwelteinflüssen ausgesetzt. Es ist daher zu erwarten, daß sich so sehr langlebige OTPs realisieren lassen.

Da weder Aluminium noch Wolfram beim Aufbau der Antifuses zum Einsatz kommen, ist diese Struktur auch im Bereich der Hochtemperatur-Anwendungen einsetzbar und besitzt zudem gegenüber den EEPROMs noch den Vorteil einer deutlich höheren erzielbaren Bitdichte.

Neben den hier vorgestellten Poly-Substrat-Antifuses gibt es in anderen Technologien auch noch die Intermetall-Fuses (z. B. [53] und [54] von Actel). Da Intermetall-Fuses jedoch einen gänzlich verschiedenen Aufbau haben und zusätzliche technologische Fertigungsschritte erfordern, werden sie im Rahmen dieser Arbeit nicht behandelt.

### 3.3 Teststrukturen für Antifuses

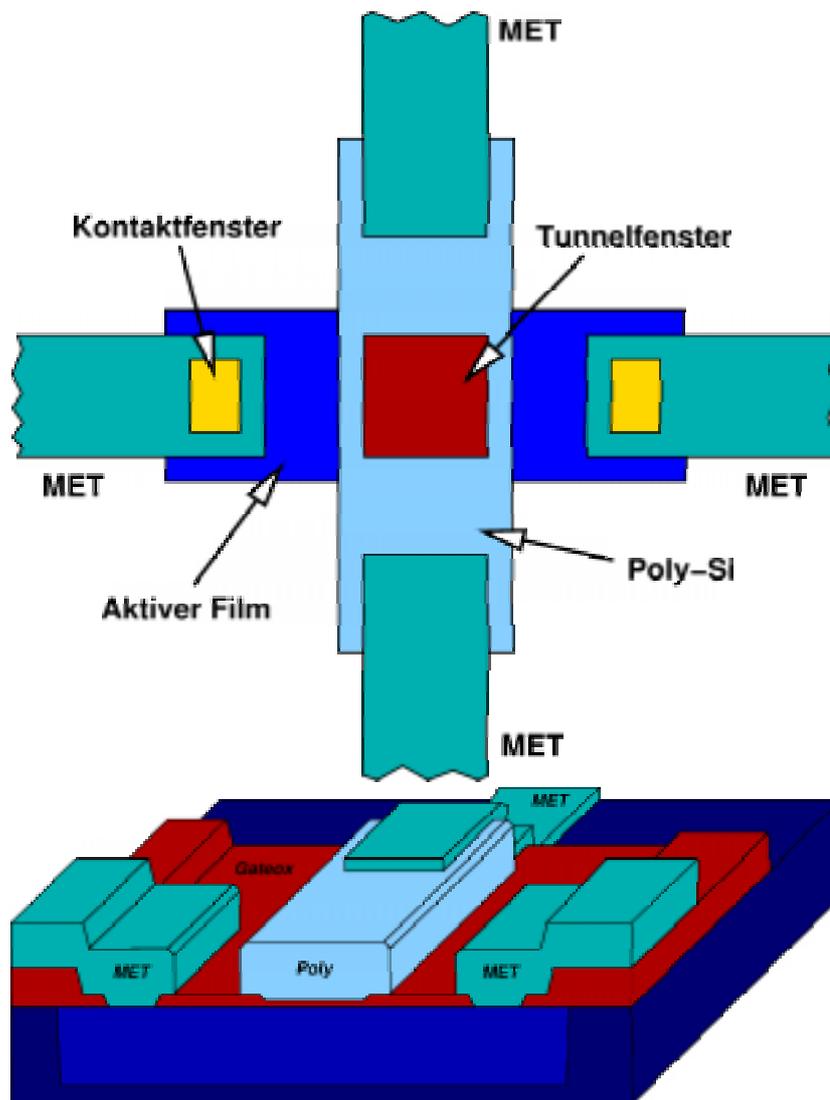


Abbildung 11: Aufbau einer TOXPROM-Zelle, hier ähnlich einer Kelvinstruktur (quasi gekreuzte Leiterbahnen mit einem Tunneloxid dazwischen) realisiert. Oben in der Aufsicht, unten in einer seitlichen Ansicht.

Abbildung (11) zeigt den Aufbau einer einfachen Antifuse in Auf- und Seitenansicht. Es handelt sich um eine verhältnismäßig einfache Teststruktur (ähnlich einer Kelvin-Struktur<sup>17</sup>), die an vier Punkten kontaktiert ist.

Der Übersicht halber sind einige weitere Vereinfachungen vorgenommen worden: im oberen Teil von Abbildung (11) ist das normale Feld- und Gateoxid nicht mit dargestellt, welches die Metall- und Poly-Bahnen vom Substrat isoliert. Die genaue Lage dieses Oxids ist aber aus der unteren Skizze in Abbildung (11) ersichtlich.

Weiterhin sind die Filmteile nicht dargestellt, welche die aktiven Zonen umgeben. Schließlich fehlt noch der vergrabene Isolator unterhalb der ganzen Teststruktur, sowie das tragende Substrat darunter. Die nicht dargestellten Teile sind für die Funktion des Bauelementes von geringer Bedeutung und können daher einstweilen vernachlässigt werden.

Zur Realisierung einer PROM-Zelle sind zwei Kontakte ausreichend. Die beiden zusätzlichen Kontakte an der Teststruktur erlauben jedoch eine weitaus präzisere Messung des ohmschen Widerstandes der Zelle im programmierten Zustand ([45], [46], [47]), sowie die Veränderungen des Bahnwiderstands im aktiven Film, die durch den Programmiervorgang bedingt sind.

Die Programmierspannung wird somit so angelegt, daß sie über dem dünnen Tunneloxid des Fensters in der Mitte abfällt.

Eine Zelle, die aus zwei Anschlüssen und einem dazwischenliegenden, dünnen Oxid besteht, wird im folgenden als TOXPROM bezeichnet. Es ist unmittelbar erkennbar, daß die Struktur der Zelle relativ einfach ist, sowie leicht und flächeneffektiv zu realisieren.

---

<sup>17</sup>Bei einer Kelvin-Struktur kreuzen sich in der Regel die beiden Leiterbahnen nicht, sondern sind jeweils so um 90° abgewinkelt, daß sie sich nur mit ihren Ecken überdecken; vergl. [46], [47]

### 3.4 Speichermatrizen

Sollen die OTP-Zellen zu einer Speichermatrix verbunden werden (PROM), treten zusätzliche Schwierigkeiten auf. Die folgenden Abbildungen zeigen zwei Speichermatrizen, die jeweils als Dioden-PROM und als Transistor-PROM realisiert wurden. Beide Varianten haben ihre typischen Vor- und Nachteile.

#### 3.4.1 Diodenmatrizen

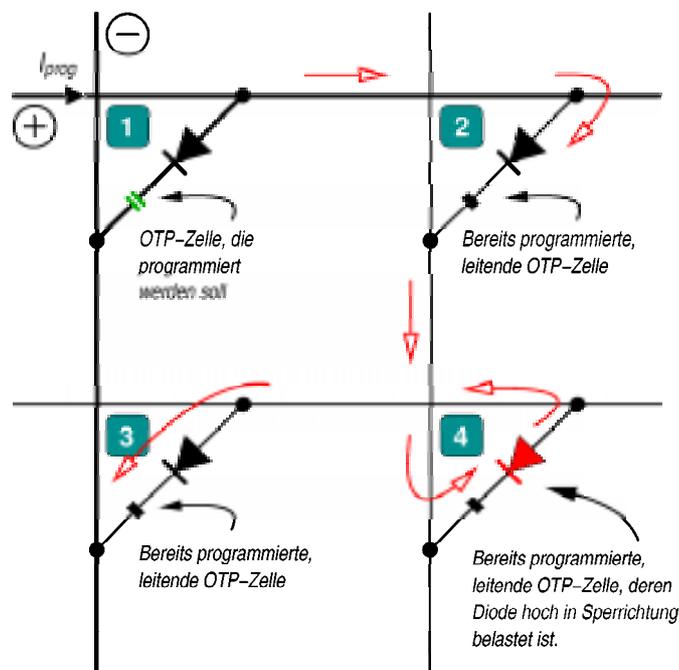


Abbildung 12: Diodenmatrix. Dargestellt sind die horizontalen Zeilenleitungen und die vertikalen Spaltenleitungen. An den dick durchgezogenen Leitungen liegt die Programmierspannung an. Die OTP-Zelle 4 wird durch die anliegende Programmierspannung stark belastet.

Der Hauptvorteil der Diodenmatrix in Abbildung (12) liegt in der besonders kompakten Bauweise. Im Hinblick auf den Platzbedarf kann zudem die Diode mit dem Tunneloxid zu einem einzigen Bauteil verbunden werden.

In Abbildung (12) ist der Betriebsfall dargestellt, daß das TOXPROM 1 programmiert werden soll. Die Zellen 2, 3 und 4 sind jedoch bereits programmiert und daher leitend. Die Pfeile in Abbildung (12) kennzeichnen den Weg eines parasitär fließenden Stroms.

Man kann in der Abbildung erkennen, daß nun nicht nur das dünne Tunneloxid durch die Programmierspannung belastet wird, sondern auch die Diode an Antifuse 4. Ebenso wie an TOXPROM 1 tritt auch an der Diode von TOXPROM 4 beim Programmieren ein großer Tunnelstrom auf, der die Funktion der Diode durch das hohe Strom-Spannungs-Produkt dauerhaft beeinträchtigen kann.

Hierdurch ist die Funktionsfähigkeit des gesamten PROMs bedroht.

Ein ähnliches Problem tritt auch dann auf, wenn eine der Zellen 2, 3, oder 4 noch nicht programmiert wäre. In diesem Fall würde die Programmierspannung dort ebenfalls wirksam und es kommt zu einer hohen Streßbelastung des dortigen TOXPROM-Oxids.

### 3.4.2 Transistormatrizen

Eine in verschiedener Hinsicht bessere Lösung stellt die Transistor-Matrix dar, die in der folgenden Abbildung (13) dargestellt ist.

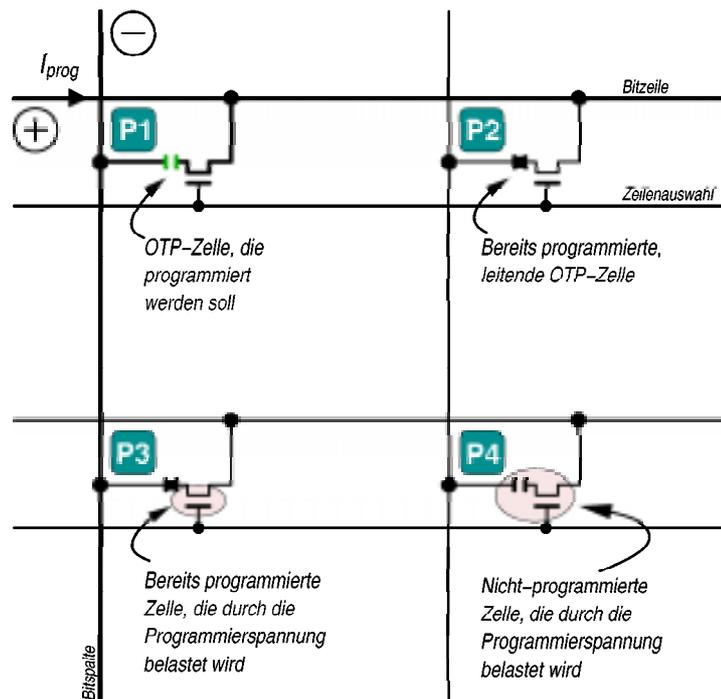


Abbildung 13: Transistormatrix. Dargestellt sind die horizontalen Bit- und Auswahlleitungen, sowie die vertikalen Spaltenleitungen. An den dick durchgezogenen Leitungen liegt die Programmierspannung an, deren Polarität oben eingezeichnet ist. Bei der Programmierung von Zelle P1 werden die Zellen P3 und P4 ebenfalls belastet, allerdings deutlich weniger als in der Diodenmatrix aus Abbildung (12).

In Abbildung (13) ist ein ähnlicher Betriebsfall dargestellt: hier soll P1 programmiert werden, während P2 und P3 bereits programmiert sind. P3 und P4 werden während des Programmiervorgangs ebenfalls belastet. Die Belastung ist jedoch nicht mit dem Dioden-PROM vergleichbar, weil sich der Programmierstrom hier aufteilt: Der Widerstand<sup>18</sup> im gewünschten Zweig der

<sup>18</sup>Im nicht-programmierten Zustand fließt durch P1 nur der Tunnelstrom.

Schaltung (durch P1) wird durch das zu programmierende Tunneloxid vorgegeben. Der Widerstand im parasitären Stromzweig (über P2 durch P4 und außerdem noch durch P3) ist erheblich größer, da die Gates von P3 und P4 gesperrt sind.

Der Hauptteil des Programmierstroms fließt also – wie erwünscht – durch P1. Die Schäden in P3 und P4 sind gering bzw. treten überhaupt nicht auf<sup>19</sup>.

Der dargestellte parasitäre Strom durch P3 und P4 läßt sich sogar ganz eliminieren, wenn die nicht benötigten Spaltenleitungen stets mit dem GND-Potential verbunden sind. In diesem Fall fließt dann kein Strom mehr durch P4 und mithin auch nicht durch P3.

Wäre außerdem P2 unprogrammiert, dann würde die Programmierspannung von P1 auch P2 etwas belasten. Wie hoch diese Belastung wäre, hängt dann vom Leckstrom am Auswahltransistor von P2 ab. Sperrt der Transistor gut, so ist das (intakte) Oxid von P2 nicht gefährdet. Leckt der Transistor hingegen stark, dann ist das Oxid von P2 durchbruchgefährdet.

In Abschnitt 3.11.3 (ab Seite 82) wird die Steuerbarkeit des Stroms durch den Auswahltransistor in Abhängigkeit von der Gatespannung untersucht. Dort wird sich zeigen, daß der Transistor P2 über sein Gate hinreichend gut sperrbar ist, um das OTP-Oxid zu schützen.

Schließlich muß auch noch berücksichtigt werden, daß neben den genannten Beispielen auch noch weitere, parallele, parasitäre Strompfade in der Speichermatrix existieren können. Die Anzahl der möglichen Stromwege nimmt mit der Größe der Matrix zu. Unerwünschte Teilströme verteilen sich da-

---

<sup>19</sup>In Abschnitt 3.6 wird gezeigt, daß zur Programmierung (primärer Strompfad) zunächst eine hohe Spannung erforderlich ist. Diese Spannung teilt sich hier aber auf mehrere Bauteile auf. Damit ein Strompfad gebildet werden kann, wäre anschließend ein hoher Strom zur Erwärmung erforderlich, der jedoch ebenfalls nicht durch die langen Auswahltransistoren fließen kann, während deren Gates gesperrt sind.

durch auf eine größere Anzahl von OTP-Zellen, wodurch sich die möglichen Schäden an jeder einzelnen OTP-Zelle verringern.

Sobald außerdem die gewünschte Zelle programmiert ist, fällt deren Widerstand auf einen sehr kleinen Wert ab. Der gesamte Stromfluß konzentriert sich dann auch die gerade programmierte Zelle. Parasitäre Belastungen der umliegenden Zellen treten dann nicht mehr auf.

### **3.4.3 Zusammenfassung**

Die Packungsdichte der Transistormatrix erreicht nicht ganz die Höhe der Diodenmatrix, doch auch hier läßt sich das Tunneloxid günstig mit einem Auswahltransistor kombinieren. Da bei dieser Matrixstruktur keine Querströme inhalb der Matrix auftreten, ist der Betrieb der Matrix mit einer Ansteuerung in Domino-Logik mit sehr kleinen Precharge-Strömen möglich.

Als Ergebnis bleibt festzuhalten, daß die TOXPROMs als OTP-Struktur funktionsfähig sind und für den vereinzelt Einsatz gut geeignet erscheinen. Zum Aufbau einer Speichermatrix ist hingegen die Kombination jeder OTP-Zelle mit einem Transistor günstiger.

Ein Bauteil mit einer solchen Struktur soll nun im nächsten Abschnitt vorgestellt werden.

### 3.5 TOXFET-Transistoren

Die Kombination aus einer TOXPROM-Struktur mit einem NMOS-Transistor in SIMOX-Technologie wird im folgenden als TOXFET bezeichnet.

In der nachfolgenden Abbildung (14) ist eine solche TOXFET-Zelle dargestellt.

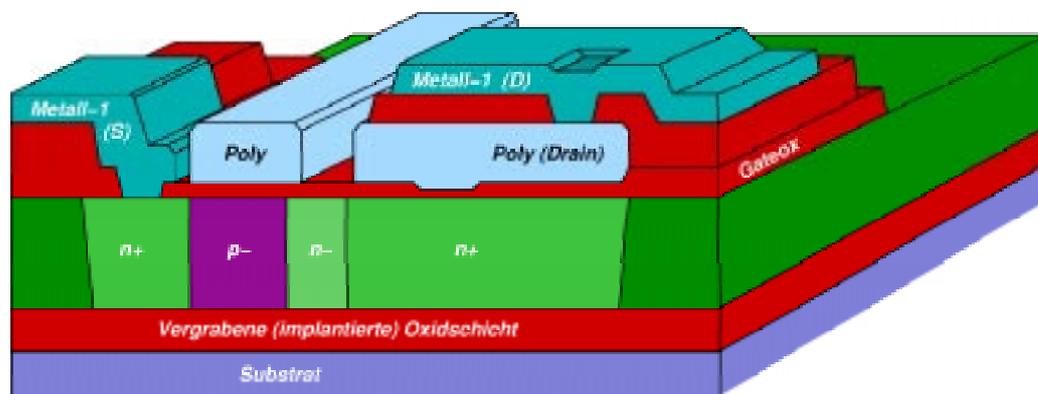


Abbildung 14: Eine TOXFET-Zelle als Kombination eines NMOS-Transistors (links) mit einer TOXPROM-Struktur (rechts). Die Anschlüsse für Source (S) und Drain (D) sind markiert.

Unter der gesamten Struktur liegt das vergrabene Oxid. Darüber ist der Film dargestellt, in den verschiedene Zonen ( $n^+$ ,  $p^-$ ,  $n^-$ ,  $n^+$ ) hineinstrukturiert sind.

Über dem rechten  $n^+$ -Gebiet liegt die TOXPROM-Struktur, die gleichzeitig den Drain-Anschluß des integrierten Transistors bildet. Das Tunnelfenster wird somit von unten durch die NMOS-Transistorstruktur und von oben durch den Polysilizium-Kontakt kontaktiert. Die Polarität der Programmierspannung wird später so gewählt, daß die Polysiliziumseite als Anode wirkt.

Auf der linken Seite von Abbildung (14) liegt das  $n^+$ -Gebiet des Transistors, das den Source-Anschluß bildet. Das Select-Gate des Transistors liegt oberhalb eines  $p^-$ -Gebietes und bildet somit einen NMOS-Transistor (N-Kanal

Anreicherungstyp). Die hochohmige Driftstrecke erhöht die Spannungsfestigkeit des Transistors, da in ihr das laterale Feld langsam abgebaut wird ([5]).

Die Kontaktierung der Source- und Drainanschlüsse des TOXFETs geschieht über die Metall-1-Ebene des Layouts.

Durch das Hinzufügen des Tunnelfensters vergrößert sich im übrigen nicht die lateralen Abmessungen des Hochvolt-Transistors. Das in Abbildung (14) dargestellt Layout eignet sich deshalb zum Aufbau sehr dichter Speicherstrukturen.

Eine wichtige Bedeutung kommt außerdem der Polysiliziumzone zwischen dem Tunnelfenster und dem Metall-1-Drain-Anschluß zu. Die Entstehung des dauerhaften Kontakts erfolgt durch das Aufschmelzen des Tunneloxids. Anschließend kommt es unter dem Einfluß des anliegenden elektrischen Feldes zu einer gewollten Durchmischung des Siliziums aus dem aktiven Film, des Siliziums aus der Poli-Si-Elektrode und dem  $\text{SiO}_2$  des ehemaligen Tunnelfensters. Das anliegende elektrische Feld wirkt dabei ganz besonders stark auf die in der Schmelze vorhandenen Ionen.

Die bei der Schmelze auftretenden Temperaturen sind jedoch nicht hoch genug, um auch eine Wolfram-Metallisierung zonenweise aufzuschmelzen. In einer OTP-Zelle ohne Polysilizium-Zone kommt es daher möglicherweise nicht zu der erwünschten Durchmischung von Silizium und Siliziumoxid. Damit verbunden wäre die Gefahr, daß das Oxid beim Abkühlen wieder zu einer geschlossenen Schicht rekristallisiert und somit der gewünschte Kontakt nicht hergestellt würde.

Das Polysilizium oberhalb des Tunnelfensters gewährleistet also unter anderem eine ausreichend große Schmelzzone<sup>20</sup>, in der sich das flüssige  $\text{SiO}_2$  soweit verteilen/verdünnen kann, daß es nicht mehr als Isolator wirken kann.

---

<sup>20</sup>Insgesamt ist nur sehr wenig  $\text{SiO}_2$  vorhanden: das Tunneloxid hat lediglich eine Dicke von 9 nm, was nur etwa 50 Atomlagen entspricht.

Die in Abbildung (14) dargestellte Struktur bildet das Basiselement für den Aufbau sämtlicher PROM-Bauteile.

Die Skizze stellt im übrigen nur die prinzipiellen Verhältnisse im TOXFET dar. Die Größenverhältnisse wurden dabei so gewählt, daß die relevanten Strukturen gut zu erkennen sind. Die realen Größenverhältnisse sind in Tabelle 13 (Anhang G.1 auf Seite 183) aufgeführt. Relevant ist hierbei insbesondere die geringe Tunneloxid-Dicke im Verhältnis zur Dicke des Films und der Poly-Silizium-Elektrode.

### 3.6 Durchbrucheffekte

Es soll nun zuerst geklärt werden, welcher Effekt primär für das Zustandekommen einer leitenden Verbindung im TOXPROM verantwortlich ist.

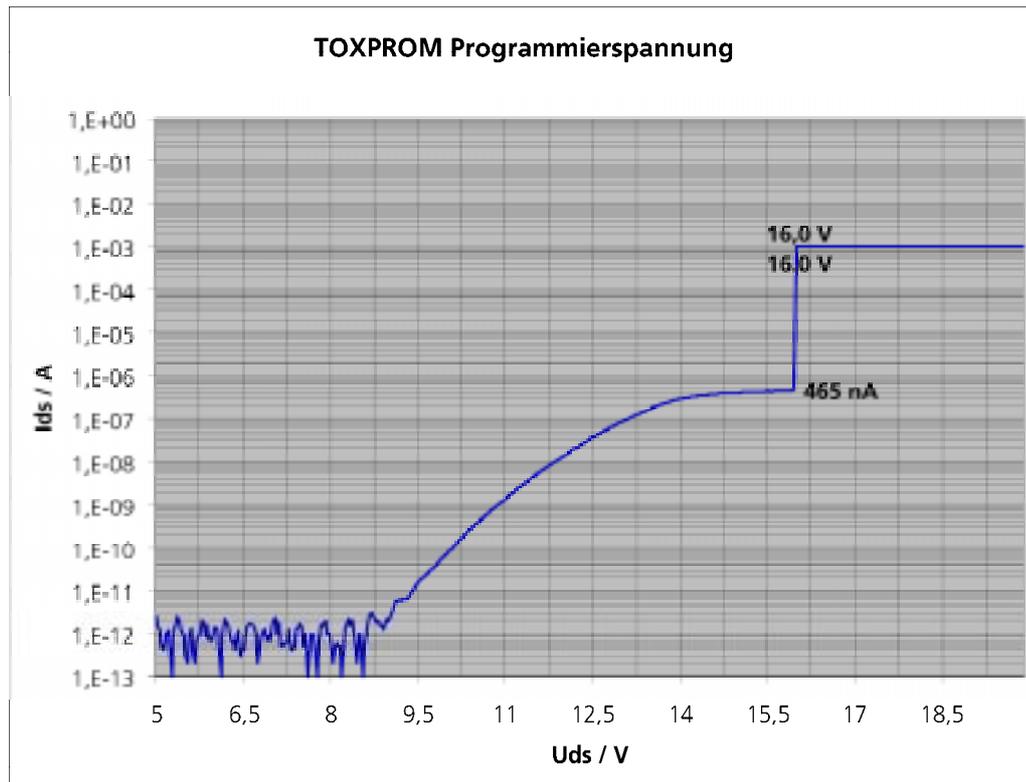


Abbildung 15: Durchbruch einer TOXPROM OTP-Zelle. Der maximale Strom des Meßaufbaus wurde auf 1 mA begrenzt.

Die unprogrammierte TOXPROM-Zelle hat einen sehr hohen Widerstand, der vereinfacht als unendlich angenommen werden kann. Beim Anlegen einer Spannung an das dünne Tunneloxid fließt lediglich der geringe Tunnelstrom ([64]). Das Rauschen links in Abbildung (15) wurde durch Lichteinfall auf die gemessene Kelvinstruktur verursacht und ist hier nicht von Bedeutung.

Erhöht man nun die am Tunneloxid anliegende Spannung, so steigt der Tunnelstrom zunächst an. Bei einer bestimmten Spannung kommt es dann zu ei-

nem sprunghaften Stromanstieg, der schließlich durch die Strombegrenzung der Meßapparatur limitiert wird.

Um eine Meßkurve wie in Abbildung (15) aufzunehmen, muß der Meßzyklus mit der steigenden Spannung sehr zügig durchlaufen werden. Andernfalls kommt es zu einer starken Erwärmung der Zelle durch den Tunnelstrom, die letztlich zur Zerstörung der Zelle führt.

Eine andere Möglichkeit besteht darin, die Messung mit kurzen Spannungspulsen vorzunehmen und die Pausen zwischen den Pulsen so lang zu wählen, daß die zugeführte Wärmeenergie sich ausreichend verteilen kann. Wenngleich diese Messung sehr viel länger dauert als das schnelle Hochfahren der Spannung, stellt sie doch geringere Anforderungen an den verwendeten Meßaufbau und wurde daher bevorzugt.

Qualitativ liefern beide Meßverfahren den gleichen Kurvenverlauf. Unterschiede in der Höhe der jeweilig gemessenen Durchbruchspannung lagen dabei im Rahmen der Meßgenauigkeit der verwendeten Meßgeräte.

Im Anschluß an die Programmierung der Zellen wurden I/U-Kennlinien aufgenommen, um den Widerstand der programmierten Zelle zu bestimmen. Sämtliche TOXPROM-Zellen im programmierten Zustand verhielten sich dabei wie ohmsche Widerstände. Wie man in der folgenden Abbildung (16) erkennen kann, lagen die Widerstandswerte dabei deutlich unter  $1\text{ k}\Omega$ .

*Es kann daher angenommen werden, daß nach der erfolgreichen Programmierung das Polysilizium oberhalb des Tunneloxids mit dem darunterliegenden aktiven Film leitend verbunden ist.*

Hieraus ergibt sich die Frage, wie diese Verbindungen bei der Programmierung zustande kommen.

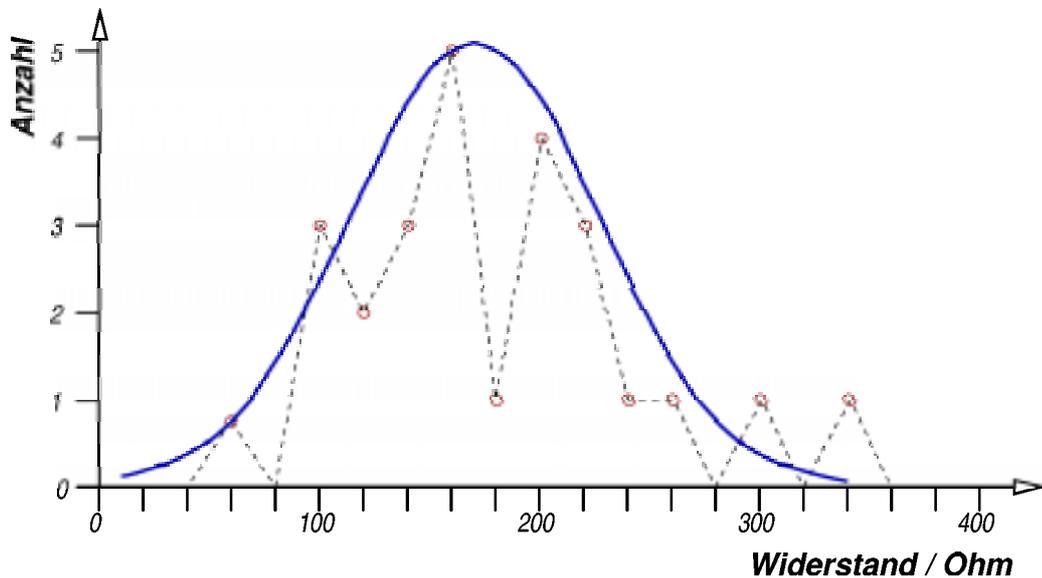


Abbildung 16: Verteilung der ohmschen Widerstände der TOXPROM-Teststrukturen nach der Programmierung. Der Erwartungswert der Widerstandsverteilung liegt bei etwa 165 Ohm.

Zur Beantwortung der Frage nach der Kontaktentstehung erscheint es zweckmäßig, die Vorgänge am Oxid in zwei Phasen zu unterteilen:

1. Eine primäre Phase, in der sich ein dünner Strompfad durch das Oxid bildet.
2. Eine sekundäre Phase, in der der einsetzende hohe Stromfluß diesen Strompfad aufweitet.

Beide Phasen werden in den folgenden Abschnitten eingehender diskutiert werden. Zuvor soll allerdings noch kurz rekapituliert werden, wie der Ladungstransport im  $\text{SiO}_2$  generell abläuft.

### 3.7 Ladungstransport im $\text{SiO}_2$

Beim Anlegen einer Spannung unterhalb der Durchbruchspannung beginnt ein Strom durch das Tunneloxid zu fließen, der mit steigender Spannung zunimmt. Er setzt sich aus den Hauptkomponenten *direkter Tunnelstrom* und *Fowler-Nordheim-Tunnelstrom* zusammen.

Als typischer Unterschied zu thermischen Emissionsströmen bleibt die Energie der Ladungsträger bei Tunnelvorgängen unverändert erhalten ([19]).

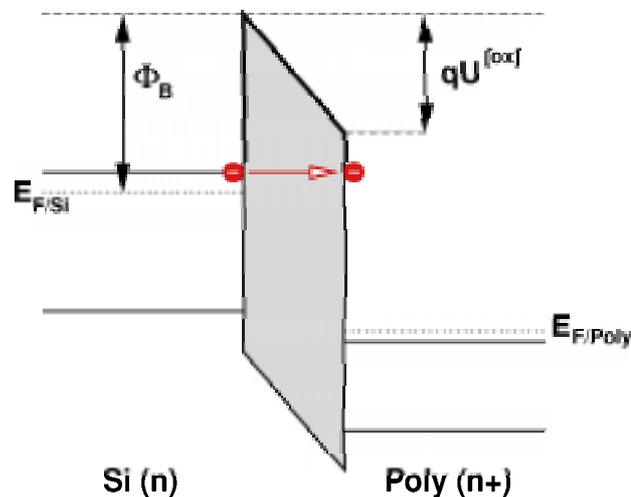


Abbildung 17: Direktes Tunneln durch die Barriere

Abbildung (17) zeigt ein vereinfachtes Bänderdiagramm für den Fall des direkten Tunnelns am Oxid. Auf der linken Seite ist das Substrat dargestellt, auf der rechten das Poly-Silizium. Durch das Anlegen der Programmiervspannung liegt die Poly-Seite gegenüber dem Substrat auf einem höheren Potential. Die Elektronen tunneln daher vom Substrat zur Poly-Elektrode der Anordnung. Die Höhe der Barriere ist mit  $\Phi_B$  bezeichnet.

Für  $\Phi_B > qU^{[OX]}$  ergibt sich so ein trapezförmiger Potentialwall. Im Rahmen der Quantenmechanik werden die Partikel durch die Lösungen der Schrödingergleichung repräsentiert. Die auch asymptotisch nicht verschwindende Na-

tur dieser Lösungen führt zu einer nicht-verschwindenden Aufenthaltswahrscheinlichkeit der Partikel in und hinter der Barriere, die für klassische Teilchen nicht zu überwinden ist. Weiterhin erlaubt sie den Übergang von Partikeln aus einem klassisch erlaubten Bereich zu einem anderen.

Der Vorgang des Tunnelns von einer Seite des Oxids zur anderen wird als *direktes Tunneln* bezeichnet. Die Ladungsträger passieren den dielektrischen Isolator, ohne jemals im Leitungsband des SiO<sub>2</sub> gewesen zu sein [48].

Der Betrag des direkten Tunnelstroms nimmt im wesentlichen für dünnere Oxide exponentiell zu. In [48] wird der Betrag der direkten Tunnelstromdichte  $J_D$  mit

$$J_D = \frac{A E_{ox}^2}{(1 - \phi)^2} \cdot e^{-\frac{B}{E_{ox}}(1 - \phi^3)} \cdot \left( 1 - e^{-\frac{3}{2} \frac{B}{E_{ox}} \frac{1 - \phi}{\Phi_B^3} \cdot E_F} \right) \quad (3.1)$$

angegeben, wobei

$$\phi := \sqrt{\frac{\Phi_B - q U_{ox}}{\Phi_B}}, \quad A := \frac{q^3}{16 \pi^2 \hbar \Phi_B}, \quad B := \frac{4}{3} \frac{\sqrt{2} m_{e,eff}}{q \hbar} \Phi_B^{3/2}, \quad (3.2)$$

$m_{e,eff}$  die effektive Masse des tunnelnden Elektrons der Ladung  $q$  ist.  $U_{ox}$  bezeichnet die am Oxid anliegende Spannung und  $E_{ox}$  die daraus resultierende Feldstärke. Mit  $E_F$  wurde hier das Fermi-niveau ([19]) des Siliziumfilms bezeichnet.

In der Regel ist es ausreichend, das Tunneln der Elektronen zu betrachten ([64]). Obwohl die Emission von Löchern aus dem Valenzband des Siliziums in das Valenzband des SiO<sub>2</sub> grundsätzlich möglich ist, hat diese wegen der größeren Barrierenhöhe und der höheren effektiven Masse der Löcher nur eine sehr untergeordnete Bedeutung.

Erhöht man die Spannung am Oxid weiter bis schließlich  $q U^{[OX]} > \Phi_B$  wird, so verschiebt sich die Potentialbarriere. Im maßgeblichen oberen Teil des Po-

tentialverlaufs ist sie dann nicht mehr länger trapezförmig, sondern dreieckig. Abbildung (18) zeigt die Verhältnisse<sup>21</sup>.

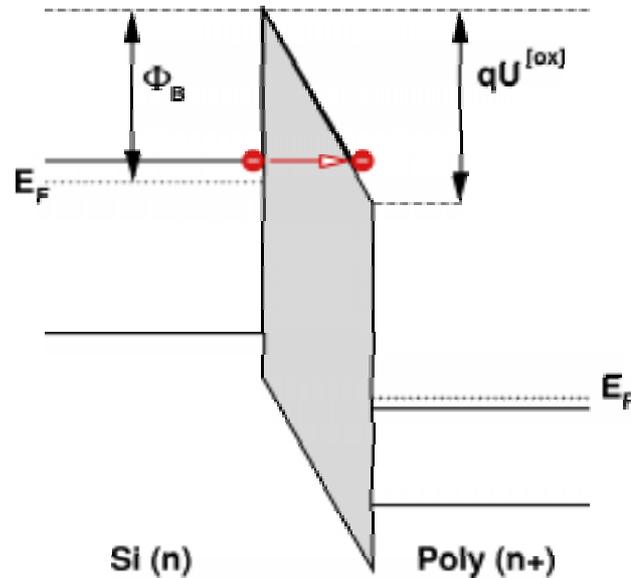


Abbildung 18: Fowler-Nordheim-Tunneln durch die Barriere. Gegenüber Abbildung (17) ist hier die anliegende Spannung  $U$  größer.

Der hier einsetzende Strom wird als Fowler-Nordheim-Tunnelstrom bezeichnet [49]. Unter Vernachlässigung von Bänderbiegungen wird die Fowler-Nordheim-Stromdichte  $J_{FN}$  durch

$$J_{FN} = A E_{ox}^2 e^{-\frac{B}{E_{ox}}} \quad (3.3)$$

beschrieben ([2]).  $E_{ox}$  ist wieder die Feldstärke über dem Oxid, die beiden Koeffizienten  $A$  und  $B$  sind die gleichen wie in Gleichung (3.1).

Bei der Fowler-Nordheim-Injektion handelt es sich um eine feldunterstützte Tunnelemission von Elektronen, die bei hohen Feldstärken oberhalb von 6...7 MV/cm zu beobachten ist.

<sup>21</sup>In den Abbildungen (17) und (18) ist der obere Teil der Barriere zur Verdeutlichung des Unterschieds etwas dicker dargestellt worden

Die bei der Programmierung von TOXFETs am Tunneloxid auftretenden Feldstärken können eine Größenordnung von etwa

$$E_{\max}^{(\text{TOX})} = \frac{U_{\text{BR}}}{d_{\text{tox}}} \approx \frac{15,5 \text{ V}}{9 \text{ nm}} = 17,2 \text{ MV/cm} . \quad (3.4)$$

erreichen. Die Spannung von 15,5 V liegt dabei noch knapp unter der Durchbruchspannung.

Wenn Elektronen bei entsprechend hohem  $\vec{E}$ -Feld in das Oxid injiziert werden, lassen sich mehrere grundlegende Phänomene beobachten ([64]), die im Bänderdiagramm in Abbildung (19) auf der folgenden Seite gemeinsam dargestellt sind:

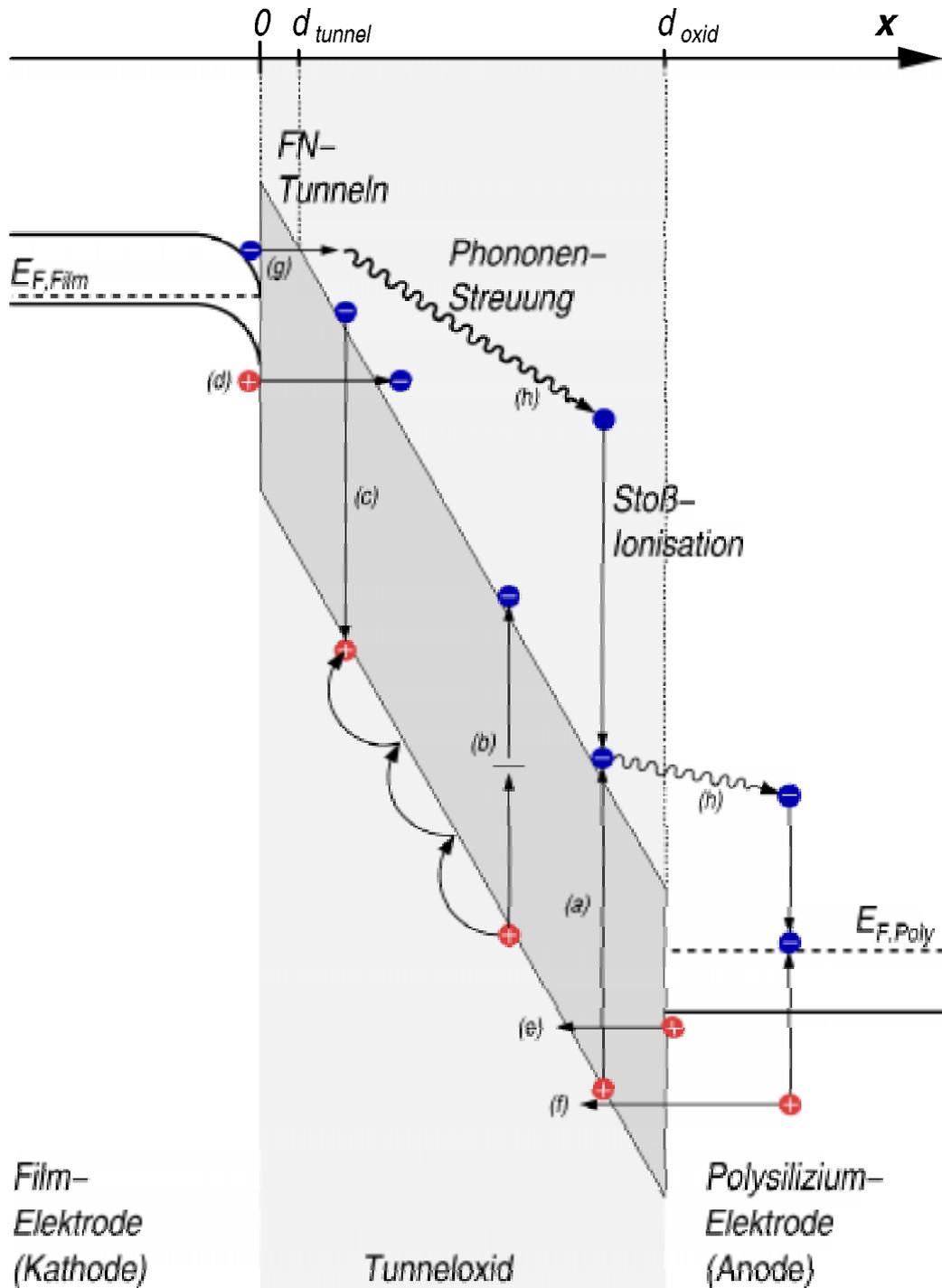


Abbildung 19: Prinzipielle Darstellung der möglichen Prozesse, die bei hohen Feldstärken neben der FN-Injektion auftreten. In der Darstellung liegt die Polysilizium-Elektrode auf dem höheren Potential; die Injektion der Elektronen erfolgt daher vom Substrat her (nach [65]).

Vier Hauptprozesse laufen beim Anlegen hoher Feldstärken in einer Oxidschicht ab:

1. Die Elektronen, die aus der Kathode injiziert werden (Prozeß **(g)**), nehmen kinetische Energie aus dem  $\vec{E}$ -Feld auf, das zwischen Anode (PolySi) und Kathode (Film) anliegt. Einige Elektronen verlieren einen Teil ihrer Energie durch die Anregung von Gitterphononen (Prozeß **(h)**). Andere Elektronen gewinnen Energien, die größer als die Bandlücke von SiO<sub>2</sub> sind. Durch Stoßionisation können diese Ladungsträger Elektronen-Loch-Paare erzeugen (Prozeß **(a)**).
2. Die meisten injizierten und/oder generierten Elektronen gelangen zur Anode, während der Rest mit den generierten Löchern rekombiniert (Prozeß **(c)**, [66], [67]).
3. Die erzeugten Löcher wandern zur Kathode. Einige von ihnen werden in Löcher-Traps gefangen, die sich hauptsächlich nahe der Si-SiO<sub>2</sub>-Grenzfläche befinden.
4. Es entstehen ortsfeste Ladungen an den Grenzflächen. Grenzflächenladungen bilden sich hauptsächlich durch die Injektion von Löchern, da die Wahrscheinlichkeit dafür etwa 2 bis 3 Größenordnungen höher liegt, als bei der Injektion der gleichen Zahl von Elektronen ([64]).

Außer durch die Band-zu-Band-Übergänge (Prozeß **(a)**) können Löcher auch noch durch die drei folgenden Prozesse generiert werden:

- Trap-unterstützte Stoßionisation (Prozeß **(b)**, [70]),
- Tunneln von Valenzband-Elektronen, die Löcher im Film zurücklassen (Prozeß **(d)**, [71]),
- das Tunneln heißer/kalter Löcher aus dem Polysilizium (Prozesse **(e)** und **(f)**, [72]).

Verglichen mit Elektronen werden Löcher aufgrund der höheren Barriere deutlich seltener in die Oxidschicht injiziert. Befinden sie sich jedoch erstmal im Oxid, so ist ihr Einfluß auf die physikalischen Parameter einer Struktur in der Regel größer als der von Elektronen ([64]).

Neben der Abhängigkeit von der Feldstärke besteht für den FN-Tunnelstrom auch noch eine deutliche Temperaturabhängigkeit. Die folgende Abbildung (20) gibt eine Messung aus [2] wieder, die an einem SIMOX-Kondensator mit 10 nm Oxiddicke und eine Fläche von  $300 \mu\text{m} \times 300 \mu\text{m}$  durchgeführt wurde.

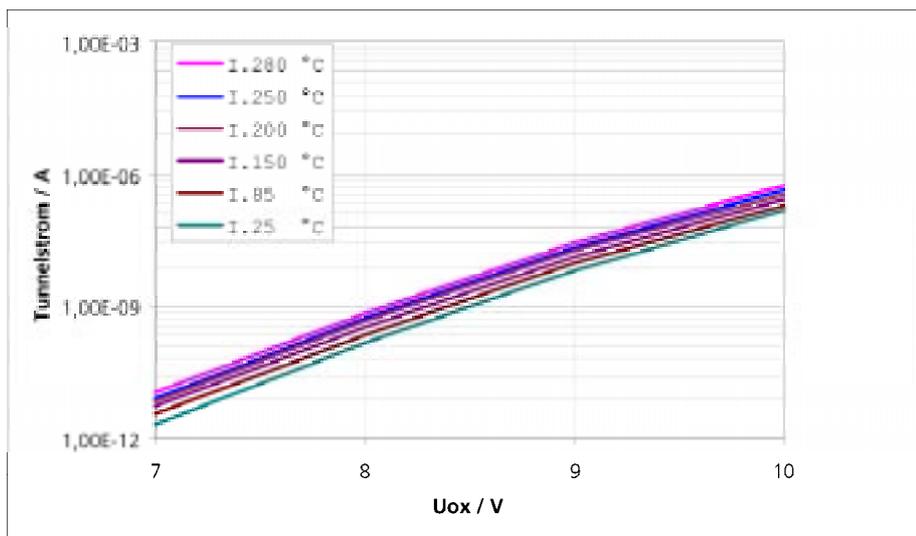


Abbildung 20: Zur Temperaturabhängigkeit des Tunnelstroms (nach [2]). Der Tunnelstrom steigt mit der Temperatur und mit der Spannung über dem Oxid an.

Die Elektronen tunnelten hierbei aus der in Akkumulation befindlichen Filmelektrode durch das Oxid-Dielektrikum hindurch ins Polysilizium. Man erkennt eine deutliche Zunahme des Tunnelstroms sowohl mit der Temperatur als auch (erwartungsgemäß) mit der Spannung über dem Oxid.

Die an SIMOX-Strukturen gemessenen Werte zur Zunahme der Tunnel-

ströme mit Feldstärke und Temperatur stehen im übrigen in guter Übereinstimmung mit Messungen an Bulk-Substraten (vergl. [60]).

### 3.8 Primäre Strompfadbildung

Beim Durchqueren des Oxids generieren die beteiligten Elektronen ortsfeste, gefangene Ladungsträger im Inneren der dünnen Tunneloxidschicht, die als Traps bezeichnet werden. Das Auftreten der einzelnen Traps erfolgt statistisch unabhängig voneinander und verteilt im gesamten Oxidvolumen.

Formt sich jedoch eine Kette von Traps zwischen den beiden kontaktierten Seiten des Oxids, so beginnt dort ein kontinuierlicher Elektronenfluß und es bildet sich ein primärer Strompfad aus. Diese Strompfadbildung wird in [62] als *Soft breakdown* bezeichnet.

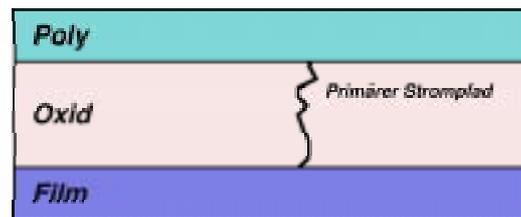


Abbildung 21: Primärer Strompfad

Bei hohen Feldstärken kann es zudem zu einer Löcherinjektion von der Anodenseite her kommen: die tunnelnden Elektronen durchfallen am Oxid ein großes Potentialgefälle und erreichen erhebliche kinetische Energien. Beim Eintreten in die Anode entstehen durch Stoßionisation Löcher, von denen ein kleinerer Teil ihrerseits durch das Oxid zurück zur Kathode tunneln kann ([61]). Die Zahl der tunnelnden Löcher bleibt jedoch deutlich geringer als die Zahl der tunnelnden Elektronen, da die Löcher weniger beweglich sind und die Potentialbarriere für die Löcher erheblich höher ist (vergl. Abbildung (19) auf Seite 52).

### 3.9 Sekundäre Strompfadbildung

Die Dicke des Tunneloxids beträgt bei 9 nm nur wenige Dutzend Atomlagen. Zur Herstellung eines brauchbaren Kontaktes müssen die SiO<sub>2</sub> Moleküle dieser Schicht von ihren Gitterplätzen entfernt und durch Si-Atome ersetzt werden.

Dieser Vorgang kann durch verschiedene Mechanismen bewirkt werden. In Frage kommen vor allem:

- Aufbrechen der Bindungen des SiO<sub>2</sub> und Transport der Atome durch die enormen Feldstärken
- Bildung einer Si-SiO<sub>2</sub>-Schmelzzone durch elektrische Erwärmung

Beim Anlegen einer Spannung unterhalb der Durchbruchspannung (in Abbildung (15) bei 16,0 V), fließt ein Strom von 465 nA durch das Tunneloxid. Der Elektronentransport durch das Oxid führt zur Anregung von Gitterphononen, was sich in einer erheblichen Temperaturzunahme ausdrückt.

Der fließende Strom und der Spannungsabfall über dem Tunneloxid sind einer Messung relativ einfach zugänglich. Aus den meßtechnisch ermittelten Werten ergibt sich eine Heizleistung in der Größenordnung von

$$P^{[OX]} = U^{[OX]} \cdot I^{[OX]} = 7,44 \mu\text{W}, \quad (3.5)$$

was zunächst relativ gering erscheinen mag. Man muß jedoch berücksichtigen, daß diese Heizleistung in einem Volumen von lediglich  $2 \mu\text{m} \times 2 \mu\text{m} \times 9 \text{ nm} = 0,036 \mu\text{m}^3$  auftritt und damit etwa  $206 \text{ MW/cm}^3$  entspricht.

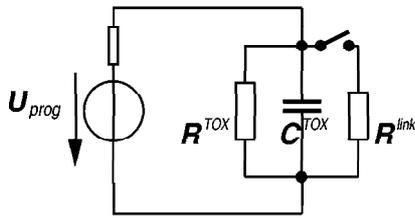


Abbildung 22: Ersatzschaltbild

Die nebenstehende Abbildung (22) zeigt ein Ersatzschaltbild für eine OTP Zelle.  $R^{(\text{TOX})}$  repräsentiert den gesamten Tunnelwiderstand und  $C^{(\text{TOX})}$  die Kapazität über den Tunnelkontakt.

Der geschaltete Widerstand  $R^{(\text{link})}$  wird aktiviert, wenn es zu einem Soft breakdown kommt ([63]). Der elektrische Widerstand entlang der aus Traps gebildeten Kette liegt deutlich niedriger als der Tunnelwiderstand durch das intakte Oxid. Nach der Stromteilerregel

$$\frac{I^{(\text{link})}}{I^{(\text{TOX})}} = \frac{R^{(\text{TOX})}}{R^{(\text{link})}} \quad (3.6)$$

konzentriert sich der anschließend einsetzende Stromfluß  $I^{(\text{link})}$  auf den gebildeten primären Stromfad. Die Stromdichte, die sich in diesem Bereich einstellt, ist besonders hoch, weil der Querschnitt der primären Verbindung besonders klein ist.

Die hohe Stromdichte, verbunden mit dem hohen Spannungsgefälle über dem primären Stromfad, haben fast unmittelbar das Aufschmelzen des Oxids entlang der primären Verbindung (*Hard breakdown*) zur Folge. Die entstehende Schmelzzone weitet sich anschließend durch drei Effekte auf:

- durch direkten Wärmefluß: die im primären Stromfad entstehende Wärme verteilt sich in die Umgebung und leitet auch dort Schmelzprozesse ein.
- durch Variation der Stromverteilung: mit steigender Temperatur steigt der elektrische Widerstand in der erwärmten Zone gegenüber der (kälteren) Umgebung. Hierdurch verlagert sich der Stromfluß teilweise in die kühleren Zonen und führt anschließend auch dort zu einer elektrischen Erwärmung.

- durch den sehr hohen Entladestrom des Kondensators<sup>22</sup>, der als  $C^{(\text{TOX})}$  im Ersatzschaltbild (vergl. Abbildung (22)) eingezeichnet ist.

Aus dieser Betrachtung ergibt sich eine wichtige Konsequenz für die Programmierung von OTP-Zellen. Wählt man die angelegte Programmiervspannung zu niedrig, dann kommt es nicht zu dem beschriebenen Schmelzprozeß – jedenfalls nicht in der erwünschten Form:

Bei sehr niedriger Spannung kann das System aus Strompfad und umgebendem Oxid einen quasistationären, thermischen Gleichgewichtszustand annehmen. In diesem Fall entsteht zwar Wärme entlang des primären Strompfades, jedoch kann die Wärme ausreichend schnell in die Umgebung abgeleitet werden; der primäre Verbindungsbereich heizt sich nicht mehr bis zur Schmelztemperatur auf. Unter diesen Umständen kommt es zu keinem *Hard breakdown* mehr. Aus elektrischer Sicht weist die OTP-Zelle dann lediglich einen hohen Leckstrom auf.

Wählt man die Programmiervspannung nur geringfügig höher<sup>23</sup>, dann erwärmt sich der Bereich des Strompfades zügig, jedoch dauert es immer noch zu lange, bis die Umgebung tatsächlich aufschmilzt. Die Schmelze ist aber die Voraussetzung zur Aktivierung des Widerstands  $R^{(\text{link})}$  in Abbildung (22). Ohne dessen Aktivierung wird die entstehende Wärme kontinuierlich in die Umgebung abgeleitet. Da die Schmelztemperaturen<sup>24</sup> der umgebenden Materialien deutlich niedriger liegen (z. B.  $T_s^{(\text{Si})} = 1410 \text{ °C}$ ) als  $T_s^{(\text{OX})} = 1467 \text{ °C}$ , setzt die Schmelze in der Umgebung des Oxids früher ein, als im Oxid selbst. Die Folge ist in der Regel eine irreversible Beschädigung der umgebenden Strukturen.

---

<sup>22</sup>Bedingt durch das sehr dünne Tunneloxid kann die in  $C^{(\text{TOX})}$  gespeicherte Energie beträchtliche Werte annehmen. Diese Energie wird im Moment des Durchbruchs in sehr kurzer Zeit in Wärme umgesetzt.

<sup>23</sup>d. h. etwas über den Gleichgewichtszustand von Wärmezufuhr und Wärmeableitung

<sup>24</sup>vergl. Tabelle 20 in Anhang 20

Als Konsequenz bleibt festzuhalten, daß die Programmierung von OTP-Zellen mit einer möglichst hohen Spannung erfolgen muß, da andernfalls mit thermischen Lateralschäden in der Umgebung gerechnet werden muß.

Dies gilt in ganz besonderem Maße für OTP-Zellen auf SIMOX-Wafern, da der vergrabene elektrische Isolator aus  $\text{SiO}_2$  auch thermisch einen guten Isolator darstellt und auf diese Weise ein Wärmetransport zum Substrat der Schaltung hin verhindert wird. Übereinstimmend zeigen durchgeführte Versuche an Bulk-Wafern, daß dort auch bei geringeren Spannungen seltener thermische Beschädigungen an den umgebenden Strukturen auftreten.

### **3.10 Simulation der Wärmeverteilung**

In den vorangegangenen Abschnitten wurde qualitativ festgestellt, daß die Wärmeverteilung während der Programmierung einer TOXFET-OTP-Zelle offenbar einen ganz wesentlichen Einfluß auf das Zustandekommen einer programmierten Verbindung und deren Qualität (Widerstand, Dauerhaftigkeit) hat.

Leider ist der eigentliche Programmiervorgang der direkten Beobachtung nicht ohne weiteres zugänglich, da er sehr schnell und im Innern des Tunneloxids abläuft. Eine umfassende Untersuchung aller Detailprozesse, die während der Programmierung ablaufen, würde außerdem den Rahmen der vorliegenden Arbeit bei weitem überschreiten.

Im vorliegenden Fall sollen deshalb nur diejenigen Teilaspekte quantitativ näher untersucht werden, deren Einfluß auf den Programmiervorgang unmittelbar deutlich und erkennbar sind. Da die direkte Beobachtung des Programmiervorgangs als äußerst schwierig gelten darf, wurde der Programmierprozeß in seinen wesentlichen Mechanismen simuliert.

Zum Einsatz kam hierzu eine eigens entwickelte Software, welche die Vorteile der Methode der Finiten Elemente mit denen eines objektorientierten Ansatzes verbindet.

Entstanden ist so ein *objektorientierter Finite Elemente Simulator*, dessen Simulationsmodell sich aus einer hohen Anzahl *instanzierter Zellen* zusammensetzt.

Feine Modelldiskretisierung bei gleichzeitig nur mäßig hohem Rechenaufwand, hohe Parallelisierbarkeit und sehr moderate Speicheranforderungen zeichnen diesen Ansatz aus.

Abbildung (23) zeigt einen elementaren, eindimensionalen Ausschnitt aus dem Simulationsmodell. Dargestellt sind zwei Voxel<sup>25</sup>, die miteinander in Wärmekontakt stehen. Die Wärmeleitwerte der Voxel zu ihren Nachbarn können als reziproke Widerstände aufgefaßt werden, welche zwischen je zwei isothermalen Flächen arbeiten.

Mit diesen Analogiedefinitionen wird aus dem Wärmesimulationsmodell ein elektrisch äquivalentes Netz. Die Ströme in diesem Netz können nach dem bekannten Maschenstromverfahren berechnet werden.

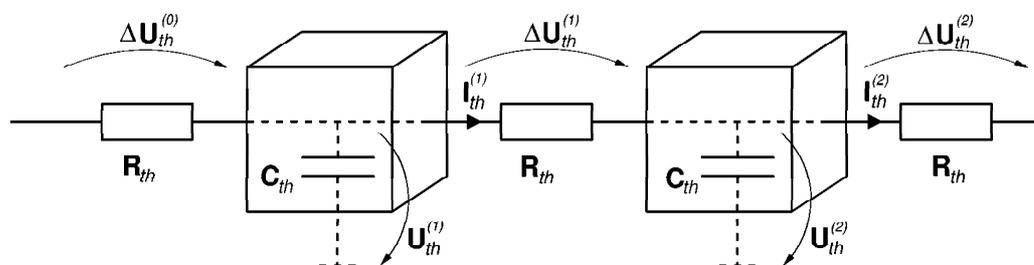


Abbildung 23: Elektrisches Ersatzschaltbild für zwei Voxel im thermischen Simulationsmodell.

Das elektrische Ersatzschaltbild zeigt, daß die Wärmekapazitäten der Voxel als elektrische Kapazitäten modelliert sind. Alle auftretenden Spannungen werden dabei auf einen gemeinsamen (quasi virtuellen) Potentialnullpunkt bezogen. Ebenso werden die reziproken Wärmeleitkoeffizien-

<sup>25</sup>Voxel = übliche Bezeichnung für Volume Elements, analog zu Pixel = Picture Elements

ten der Voxel-Materialien durch elektrische Widerstände repräsentiert. Die Kerntemperatur eines Voxel entspricht der Spannung an der jeweiligen Kapazität.

Das Modell nimmt vereinfachend an, daß Temperatur, Wärmekapazität und Wärmeleitungswiderstand im Innern eines Voxels homogen verteilt sind.

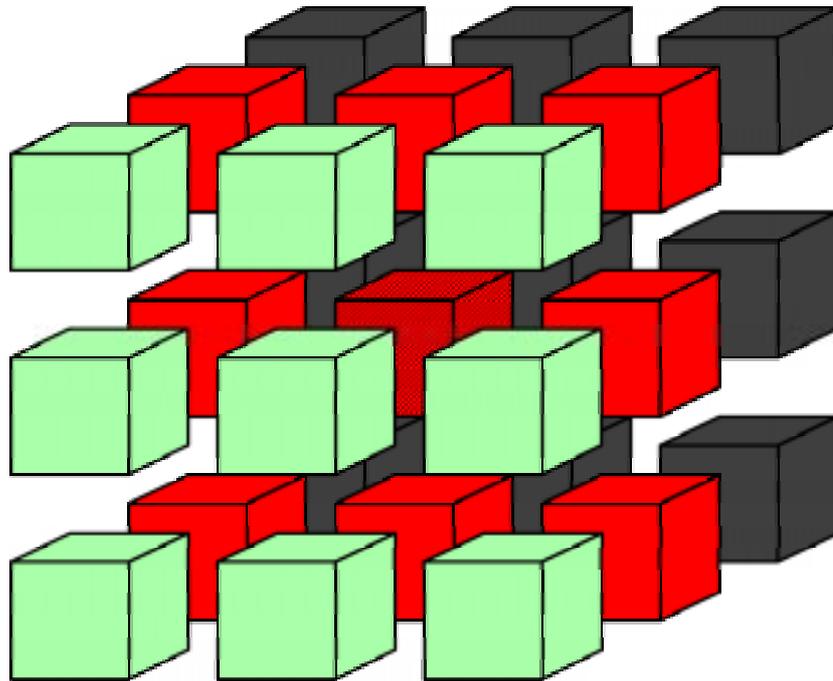


Abbildung 24: Ein Voxel (mittig) im räumlichen 3D-Simulationsmodell mit seinen 26 Nachbarn

Abbildung (24) zeigt das Voxel in der Mitte seiner Nachbarn. Das Voxel hat zu jedem seiner 26 Nachbarn thermischen Kontakt. Je nach räumlicher Lage zueinander sind unterschiedliche Wärmewiderstände zu berücksichtigen, die sich aus der Lage (bzw. dem Abstand der jeweiligen Voxelmittelpunkte) ergeben. Die Wärmewiderstände werden außerdem vom Material, dessen Temperatur und Aggregatzustand mitbestimmt.

Um die Simulation zu beschleunigen, wird angenommen, daß sich die Temperatur der Voxel entlang der räumlichen Tiefenachse nicht wesentlich unter-

scheidet. Diese Annahme ist insofern gerechtfertigt als daß man in der Regel an den Vorgängen in der Mitte des Tunneloxides interessiert ist, und weniger an den Vorgängen entlang der Ränder (einen Querschnitt durch den Rand kann man später trotzdem rechts und links des Tunnelfensters erkennen).

Das Simulationsmodell vereinfacht sich so von einem 3 D-Modell zu einem zweidimensionalen Modell, was einen dramatischen Einfluß auf die Rechenzeit hat. Nichtsdestotrotz kann das Modell jederzeit wieder auf den 3 D-Fall erweitert werden<sup>26</sup> werden, ohne daß sich prinzipielle Änderungen ergeben.

Das Modell aus Abbildung (24) reduziert sich somit zu jenem in Abbildung (25).

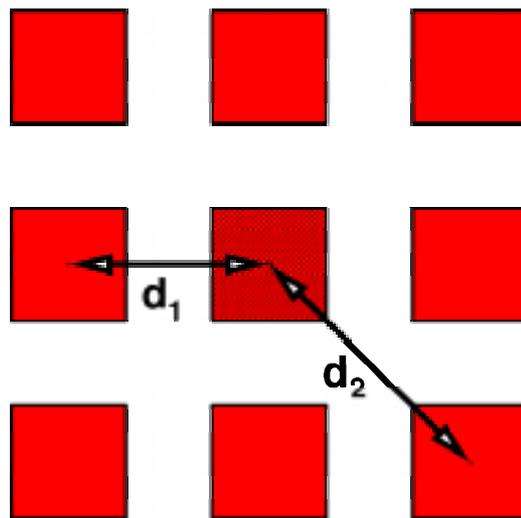


Abbildung 25: Ein Voxel (mittig) im ebenen 2D-Simulationsmodell mit seinen 8 Nachbarn. Im tatsächlichen Modell gibt es natürlich keine Zwischenräume zwischen den Voxeln: die einzelnen Voxel sind hier nur zur Verdeutlichung in der Art einer Explosionszeichnung auseinandergerückt.

In Abbildung (25) treten nun zwei Abstände auf, die charakteristisch für die Diskretisierung des Modells sind.  $d_1$  ist der Abstand zwischen den Mit-

---

<sup>26</sup>Dies bietet sich ganz besonders an, wenn zur Simulation ein Parallelrechner zur Verfügung steht. Auf diesen Aspekt wird später nochmals eingegangen.

telpunkten zweier nebeneinanderliegender Voxel, die eine gemeinsame Seitenfläche besitzen und entspricht damit genau der Voxelbreite. Da alle Kantenlängen der Voxel gleich groß sind, kann auch  $d_2$  einfach bestimmt werden. Der Abstand  $d_2$  ist die Entfernung zwischen den Voxelmittelpunkten zweier Voxel, die sich nur in einer gemeinsamen Kante berühren.

Die Feinheit der Zerlegung wird über den Parameter  $\xi$  definiert, der die Kantenlänge eines Voxels repräsentiert. Es gilt somit

$$d_1 = \xi \quad \text{und} \quad d_2 = \sqrt{2} \xi. \quad (3.7)$$

Abbildung (26) zeigt einen Schnitt durch das Modell des Tunneloxidbereichs eines TOXFETs. Im vorliegenden Fall besteht das Modell aus  $800 \times 400$  Volumenelementen. Jedes dieser Voxel entspricht einem  $10 \text{ nm} \times 10 \text{ nm} \times 10 \text{ nm}$  großen Würfel<sup>27</sup>.

---

<sup>27</sup>Eine kleine Ausnahme stellt das Tunneloxid dar. Da das Tunneloxid nur 9 nm dick ist, besitzen die Voxel dieser Zeile nur ein Volumen von  $10 \text{ nm} \times 10 \text{ nm} \times 9 \text{ nm}$ . Dies hat auf die Bildschirmdarstellung keinen Einfluß, hat jedoch eine deutliche Auswirkung auf die Wärmekapazität der Voxel dieser Zeile.

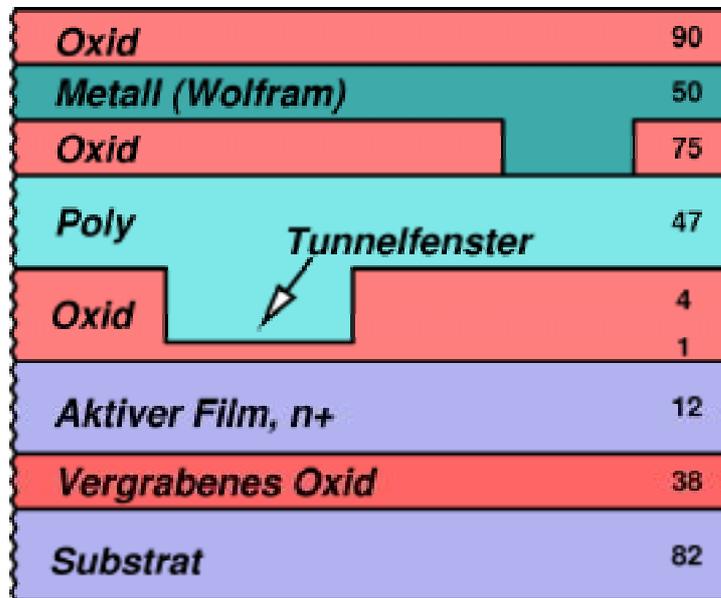


Abbildung 26: Simulationsmodell eines TOXPROM-Kontaktes. Die Zahlenangaben auf der rechten Seite bezeichnen die vertikale Dicke der einzelnen Layer in Voxeleinheiten der Kantenlänge  $\xi$ . Insgesamt besteht das Modell aus  $800 \times 400$  Voxeln.

Jedem Voxel ist ein bestimmter Parametervektor  $\vec{P} := (\tilde{c}_p^{[X]}; \tilde{m}^{[X]}; \tilde{R}_{th}^{[X]}; T; A)^T$  zugeordnet, der durch materialspezifische und simulationsspezifische Größen definiert ist. Der Index  $[X]$  steht im folgenden jeweils für das Material, also etwa  $Si$  für Silizium,  $Ox$  für  $SiO_2$ ,  $W$  für Wolfram, usw.

Zu den materialabhängigen Eigenschaften gehören die Wärmekapazität  $\tilde{c}_p^{[X]}$  bei konstantem Druck<sup>28</sup>, die Voxelmasse  $\tilde{m}^{[X]}$  sowie die reziproke Wärmeleitfähigkeit  $\tilde{R}_{th}^{[X]}$ .

<sup>28</sup>Die Simulation geht von einer isobaren Erwärmung  $(\frac{\partial p}{\partial T}) = 0$  aus, d. h. die heißen Zonen auf dem Chip dehnen sich mit steigender Temperatur aus. Man könnte vielleicht vermuten, daß die Erwärmung in den tieferen Schichten des TOXFETs isochor (mit konstantem Volumen) ablaufen könnte: bei der Erwärmung des  $SiO_2$  bis zum Schmelzpunkt bei  $1467^\circ C$  treten durch die thermische Ausdehnung Kräfte von etwa  $1500 \times 10^6 \frac{N}{m^2}$  auf ([56]). Diese Kräfte sind so groß, daß angenommen wird, daß sich die betroffenen Schichten auch tatsächlich deutlich ausdehnen werden.

Die Tilden über den einzelnen Parametern kennzeichnen hier zugeschnittene Konstanten, die entweder auf das jeweilige Voxelvolumen  $\xi^3$  umgerechnet wurden (Wärmekapazitäten, Massen) oder auf die auftretenden Distanzen  $\frac{d_i}{2}$  (Widerstände).

Zu den Simulationsgrößen gehört in erster Linie die aktuelle Temperatur  $T$  eines Voxels sowie dessen Aggregatzustand  $A$ .

Innerhalb eines Voxels werden die zustandsbestimmenden Größen als homogen verteilt angenommen.

Zur Bestimmung der Wärmeverteilung in der OTP-Zelle muß nun der Wärmefluß zwischen den einzelnen Voxeln bestimmt werden.

Abbildung (27) zeigt ein hierzu einen Ausschnitt eines elektrischen Ersatzschaltbildes.

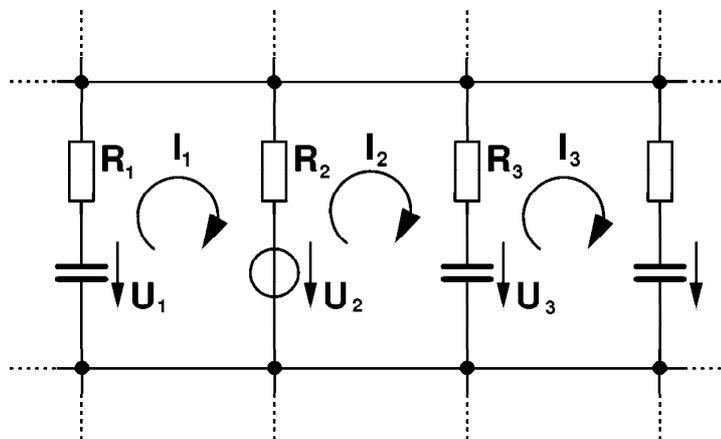


Abbildung 27: Ausschnitt aus dem elektrischen Ersatzschaltbild des Simulationsmodells. Die Widerstände repräsentieren die Wärmestromwiderstände  $\tilde{R}^{[th]}$ , die Spannungen entsprechen den Temperaturen  $T$  der Voxel und die Kondensatoren deren Wärmekapazitäten.

In Abbildung (27) repräsentiert die mittlere (ideale) Spannungsquelle eine Wärmequelle. Die Wärme entsteht im TOXFET durch den fließenden Pro-

grammierstrom. Anschließend verteilt sich die Wärme im ganzen Netz des Ersatzschaltbildes.

Nach der klassischen Methode der Finiten Elemente berechnet man diese Verteilung durch ein Gleichungssystem nach dem Kirchhoff'schen Maschenstromverfahren. Vorteilhafterweise stellt man das System der Gleichungen in Matrixform auf und erhält dadurch einen Ausdruck der Form

$$\underline{\mathbf{R}} \cdot \vec{I} = \vec{U}, \quad (3.8)$$

der anschließend numerisch aufgelöst werden kann. Ungünstigerweise kann die Koppelmatrix  $\underline{\mathbf{R}}$  der Maschen bei hoher Maschenzahl eine beträchtliche Größe erreichen. Da alle Voxel miteinander interagieren, erhält man mit den oben genannten Diskretisierungsdaten ein System von

$$(400 - 1 \text{ Zeilen}) \times (800 - 1 \text{ Spalten}) = 318801 \text{ Gleichungen} \quad (3.9)$$

und ebensovielen Unbekannten. Auch wenn die Koeffizienten in der Systemmatrix  $\underline{\mathbf{R}}$  dieses Gleichungssystems (GLS) relativ einfach aufgebaut sind und die Mehrzahl davon sogar null ist (weil zwischen den Voxeln bei größerer räumlicher Entfernung keine direkte Kopplung vorliegt), erfordert die Lösung dieses GLS einen hohen Aufwand (Speicherplatz / Zugriffszeiten / Rechenzeit).

Weiterhin ist die Lösung eines derartigen GLS nicht besonders gut parallelisierbar, da die auftretenden Variablen zu stark miteinander verkoppelt sind.

Ein weiteres Problem dieses unmittelbar naheliegenden Lösungsansatzes ist, daß das Verfahren eigentlich in einem Schritt die Lösung nach einer quasi-unendlichen Einschwingzeit liefert. Diskretisiert man die Zeit, um die Ausbreitung der Wärme beobachten zu können, erhöht sich der Rechenaufwand weiter.

Schließlich berücksichtigt das Verfahren nicht das stochastische Verhalten thermodynamischer Prozesse. Man denke in diesem Zusammenhang etwa an einen Phasenübergang von fest nach flüssig bei steigender Temperatur: selbst wenn man die Temperatur nur ganz langsam erhöht, werden nicht alle Voxel zeitgleich vom Zustand fest in den Zustand flüssig wechseln.

### 3.10.1 HeatFlash Simulationsumgebung

Eine mögliche Lösung der im vorangegangenen Abschnitt genannten Probleme besteht in der vollständigen Vermeidung eines einschrittigen Lösungsverfahrens. Statt ein großes GLS aufzubauen, werden dabei nur noch einzelne Voxel zufällig aus der Gesamtmenge herausgegriffen und deren Wärmefluß zu einem ihrer Nachbarn berechnet und ausgewertet.

Auch hier erhält man Wärmeströme

$$d\vec{Q}_i = -\lambda_i \text{grad } T, \quad (3.10)$$

welche die korrekte Berechnung der Temperaturverteilung im gesamten Modell erlauben.

Das resultierende Verfahren zählt vom Ansatz her zu den Monte Carlo-Methoden. Diese Form der statistischen Simulation ist seit längerer Zeit bekannt und gebräuchlich ([85]).

Weiterhin berücksichtigt der gewählte Ansatz systembedingt die statistischen Effekte, die bei der Ausbreitung der Wärme im Material auftreten.

Man muß allerdings bei der Generierung der Zufallszahlen ganz besonders darauf achten, daß sie exakt gleichverteilt sind. Bei den Pseudo-Zufallsgeneratoren, die viele Simulationsrechner zur Verfügung stellen, ist dies leider nicht immer gewährleistet. Entsprechende Voruntersuchungen auf der Simulationsplattform (Unix, 4 CPUs, 4 GB RAM) zeigten jedoch, daß

sich die systemeigene `drand48()`-Funktion gut für den gewünschten Zweck eignet.

Im Detail sieht der verwendete Algorithmus für jeden Zeitschritt der Dauer  $\zeta$  folgendermaßen aus:

1. Zufälliges Herausgreifen zweier benachbarter Voxel

2. Bestimmung der Temperaturdifferenz:

$$dT = T_1(t) - T_2(t)$$

3. Berechnung des Wärmestroms:

$$dI = dT / R_{th}$$

4. Bestimmung der Wärmemenge, die in der Zeit  $\zeta$  ausgetauscht wird:

$$dQ = \zeta \cdot dI$$

5. Berechnung der neuen Voxeltemperaturen  $T_1$  und  $T_2$  nach:

$$T_1(t + \zeta) = T_1(t) - dQ / \tilde{c}_p^{[X]}$$

$$T_2(t + \zeta) = T_2(t) + dQ / \tilde{c}_p^{[X]}$$

6. Berücksichtigung von aufgetretenen Phasenübergängen und der dabei auftretenden Umwandlungsenergien

In jedem Zeitschritt der Länge  $\zeta$  müssen gleich viele Voxel neu berechnet werden. Es bietet sich an, die Zahl der Berechnungen so zu wählen, daß sie der halben Zahl der Voxel im Modell entspricht. Im statistischen Mittel wird dann pro Zeitschritt der Wärme fluß an jedem Voxel berücksichtigt, weil an jedem Wärmeaustausch zwei Voxel beteiligt sind.

In den verschiedenen Materialien breitet sich die Wärme unterschiedlich schnell aus. Wenn man die Ausbreitung der Wärme korrekt beobachten will, muß man die Zeitschritte  $\zeta$  hinreichend klein wählen, weil es ansonsten in jedem Zeitschritt zu einem vollständigen Wärmeausgleich zwischen den jeweiligen Voxeln kommt. Da das Simulationsmodell im wesentlichen aus RC-Gliedern aufgebaut ist, genügt hierzu ein Blick auf die dort auftretenden

Zeitkonstanten. Die Zeitkonstante  $\tau$  ist definiert als diejenige Zeit, die erforderlich ist, damit die Spannung am Ausgang eines R-C-Gliedes bis auf 37 % ihres Startwertes abfällt<sup>29</sup>. Die folgende Tabelle zeigt die Werte für  $\tau$  für die verschiedenen Materialien:

$$\begin{aligned} \tau^{[Si]} &= \tilde{c}_p^{[Si]} \cdot \tilde{R}_{th}^{[Si]} = 5,01528 \cdot 10^{-13} \text{ s} \\ \tau^{[OX]} &= \tilde{c}_p^{[OX]} \cdot \tilde{R}_{th}^{[OX]} = 5,05015 \cdot 10^{-11} \text{ s} \\ \tau^{[W]} &= \tilde{c}_p^{[W]} \cdot \tilde{R}_{th}^{[W]} = 7,31168 \cdot 10^{-13} \text{ s} \end{aligned}$$

Tabelle 2: Zeitkonstanten bei der Wärmeausbreitung

Die kleinste auftretende Zeitkonstante  $\tau_{\min}$  liegt also etwa bei  $5 \cdot 10^{-13}$  s.

Die ernüchternde Erkenntnis aus Tabelle 2 ist, daß man die Zeitschritte  $\zeta_{\max} \leq 5 \cdot 10^{-13}$  s wählen muß, um die Ausbreitung wirklich sehen zu können. Andernfalls kommt es in jedem Simulationsschritt zu einem vollständigen Wärmeausgleich; es scheint dann fälschlicherweise so, als würde sich die Wärme im Chip kugelförmig ausbreiten – und zwar unabhängig vom Material.

Die Wahl von  $\zeta \ll \tau_{\min}$  führt jedoch zu enormen Simulationszeiten.

Dennoch muß in jedem Zeitschritt kein GLS gelöst, sondern nur der auf Seite 68 genannte Algorithmus für viele einzelne Voxelpaare ausgeführt werden. Da weiter voneinander entfernt liegende Voxel nicht miteinander interagieren, kann dieser Algorithmus problemlos auf mehrere Prozessoren (Rechenomänen) verteilt werden, solange gewährleistet ist, daß an den Grenzflächen zwischen den Berechnungsdomänen keine konkurrierenden Datenzugriffe auftreten.

Letzteres bedeutet, daß es eine Grenze gibt, ab der die erforderliche Kommunikationszeit<sup>30</sup> zwischen den Prozessoren die Berechnungszeit zu dominieren

<sup>29</sup>entsprechend  $\frac{1}{e} \approx 0,37$ , vergl. [27]

<sup>30</sup>Die Kommunikationszeit wird ihrerseits nicht von der Zeit der Datenübertragung dominiert, sondern von der Latenzzeit.

beginnt. Mit zusätzlichen Prozessoren kann man dann zwar keine weitere Beschleunigung der Berechnung mehr erreichen – wohl aber kann das berechnete Modell vergrößert werden, ohne daß die Laufzeit des Simulators in gleichem Maße zunimmt.

In diesem Verhalten liegt der wesentliche Vorteil des gewählten Ansatzes.

### 3.10.2 Durchführung der Simulation

Abbildung (28) zeigt mittig ein Voxel des Tunneloxides (welches in der Simulation nur eine Voxelschicht dick ist), sowie die möglichen Richtungen, in die es Wärme abgeben könnte.

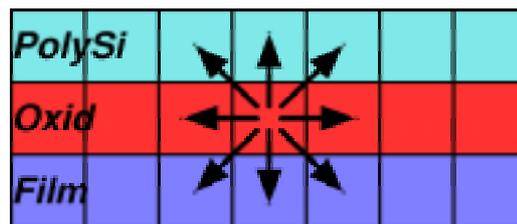


Abbildung 28: Mögliche Wärmeabgaberrichtungen eines einzelnen Voxels im Tunneloxid

Man kann jedem dieser Wärmeübergänge eine bestimmte Wahrscheinlichkeiten zuordnen. Diese Wahrscheinlichkeiten  $P$  sind sehr verschieden und hängen umgekehrt proportional von den jeweils auftretenden Wärmewiderständen  $R_{th}$  ab. Insgesamt gibt es im Simulationsmodell fünf verschiedene Materialien:

1.  $\text{SiO}_2$  (Feldoxid, Viaoxid)
2.  $\text{SiO}_2$  (Tunneloxid<sup>31</sup>)
3. Polysilizium

---

<sup>31</sup>Das Tunneloxid wird hier von den übrigen Oxiden unterschieden, weil die Voxel im Tunnelbereich ein anderes Volumen ( $10 \times 10 \times 9 \text{ nm}^3$ ) haben, als die Voxel im restlichen Modell ( $10 \times 10 \times 10 \text{ nm}^3$ ); daher ist ihre Geometrie (und damit  $R_{th}$ ) verschieden.

4. Aktiver Film ( $p^-$  Silizium)

## 5. Wolfram

Jeder dieser Wärmeübergänge tritt mit einer bestimmten Wahrscheinlichkeit auf, die umgekehrt proportional zum jeweiligen Wärmewiderstand  $\tilde{R}_{th}^{[X]}$  ist. Die folgenden Tabelle gibt einige Beispiele:

$P\{ \text{SiO}_2 \leftrightarrow \text{SiO}_2 \}$	$= \left( \tilde{R}_{th}^{[OX]} \cdot 2 \right)^{-1}$
$P\{ \text{SiO}_2 \leftrightarrow \text{PolySi} \}$	$= \left( \tilde{R}_{th}^{[OX]} + \tilde{R}_{th}^{[Poly]} \right)^{-1}$
$P\{ \text{SiO}_2 \leftrightarrow \text{Si} \}$	$= \left( \tilde{R}_{th}^{[OX]} + \tilde{R}_{th}^{[Si]} \right)^{-1}$
$P\{ \text{SiO}_2 \leftrightarrow \text{Wolfram} \}$	$= \left( \tilde{R}_{th}^{[OX]} + \tilde{R}_{th}^{[W]} \right)^{-1}$
...	

Tabelle 3: Einige Beispiele für die (nicht-normierten) Wahrscheinlichkeiten von achsenparallelen Wärmetransfers

Weiterhin kann der Wärmeaustausch nicht nur achsenparallel, sondern auch diagonal erfolgen (vergl. Abbildung (28)). In diesem Fall sind die auftretenden  $R_{th}$  zusätzlich um den Faktor  $\sqrt{2}$  größer, weil die Entfernung der Voxelmitelpunkte größer ist.

Insgesamt erhält man so für die fünf Materialien  $2 \times 5^2 = 50$  Wahrscheinlichkeitswerte, die anschließend noch auf

$$\sum_{i=1}^{50} P_i \stackrel{!}{=} 1 \quad (3.11)$$

normiert werden. Die  $P_i$  repräsentieren dann die *relative* Wahrscheinlichkeit, daß ein bestimmtes Wärmeaustauschereignis eintritt.

Man kann  $P_i$  daher als eine diskrete Wahrscheinlichkeits-Dichtefunktion auffassen und

$$F(x) := \sum_{i=1}^x P_i \quad \text{mit} \quad x \in \{1, \dots, 50\} \quad (3.12)$$

als Verteilungsfunktion definieren ([59]).

Numerische Zufallsgeneratoren erzeugen in der Regel Zufallszahlen im Intervall  $[0...1[$ . Dieses Intervall läßt sich direkt auf die Verteilungsfunktion  $F(x)$  abbilden, die den gleichen Wertebereich besitzt. Jeder ermittelten Zufallszahl kann somit über die Inverse  $F^{-1}(y)$  ein bestimmtes Wärmeaustausch-Ereignis zugeordnet werden.

Damit jedes der  $800 \times 400$  Voxel im statistischen Mittel wenigstens einmal pro Iterationsschritt an einem Wärmeaustausch teilnimmt, müssen  $\frac{800 \times 400}{2} = 160.000$  Zufallszahlen ermittelt und anschließend die jeweiligen Wärmeübergänge berechnet werden.

Es ist außerdem zu erwarten, daß bei einer inhomogenen Temperaturverteilung im simulierten Modell auch die Stromverteilung eine deutliche, räumliche Ortsabhängigkeit zeigt, da sich der spezifische elektrische Widerstand der beteiligten Materialien mit der Temperatur verändert. Es ist deshalb nicht hinreichend anzunehmen, daß die durch den Stromfluß erzeugte Wärme gleichmäßig und zeitunabhängig im Modell auftritt. Das Simulationsmodell muß daher noch so modifiziert werden, daß es auch diesen Einfluß berücksichtigt.

Ebenso wie beim Wärmetransport die zugeführte Wärme in nicht-quantisierten Mengen durch Nachbarschafts-Interaktion transportiert wird, kann man dies für den quasi-stationären Stromfluß simulieren, indem man hier von transportierten Ladungsmengen ausgeht.

Im Prinzip hat man dadurch zwei Simulationsprozesse kaskadiert: zuerst erfolgt ein Transport elektrischer Ladungen, durch den Wärme entsteht. Anschließend breitet sich diese Wärme aus.

Um die Frage zu beantworten, wie weit sich die Schmelzzone beim Programmieren einer OTP-Zelle ausbreitet, kann man die erforderliche Energie größenordnungsmäßig abschätzen.

Das Tunneloxid hat ein Volumen von

$$V_{\text{tunnel}}^{\text{[TOX]}} = 2 \mu\text{m} \times 2 \mu\text{m} \times 0,009 \mu\text{m} = 0,036 \mu\text{m}^3 \quad (3.13)$$

In der Simulation hat ein Voxel des Gateoxids ein deutlich kleineres Volumen, nämlich

$$V_{\text{tunnel}}^{\text{[TOX]}} = 10 \text{ nm} \times 10 \text{ nm} \times 9 \text{ nm} = 900 \text{ nm}^3 \quad (3.14)$$

Zur Abschätzung der Energie, die zum Aufschmelzen des Tunneloxids benötigt wird, kann man z. B. annehmen, daß zur Herstellung eines dauerhaften Kontakts das vollständige Schmelzen eines Voxels erforderlich ist.

Die hierzu erforderliche Energie wird zum einen zur Erwärmung des Voxels bis an seinen Schmelzpunkt benötigt, zum anderen aber auch für die Phasenumwandlung fest  $\rightarrow$  flüssig.

$$\tilde{E}_{\text{melt}}^{\text{[TOX]}} = \tilde{W}_{\text{heat}}^{\text{[TOX]}} + \tilde{W}_{\text{melt}}^{\text{[TOX]}} \quad (3.15)$$

$$\tilde{E}_{\text{melt}}^{\text{[TOX]}} = \int_{20^\circ\text{C}}^{1467^\circ\text{C}} \tilde{c}_p^{\text{[TOX]}}(\vartheta) \, d\vartheta + \tilde{U}_{\text{melt}}^{\text{[TOX]}} \quad (3.16)$$

$$\tilde{E}_{\text{melt}}^{\text{[TOX]}} = \int_{293 \text{ K}}^{1740 \text{ K}} \tilde{c}_p^{\text{[TOX]}}(T) \, dT + \tilde{U}_{\text{melt}}^{\text{[TOX]}} \quad (3.17)$$

Alle in Gleichung (3.17) auftretenden Größen sind Konstanten und in Anhang G.2 tabelliert. Massen treten in Gleichung (3.17) nicht auf, da sie in den mit Tilden gekennzeichneten, zugeschnittenen Konstanten bereits enthalten sind<sup>32</sup>.

---

<sup>32</sup>Die thermische Ausdehnung der Voxel muß ebenfalls nicht berücksichtigt werden, da Voxelvolumina immer im kalten Zustand (Raumtemperatur) spezifiziert werden. Das Voxelvolumen wird also mit der Temperatur größer, die Anzahl der im Volumen enthaltenen Atome bleibt jedoch konstant. Das Volumen geht deshalb nicht mit in die Rechnung ein.

Man erhält durch direktes Einsetzen in Gleichung (3.17):

$$\tilde{E}_{\text{melt}}^{[\text{TOX}]} = 3,169 \cdot 10^{-15} \text{ J} + 3,615 \cdot 10^{-14} \text{ J} \quad (3.18)$$

$$= 3,932 \cdot 10^{-14} \text{ J} \quad (3.19)$$

Diese Energie  $\tilde{E}_{\text{melt}}^{[\text{TOX}]}$  wird also benötigt, um ein einzelnes Voxel des Tunnelfensters aufzuschmelzen.

Bei einer angenommenen Heizleistung von  $P^{[\text{TOX}]} = 7,44 \text{ } \mu\text{W}$  für das ganze Tunneloxidfenster<sup>33</sup>, bzw.

$$\tilde{P}^{[\text{TOX}]} = \frac{7,44 \text{ } \mu\text{W}}{200 \times 200 \text{ Voxel}} \quad (3.20)$$

$$\tilde{P}^{[\text{TOX}]} = 1,86 \cdot 10^{-10} \frac{\text{W}}{\text{Voxel}} \quad (3.21)$$

pro Voxel, dauert die Erwärmung bis zum Schmelzpunkt

$$\Delta t_{\text{melt}} = \frac{\tilde{E}_{\text{melt}}^{[\text{TOX}]}}{\tilde{P}^{[\text{TOX}]}} = 2,114 \cdot 10^{-4} \text{ s} = 211,4 \text{ } \mu\text{s} \quad (3.22)$$

Es bleibt allerdings anzumerken, daß  $\Delta t_{\text{prog}} \leq \Delta t_{\text{melt}}$ , da die Bildung des primären Strompfades gem. Abschnitt 3.8 nicht rein thermisch, sondern über die Generierung von Traps erfolgt.

Obwohl der Wert von  $\Delta t_{\text{melt}}$  daher nur eine grobe Näherung darstellt, erscheint es durchaus vernünftig anzunehmen, daß die erforderliche Programmierzeit  $\Delta t_{\text{prog}}$  unterhalb 1 ms liegen wird. Die daraus resultierende Programmiergeschwindigkeit von über 1000 Bit pro Sekunde ist für den geplanten Einsatz in einem Baustein mit rund 6000 Bitzellen ausreichend.

### 3.10.3 Konsequenzen für das OTP-Layout

Abbildung (29) zeigt das Layout einer einzelnen TOXFET-Bitzelle. Der Source-Anschluß des TOXFETs liegt auf der linken Seite und ist mit einer

---

<sup>33</sup>siehe Gleichung (3.5) auf Seite 56

vertikalen Leitung zur Spaltenselektion verbunden. Der Gate-Anschluß befindet sich unten etwa in der Mitte von Abbildung (29). Der Drain-Anschluß wird von rechts kontaktiert und ist mit der horizontal-verlaufenden Leitung zur Zeilenauswahl verbunden.

Zwischen der Gate-Zone und dem Drain-Anschlußgebiet erkennt man in Abbildung (29) die Drain-Extension, welche die Spannungsfestigkeit des TOXFETs erhöht.

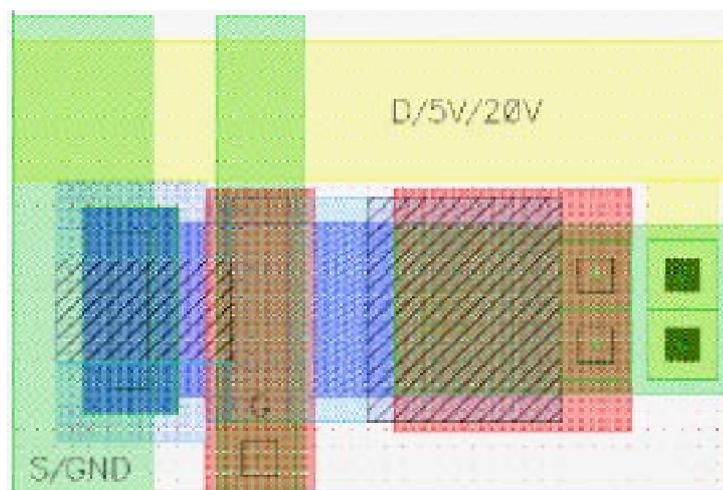


Abbildung 29: Aufbau einer einzelnen TOXFET-Bitzelle

In der Simulation zeigte sich, daß im Bereich des Tunneloxids sehr hohe Temperaturen auftreten. Das Layout muß also so gewählt werden, daß die sich ausbreitende Wärme keine aktiven Strukturkomponenten beschädigen kann. Da die Wärme nur über den aktiven Film und die Polysiliziumschicht abfließen kann, werden diese Zonen gegenüber einem normalen Transistor und dem Vorschlag aus [2] vergrößert.

Insbesondere die Zonen um das Tunnelfenster herum sollten möglichst groß sein, damit ggf. in diesem Bereich auftretende, lokale Schäden nicht zu einem sofortigen und kompletten Ausfall der Zelle führen.

Die implantierte Oxidschicht verhindert bei SIMOX-Wafern, daß sich die auftretende Wärme rasch zum Substrat hin verteilen kann. Der größte Bei-

trag zur Wärmeableitung/-verteilung erfolgt deshalb bei SIMOX über die Metallisierungsebenen ([33]). Beim Abkühlen der Zelle ist daher zu erwarten, daß sich die Wärme über die in Abbildung (29) horizontal verlaufende Metall-2-Drain-Schiene verteilt.

Die quasi-rechteckige Form der Bitzelle mit ihren Kantenlängen von  $32,7 \mu\text{m} \times 20,80 \mu\text{m}$  gestattet eine einfache Integration zu einer Speicher-matrix. Durch die mögliche Überlappung läßt sich zudem ein zusätzlicher Flächengewinn realisieren. Abbildung (30) zeigt einen Ausschnitt aus der im HTPAL eingesetzten Matrix:

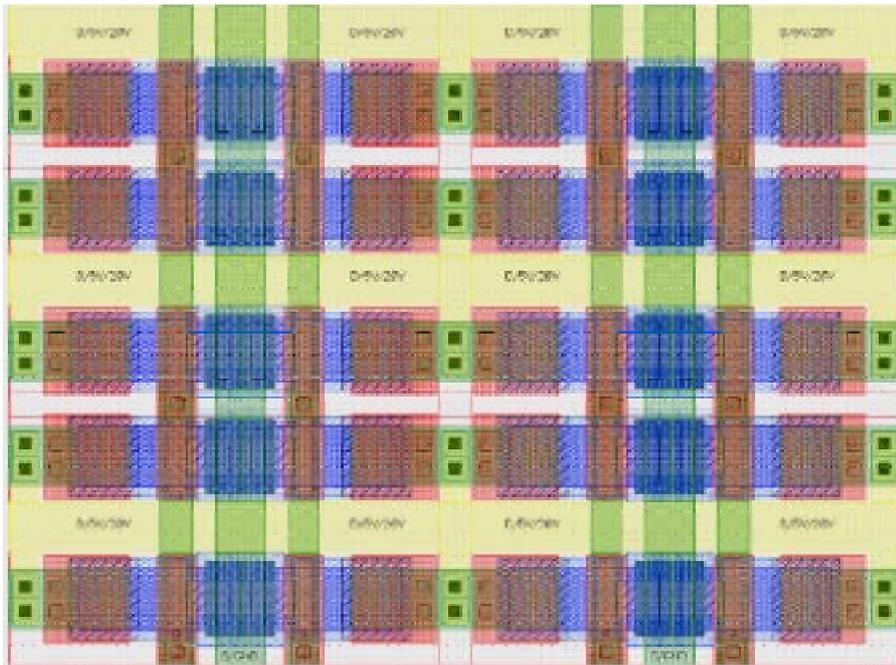


Abbildung 30: Aufbau einer Matrix aus TOXFET-Bitzellen

Man erreicht in dieser Aufbauweise eine Bitdichte von  $3188 \text{ Bit}/\text{mm}^2$  bei einer effektiven Zellenfläche von  $19,6 \mu\text{m} \times 16,0 \mu\text{m} = 313,6 \mu\text{m}^2$ .

### 3.11 Grundlegende meßtechnische Charakterisierung der TOXFETs

Zur Bestimmung der wichtigsten Bauteilparameter  $U_{BR}$ ,  $R_{ON}$ ,  $W_{Prog}$  wurde der Meßaufbau nach Abbildung (31) auf der folgenden Seite verwendet.

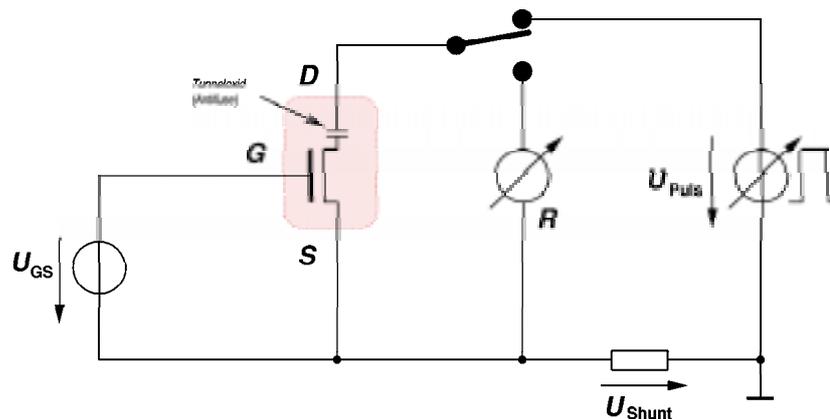


Abbildung 31: Meßaufbau zur Parameterbestimmung. Die Lage des Tunneloxids ist zur Verdeutlichung nochmals hervorgehoben.

Die Kapazität  $C_{OX}$  über dem Tunnelfenster konnte nicht direkt gemessen werden: sie ist für die Messung mit den üblichen Laborgeräten deutlich zu klein und wird von verschiedenen Streukapazitäten (Leitungen, usw.) überdeckt. Rechnerisch liegt sie etwa in einer Größenordnung von

$$\begin{aligned}
 C &= \varepsilon_0 \varepsilon_r \frac{A}{d} \\
 C_{OX} &= 8,85 \cdot 10^{-12} \frac{\text{As}}{\text{Vm}} \times 3,88 \times \frac{2 \mu\text{m} \times 2 \mu\text{m}}{9 \text{ nm}} = 15,26 \cdot 10^{-15} \text{ F} \\
 &= 15,26 \text{ fF}
 \end{aligned}$$

Bei fester Gatespannung  $U_{GS} = 5 \text{ V}$  kann in der unteren Schalterstellung zunächst überprüft werden, ob sich der TOXFET zu Beginn der Messung noch in einem nicht-programmierten Zustand befindet.

In der oberen Schalterstellung kann anschließend der TOXFET mit einem Pulsgenerator programmiert werden. Leider erfolgt die Programmierung der

Zelle dabei so schnell, daß sich  $U_{\text{Puls}}$  und  $I_{\text{Shunt}}$  nicht mit üblichen Laboraufbauten beobachten lassen. Wäre dies möglich, so könnte man aus dem Integral über die jeweilige Momentanleistung

$$W_{\text{Prog}} := \int_0^{t_{\text{Prog}}} U_{\text{Puls}}(t) \cdot I_{\text{Shunt}}(t) dt \quad (3.23)$$

die benötigte Energie direkt bestimmen, die zum Programmieren des TOXFETs erforderlich ist. Da die Programmierspannung  $U_{\text{Puls}}$  auch bei einem annähernd idealen Meßaufbau nicht unendlich schnell ansteigt, könnte man außerdem in den Meßdaten direkt die Durchbruchspannung  $U_{\text{BR}}$  ablesen.

Nach erfolgter Programmierung kann man (ebenfalls in der oberen Schalterstellung) den ohmschen Widerstand  $R_{\text{ON}}$  des TOXFETs im programmierten Zustand messen.

### 3.11.1 Meßergebnisse für den Programmierstrom

Programmiert wurde mit einem Spannungspuls von 25 V mit maximaler Anstiegsgeschwindigkeit des Pulsgenerators.

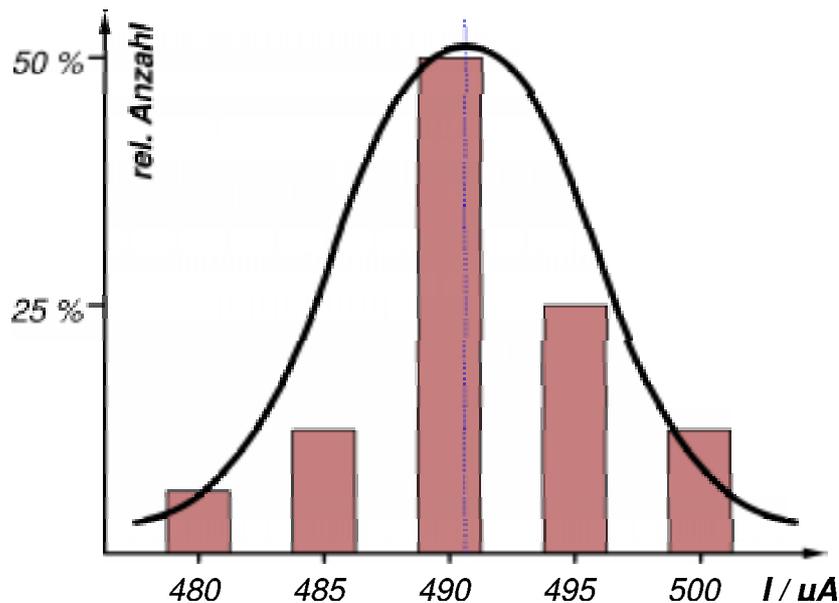


Abbildung 32: Fließende Programmierströme nach erfolgtem Durchbruch.

Abbildung (32) zeigt eine Statistik über die fließenden Ströme, die beim Programmieren mit  $U_{\text{DS}} = 25 \text{ V}$  nach dem Durchbruch des Oxids gemessen wurden. Die mit  $490 \mu\text{A}$  bezeichnete Säule ergibt sich nach

$$n_{490} = \frac{\text{Anzahl der Meßwerte zwischen } 487,5 \mu\text{A} \text{ und } 492,5 \mu\text{A}}{\text{Gesamtzahl der Meßwerte}} \quad (3.24)$$

Der Median der Verteilung liegt bei  $491 \mu\text{A}$ , was einem ohmschen Widerstand von  $49 \text{ k}\Omega$  im Arbeitspunkt bei  $25 \text{ V}$  entspricht. Dies erscheint selbst für einen SIMOX-Hochvolt-Transistor relativ viel, jedoch ist zu beachten, daß sich zum Zeitpunkt der Programmierung der Transistor und seine Umgebung stark erwärmt. Bei dem genannten Strom-/Spannungsverhältnis beträgt die Verlustleistung immerhin gut  $12 \text{ mW}$ .

### 3.11.2 Meßergebnisse für programmierte TOXFETs

Die folgende Abbildung (33) zeigt das Verhalten programmierter TOXFETs bei kleiner Aussteuerung um den Nullpunkt. Die interessantesten Kurvenanteile liegen dabei im ersten Quadranten oben rechts. Die Kurvenabschnitte weisen dort die typische Form von MOSFET-Kennlinien im Anlaufbereich auf ([27]).

Der dritte Quadrant zeigt die Kennlinienteile bei umgekehrter Polarität von  $U_{DS}$ . In diesem Bereich werden die Filmdioden am Source-Anschluß der SIMOX-Transistoren wirksam ([5]). Die dort zu erwartende Kennlinie entspricht also derjenigen einer PN-Diode.

Aus diesem Grund sind die dargestellten Kurven nicht symmetrisch um den Nullpunkt.

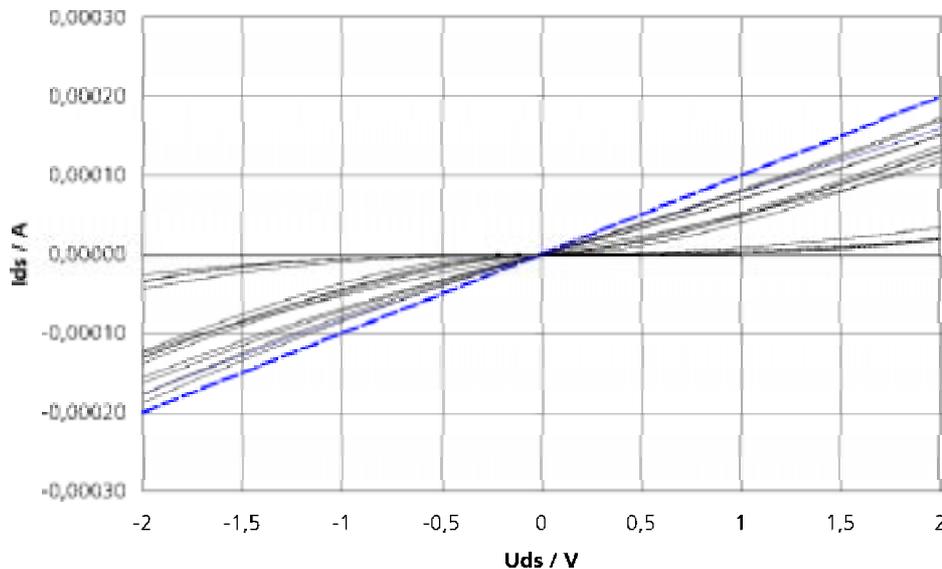


Abbildung 33: Kennlinien einiger TOXFETs bei fester Gatespannung  $U_{GS} = 5 \text{ V}$ .

Die gestrichelte Linie in Abbildung (33) gibt zum Vergleich die Kennlinie eines  $10 \text{ k}\Omega$ -Widerstandes wieder. Die ohmschen Widerstände aller programmierten TOXFETs lagen (zum Teil deutlich) unterhalb dieses Wertes.

Anzumerken bleibt noch, daß es während der Messungen zu keinen Totalausfällen kam. Keine der untersuchten Zellen zeigte nach der Programmierung einen Widerstand von mehr als  $20\text{ k}\Omega$ .

Abbildung (34) zeigt schließlich das komplette Kennlinienfeld eines einzelnen programmierten TOXFETs. Als zusätzlicher Parameter wird im dargestellten Kennlinienfeld noch die Gatespannung  $U_{GS}$  zwischen  $1\text{ V}$  und  $5\text{ V}$  in Schritten von  $1\text{ V}$  variiert.

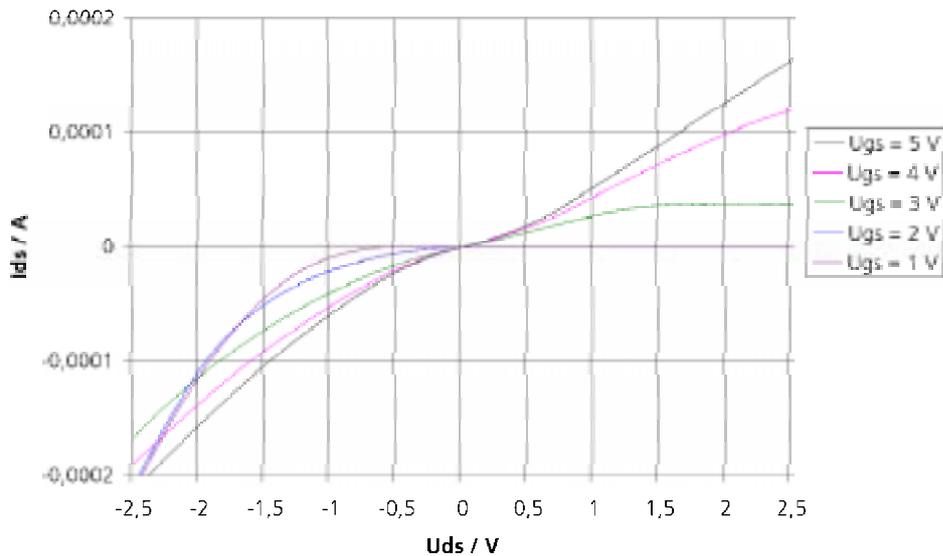


Abbildung 34:  $I_{DS}/U_{DS}$ -Kennlinienfeld eines programmierten TOXFETs

In Abbildung (34) ist die Asymmetrie zwischen dem ersten Quadranten (typische MOSFET-Kennlinie) und dem dritten Quadranten (typische Diodenkennlinie) noch etwas deutlicher zu erkennen, die durch die Diodenstruktur an den Source-Kontakten der SIMOX-Hochtemperaturtransistoren verursacht wird.

### 3.11.3 Meßergebnisse für die Steuerbarkeit

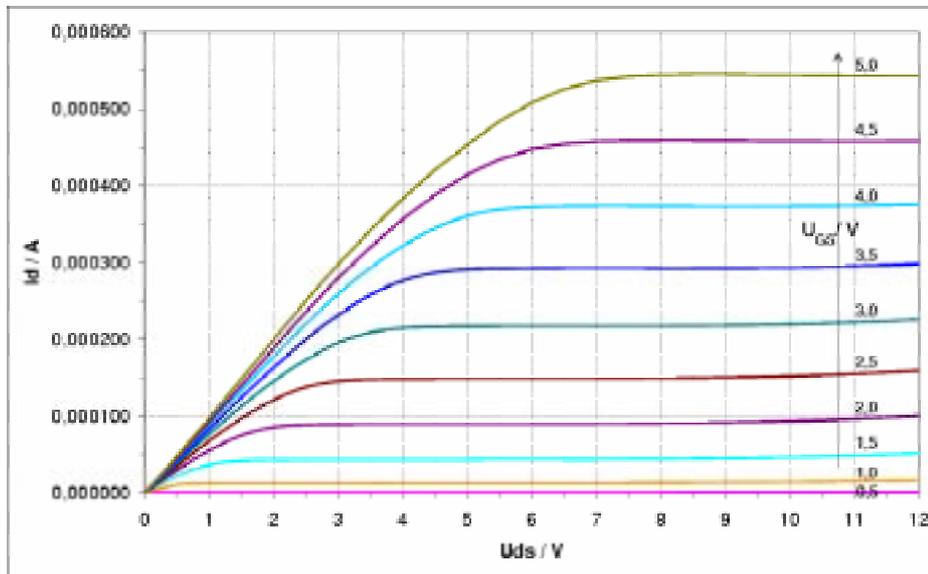


Abbildung 35: Steuerwirkung des Gates

In einer weiteren Meßreihe wurde die Steuerwirkung des Gates untersucht. Abbildung (35) zeigt den Stromfluß durch einen programmierten TOXFET für unterschiedliche Gatespannungen  $U_{GS}$ .

Die Kurvenschar zeigt einen typischen MOSFET-Verlauf; an den Anlaufbereich im linken Teil des Kennlinienfeldes schließt sich im mittleren Teil ein Abschnitt an, in dem der Stromfluß weitgehend unabhängig von der anliegenden Drain-Source-Spannung  $U_{DS}$  ist.

Im rechten Teil von Abbildung (35) ist ein leichter Anstieg der Kurven zu erkennen. Die Ladungsträger im aufgesteuerten Kanal durchfallen bei hohen  $U_{DS}$ -Spannungen ein großes Potentialgefälle und gewinnen dadurch beträchtliche kinetische Energien. Sobald sie die Ionisationsenergie des Kanalmaterials erreichen, können sie durch Stoßionisation weitere Ladungsträgerpaare generieren, die anschließend ihrerseits vom Feld beschleunigt werden. Es kann so zu einem lawinenartigen Anstieg der Ladungsträger im Kanal kommen.

Durch Wechselwirkung mit dem Kristallgitter werden zudem weitere Gitterphononen angeregt, was sich in einer Temperaturerhöhung des Halbleiters äußert (und damit die Zahl der thermisch generierten Ladungsträger zusätzlich erhöht).

In der Regel sind jedoch nur die fließenden Ströme bei der Nennbetriebsspannung von 5 V von Interesse. Sie betragen in Abbildung (35) maximal 52,2 pA bei gesperrtem Gate und 453 µA bei aufgesteuertem Gate. Dieses Verhältnis von  $1 : 10^8$  garantiert einem sehr guten Störabstand für den Betrieb in digitalen Schaltungen und sollte auch für die meisten übrigen Anwendungen ausreichend sein.

### 3.11.4 Grenzen der Belastbarkeit

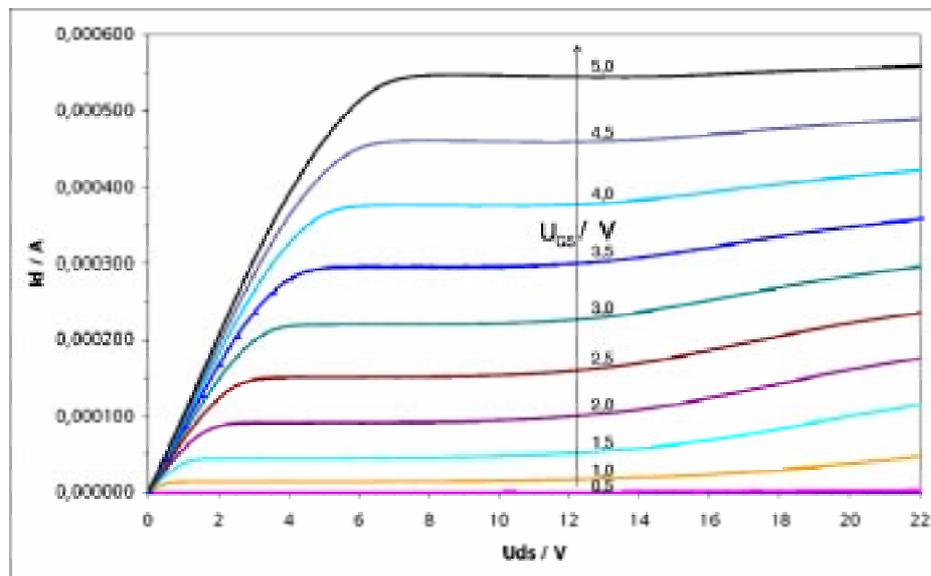


Abbildung 36: Belastung des TOXFETs durch hohe  $U_{DS}$ -Spannungen

Wenn Drain-Source-Spannung  $U_{DS}$  gegenüber dem vorangegangenen Abschnitt weiter erhöht wird, kommt es mit steigender  $U_{DS}$ -Spannung zu einer immer stärkeren Erwärmung des TOXFETs. Der leichte Anstieg von

$I_D(U_{DS}, U_{GS})$  aus Abbildung (35) ist daher in Abbildung (36) noch deutlicher zu erkennen.

Wie ausgeprägt er letztlich ausfällt, hängt stark von der Meßgeschwindigkeit ab: Die im Aktivgebiet des TOXFETs entstehende Wärme kann in SIMOX-Wafern nicht besonders gut abgeführt werden, da durch das vergrabene Oxid kaum ein Wärmetransport zum Substrat hin erfolgen kann<sup>34</sup>.

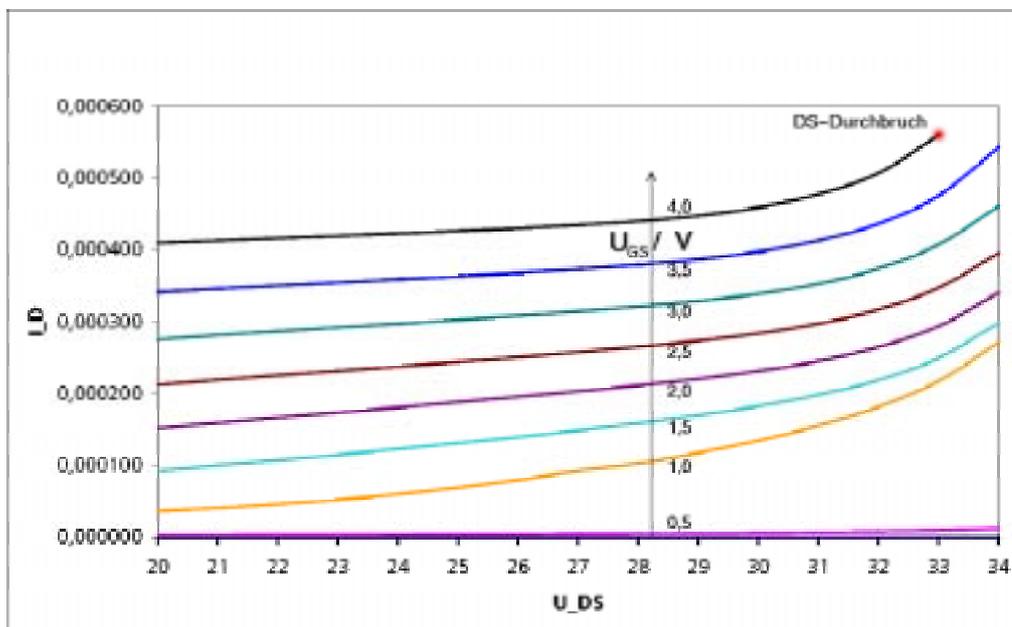


Abbildung 37: Durchbruch des TOXFETs bei zu hoher  $U_{DS}$ -Spannung

Abbildung (37) zeigt schließlich den Durchbruch des TOXFETs bei zu großer  $U_{DS}$ -Spannung. Der Durchbruch tritt in der dargestellten Messung bei  $U_{DS} = 31 \text{ V}$  und  $U_{GS} = 4 \text{ V}$  auf. Der TOXFET ist anschließend zerstört und wurde in vorliegenden Fall dauerhaft hochohmig ( $G\Omega$ ).

<sup>34</sup>Die Wärmeleitfähigkeit von  $\text{SiO}_2$  ist um rund 3 Größenordnungen schlechter als diejenige des aktiven Siliziumfilms (vergl. Tabelle 18 auf Seite 187).

Bei abgeschaltetem Gate ( $U_{GS} \leq 0,5 \text{ V}$ ) wird der TOXFET jedoch selbst bei Drain-Source-Spannungen von über 30 V (flache Meßkurve ganz unten in Abbildung (37)) noch nicht zerstört<sup>35</sup>.

### 3.11.5 TOXFET Leckströme

Durch einen programmierten, jedoch über das Gate gesperrten TOXFET kann ein Reststrom von etwa 97,6 pA fließen, wenn an ihn eine Spannung von  $U_{DS} = 25 \text{ V}$  angelegt wird. Dies ist insbesondere von Interesse, wenn der TOXFET in einer Speichermatrix betrieben wird und einer der benachbarten TOXFETs programmiert werden soll.

Als Konsequenz ergibt sich daraus, daß die Programmierung einer Speichermatrix immer über einen Spannungspuls erfolgen sollte, nicht über einen eingprägten Stromimpuls.

Durch die gesperrten (aber programmierten), benachbarten TOXFETs fließt dann zwar ein unerwünschter Leckstrom, der in der Summe über alle TOXFETs einer Matrixzeile eine erhebliche Höhe erreichen kann<sup>36</sup>, aber es wird dennoch die gewünschte Programmierwirkung erreicht. Letztere hängt ganz wesentlich davon ab, daß die Durchbruchspannung des zu programmierenden TOXFETs erreicht wird, bevor thermische Schäden auf dem Chip entstehen.

Ist das Tunneloxidfenster erst einmal durchgebrochen, dann wird dadurch der Widerstand dieses TOXFET-Transistors sehr klein gegenüber den anderen (gesperrten) Transistoren der jeweiligen Matrixzeile. Nach der Stromteilerregel konzentriert sich deshalb der anschließende Stromfluß im wesentlichen auf den frisch programmierten Transistor.

---

<sup>35</sup>Dies ist beispielsweise von Bedeutung, wenn etwa durch kapazitives Übersprechen unerwünschte Spannungspulse eingekoppelt werden.

<sup>36</sup>(insbesondere bei höheren Umgebungstemperaturen)

Um eine nachfolgende, thermische Schädigung des programmierten TOXFETs zu vermeiden, sollte der Programmierstrom anschließend umgehend abgeschaltet oder zumindest auf einen unkritischen Wert begrenzt werden. Entsprechend der Programmierkennlinie aus Abbildung (15) (Seite 45) ist hierzu eine Begrenzung des Stroms auf etwa 10  $\mu\text{A}$  ausreichend; zu berücksichtigen sind aber auch noch die ggf. fließenden Leckströme in anderen Schaltungsteilen.

### **3.12 Zusammenfassung**

In diesem Abschnitt wurden die TOXFET-OTP-Zellen als neues Bauelement in die SIMOX-Technologie eingeführt. Das neue Bauteil besteht aus einem SIMOX-Hochvolttransistor, dessen Drain-Anschluß durch eine dünne Isolationschicht (Tunneloxid) vom übrigen Transistor isoliert ist. Durch das Anlegen einer ausreichend hohen Programmiervspannung bricht das Oxid durch und der TOXFET arbeitet anschließend ähnlich einem normalen NMOS-Hochvolttransistor.

Neben der Beschreibung der Durchbruchmechanismen wurde mithilfe eines objektorientierten, verteilten Wärmesimulators das Layout der TOXFETs optimiert. Das Ergebnis ist ein Bauelement mit hoher Zuverlässigkeit, was sich in den durchgeführten Messungen bestätigte.

## 4 HTPAL

Das Ziel der vorliegenden Arbeit ist ein flexibel konfigurierbarer Logikbaustein mit hoher Temperaturfestigkeit.

Die Entwicklung eines neuen Bausteins orientiert sich in erster Linie an den jeweiligen Anforderungen des Zielmarktes. Aktuell besteht noch ein sehr breiter Bedarf an hochtemperaturtauglichen Bauelementen, da sich der gesamte Markt für Hochtemperaturelektronik gerade erst entwickelt<sup>37</sup>.

Nachdem die Grundlagenforschung auf Bauelementlevel weitgehend abgeschlossen ist, hat nun die Entwicklung komplexerer Bauteile begonnen. Grundelemente wie Standard-Logikbausteine ([23]), analoge Referenzquellen ([5], [3], [12]), HT-Operationsverstärker ([5]), Pulsgeneratoren ([26]), Quarzoszillatoren, HT-EEPROMs ([2], [16]) und HT-Mikrocontroller ([25]) stehen inzwischen marktreif zur Verfügung.

Als nächste sinnvolle Entwicklungsstufe wurde hier eine PAL-Struktur gewählt. PAL-Bausteine sind seit Jahren hinlänglich bekannt und erfahren eine hohe Akzeptanz auf Seiten der Schaltungsentwickler. Die hohe Verbreitung und die weite Palette zur Verfügung stehender Entwicklungswerkzeuge stärken die Erwartung, daß das neue Bauteil erfolgreich im Markt platziert werden kann.

Um den Entwicklern einen unkomplizierten Migrationsweg bieten zu können, wurde das HT-PAL logikkompatibel zum bekannten 22V10 konstruiert und wird im folgenden mit *HTPAL 22V10* bezeichnet. Das HTPAL bietet maximal 22 Eingänge, von denen 10 auch als Ausgänge betrieben werden können. Die Architektur basiert auf dem SOP-Ansatz (Sum of Products) mit einem programmierbaren AND-Array, das mit einem festprogrammierten OR-Array abgeschlossen ist. Es entspricht damit in seiner Struktur einer der komplexesten PAL-Baureihe am Markt (vergl. [8] von AMD, [9] von Philips und anderen).

---

<sup>37</sup>bezogen auf das Jahr 2002

Programmierbare Makrozellen gestatten die Realisierung kombinatorischer und sequentieller Logikfunktionen. Der Ausgang jeder Makrozelle läßt sich individuell als Kombinatorik oder Register konfigurieren.

Noch komplexere PALs werden heute in der Industrielektronik kaum verwendet. Stattdessen werden Anwendungen mit noch höheren Anforderungen dort in der Regel mit FPGA-, Gatearray- und/oder CPLD-Bausteinen aufgebaut. Aus Sicht der Hochtemperaturelektronik ist das HTPAL dennoch der erste Entwicklungsschritt in dieser Richtung. Das HTPAL wird derzeit noch in einem 1,6  $\mu\text{m}$  Prozeß gefertigt. Mit dem unmittelbar bevorstehenden Technologieschritt auf eine Strukturgröße von 0,25  $\mu\text{m}$  werden dann auch FPGA-Bausteine realisierbar.

#### **4.1 Anforderungen**

Die gewünschte Kompatibilität zu einem PAL 22V10 führt zu einer Reihe von Mindestanforderungen:

- 10 Makrozellen, programmierbar als Register oder Kombinatorik; wahlweise invertiert
- bis zu 16 Produktterme pro Ausgang für komplexe Funktionen
- globaler asynchroner Reset
- synchrones Preset zur Initialisierung
- Power-up Reset zur Initialisierung

Wünschenswerte Eigenschaften wären darüber hinaus noch

- möglichst kurze Laufzeiten

- hohe Grenzfrequenz<sup>38</sup>  $f_{\text{toggle}}$
- niedrige Leistungsaufnahme
- weiter Temperaturbereich
- flexible Programmierbarkeit

Die Geschwindigkeit des Bausteins führt zusammen mit dem Stromverbrauch zu einem Zielkonflikt und wird zudem von der verwendeten Technologie beeinflusst.<sup>39</sup>

Im Hinblick auf das vorgesehene Einsatzfeld wurde das vorliegende HTPAL auf einen geringen Stromverbrauch und eine kleine Chipfläche hin optimiert. Eine starke Einschränkung hinsichtlich der maximalen Betriebsfrequenz auf etwa 15 MHz wurde dabei als akzeptabel angesehen und ist für den geplanten Einsatz ausreichend.

Dies scheint gerechtfertigt, da sich Steigerungen der maximalen Betriebsfrequenz häufig durch den Übergang auf eine Technologie mit kleineren Strukturweiten ergeben. Das HTPAL ist in seinem derzeitigen Layout für eine 1,6  $\mu\text{m}$ -Technologie vorgesehen, die bereits kurz vor ihrer Ablösung durch eine 0,25  $\mu\text{m}$ -Technologie steht. Für die nahe Zukunft sind daher beträchtliche Steigerungen der maximalen Betriebsfrequenz zu erwarten.

---

<sup>38</sup>Laufzeit und Grenzfrequenz hängen nicht so offenkundig zusammen, wie dies vielleicht auf den ersten Blick den Anschein haben könnte. Als Laufzeit wird in der Regel die Zeit definiert, die ein Muster von Eingangssignalen benötigt, um eine entsprechende Änderung der Ausgangssignale zu bewirken. Als Grenzfrequenz wird hingegen oft die maximale Toggle-Rate bei interner Rückkopplung im PAL angegeben. Die maximale Toggle-Rate liegt daher in der Regel deutlich höher als  $f_{\text{max}} = \frac{1}{\Delta t_{\text{delay}}}$ .

<sup>39</sup>PALs der Serie 22V10 sind seit langem in verschiedenen Versionen kommerziell verfügbar, z. B. [8] von AMD oder [9] von Philips. Die maximale Betriebstemperatur aller verfügbaren Bausteine lag bisher jedoch deutlich unterhalb von 200 °C.

Durch die regelmäßige Layout-Struktur des HTPALs ist es außerdem relativ einfach möglich, daß hier vorgestellte HTPAL wechselnden Anforderungen hinsichtlich der Anzahl an Ein- und Ausgängen anzupassen<sup>40</sup>.

Prinzipiell besteht sogar die Möglichkeit, Grenzfrequenz und Verlustleistung programmierbar zu gestalten. Von dieser Option wurde jedoch noch kein Gebrauch gemacht, da sie zusätzliche Fragen hinsichtlich der Reproduzierbarkeit der programmierten Parameter aufwirft.

An geeigneter Stelle<sup>41</sup> wird jedoch nochmals genauer auf diese Option eingegangen.

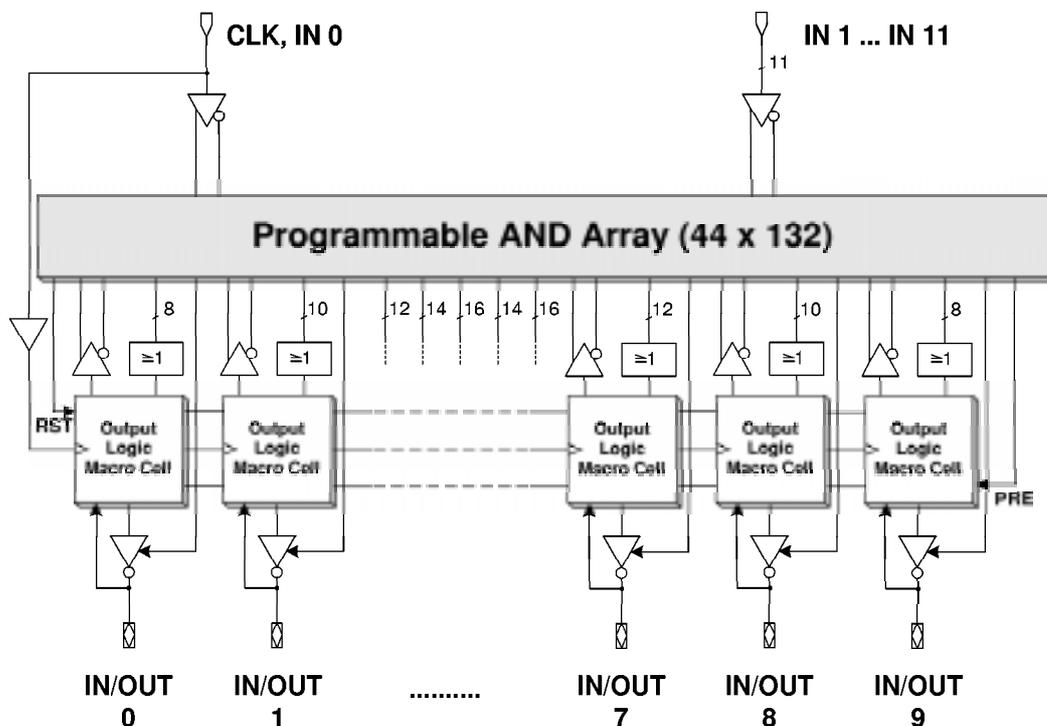


Abbildung 38: Interne Struktur des HTPALs

Abbildung (38) zeigt einen Überblick über die interne Struktur des HTPALs. Im oberen Teil (vereinfacht als großer Block dargestellt) befindet sich

<sup>40</sup>Vergl. Layout in Anhang E

<sup>41</sup>siehe Abschnitt 4.6 ab Seite 123

eine programmierbare AND-Matrix, welche die einzelnen Eingangssignale  $IN_0 \dots IN_{11}$  und  $IN/OUT_0 \dots IN/OUT_9$  miteinander verknüpfen kann. Jedes dieser Signale steht einmal direkt und einmal invertiert zur Verknüpfung im AND-Array zur Verfügung.

Die Ausgänge der AND-Verknüpfungen werden in unterschiedlich großen Gruppen von 8 bis 16 Produkttermen jeweils einer OR-Verknüpfung zugeführt.

Das resultierende Signal wird anschließend einer Ausgabestufe zugeführt, die ein Flipflop und einige programmierbare Inverter enthält. Schließlich wird das Ausgangssignal wieder (konfigurierbar) in die große AND-Matrix zurückgekoppelt.

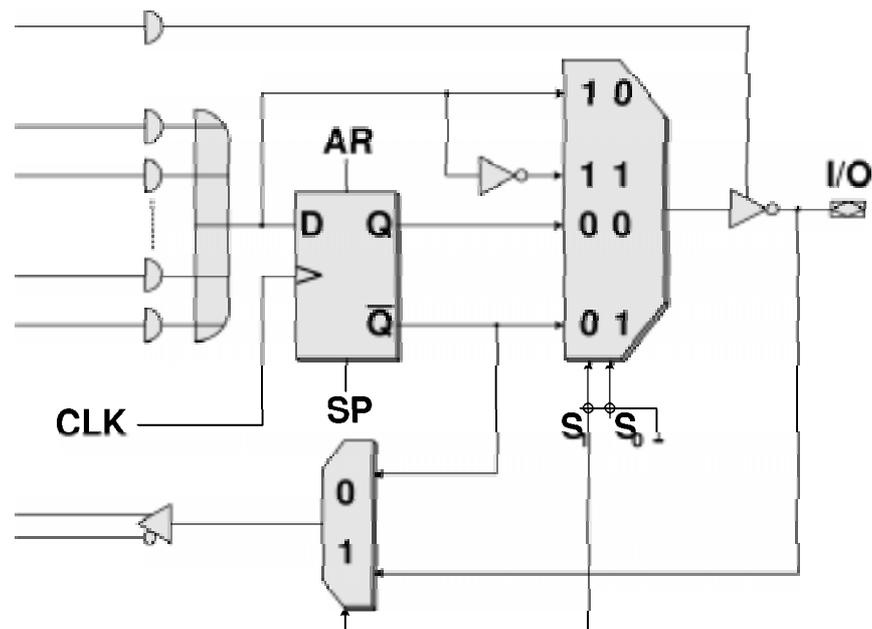


Abbildung 39: Struktur der Makrozellen an jedem Ausgang

(AR: asynchroner Reset Eingang, SP: synchroner Preset Eingang)

Abbildung (39) zeigt eine der Ausgangsmakrozellen. Die beiden Programmierbits  $S_0$  und  $S_1$  erlauben eine relativ flexible Konfiguration des Ausgangs der Makrozelle.

Neben der Polarität des Ausgangssignals kann man wahlweise das Flipflop

nutzen oder umgehen. Weiterhin kann man zwischen zwei verschiedenen Arten der Signalführung vom Ausgang zurück in die AND-Matrix wählen. Mithilfe von  $S_0$  und  $S_1$  lassen sich somit folgende Logikvarianten realisieren:

$S_1$	$S_0$	Output configuration
0	0	Register / Low aktiv
0	1	Register / High aktiv
1	0	Kombinatorik / Low aktiv
1	1	Kombinatorik / High aktiv

Tabelle 4: Wahlmöglichkeiten in den Ausgangsmakrozellen

Die nachfolgende Abbildung (40) zeigt detaillierter die große AND-Matrix, die in Abbildung (38) nur als großer Block dargestellt war:

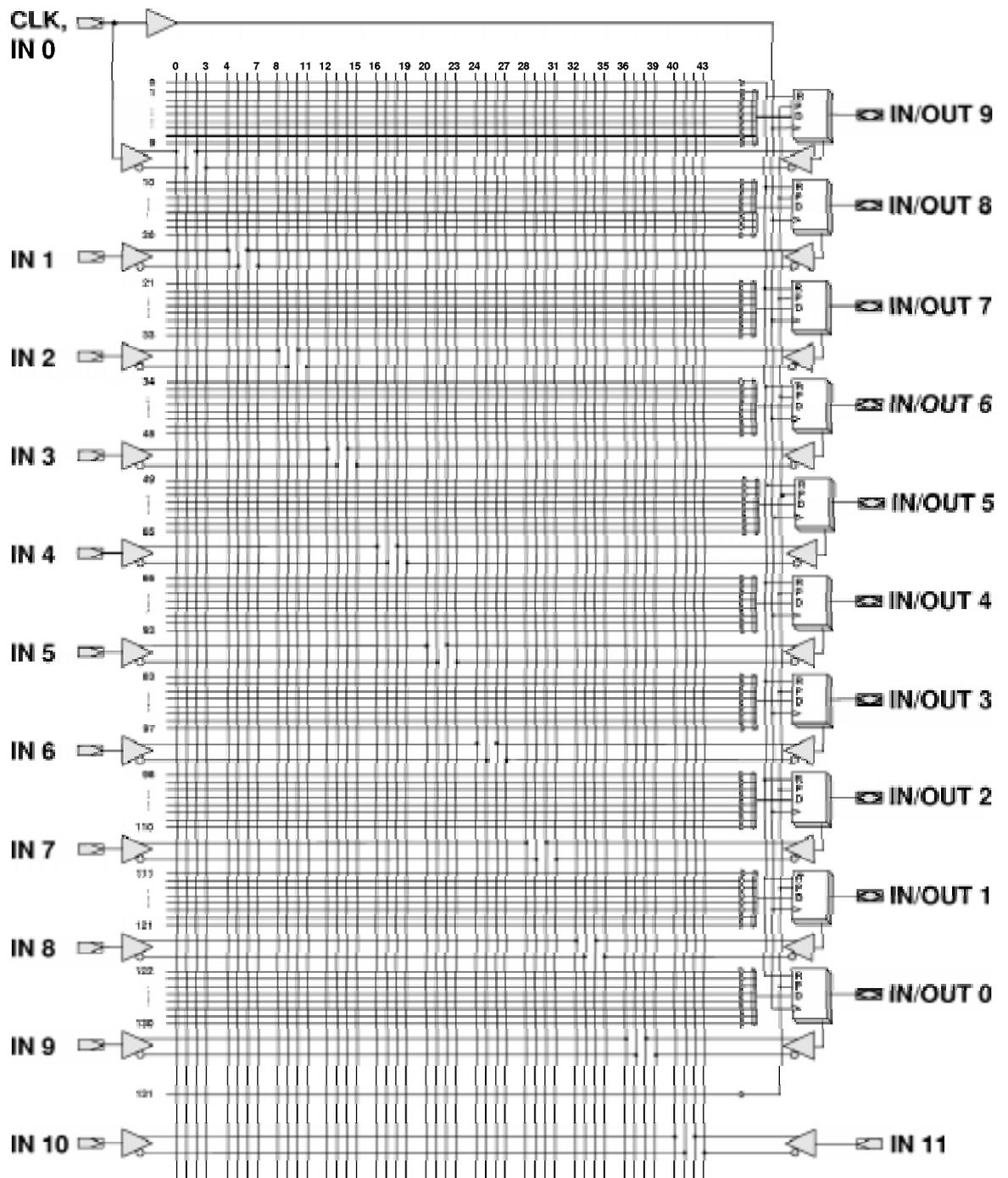


Abbildung 40: Vollständige Eingangsmatrix. An den Kreuzungspunkten der Matrix befinden sich programmierbare Verbindungen.

An den Kreuzungspunkten innerhalb der Matrix von Abbildung (40) befinden sich die benutzerprogrammierbaren Verbindungen, die im vorliegenden HTPAL durch RAM-Zellen (bzw. frei programmierbare Flipflops) realisiert werden. Die so programmierten AND-Terme werden jeweils in Gruppen der OR-Verknüpfung auf der rechten Seite von Abbildung (40) zugeführt. Das logische Ergebnis dieser OR-Verknüpfung liegt schließlich am D-Eingang der Ausgangsmakrozelle (vergl. Abbildung (39)).

Die Implementierung der AND-Matrix ist allerdings nicht völlig unproblematisch: in einer CMOS-Technologie geht man in der Regel zunächst von einer Struktur aus, wie sie in Abbildung (41) dargestellt ist. Die Verwendung der invertierten Signale  $\bar{A}$ ,  $\bar{B}$ ,  $\bar{C}$  bietet sich beim HTPAL besonders an, da diese Signale in der HTPAL-Matrix ohnehin zur Verfügung stehen.

Der Serienschaltung der oberen PMOS-Transistoren steht also im unteren Teil eine genau komplementäre Parallelschaltung aus NMOS-Transistoren gegenüber.

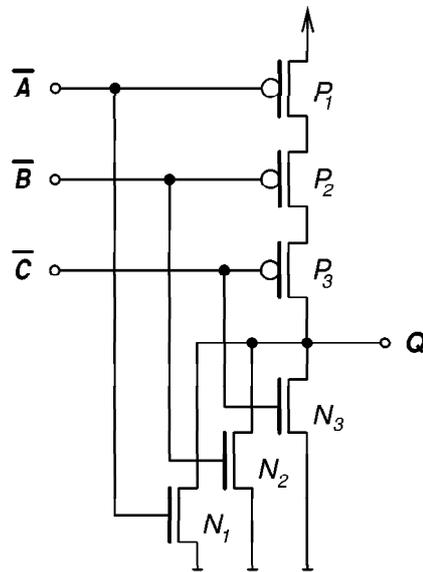


Abbildung 41: Ein AND-Gatter mit 3 Eingängen ( $Q = \bar{A} \cdot \bar{B} \cdot \bar{C}$ ) in komplementärer Logik (CMOS).

Für das PAL benötigt man jedoch nicht nur 3 Eingänge wie in Abbildung (41), sondern insgesamt 40 Eingänge. Im oberen Bereich (P-Transistoren) würde sich so also eine Reihenschaltung von 40 Transistoren ergeben.

Eine solche Serienschaltung vieler Transistoren ist elektrisch sehr ungünstig. Insbesondere stellen die Transistoren im aufgesteuerten Zustand einen beträchtlichen Widerstand  $R_{ON}$  dar (etwa  $10 \text{ k}\Omega \times 40 = 400 \text{ k}\Omega$ ).

Der Widerstand  $R_{ON}$  bildet zusammen mit den auftretenden parasitären Kapazitäten an der Q-Leitung ein RC-Glied mit verhältnismäßig großer Zeitkonstanten. Die Arbeitsgeschwindigkeit des PALs wird dadurch in unerwünschter Weise limitiert.

Dies kommt auch in der einfachen Faustregel zum Ausdruck, nach der die Zahl der seriell verschalteten Transistoren<sup>42</sup> den Wert der Betriebsspannung (in Volt) nicht überschreiten sollte.

Zur Realisierung der AND-Matrix muß daher eine andere Struktur gefunden werden.

Um das genannte Problem zu vermeiden, gibt es eine relativ einfache und elegante Möglichkeit: eine AND-Verknüpfung der Art

$$Q = A \cdot B \cdot C \cdot D \quad (4.1)$$

läßt sich nach  $A \cdot B = \overline{(\bar{A} + \bar{B})}$  (DEMORGAN [75], [76]) umformen zu

$$\bar{Q} = \bar{A} + \bar{B} + \bar{C} + \bar{D} \quad (4.2)$$

Eine entsprechende Schaltung zeigt Abbildung (42). Sie ähnelt in ihrem Aufbau etwas der CMOS-Struktur aus Abbildung (41), jedoch fehlt ihr der gesamte Zweig der PMOS-Transistoren.

Eine Parallelschaltung der NMOS-Transistoren garantiert einen niedrigen  $R_{ON}$ , auch bei sehr vielen parallelen Eingangssignalen. Die Lage der Transistoren invertiert außerdem direkt den Ausgang  $Q$ , so daß auch hier kein zusätzlicher Schaltungsaufwand mehr entsteht.

---

<sup>42</sup>Im Prinzip wäre auch eine baumartige Struktur denkbar: Man könnte hierzu z. B. nur jeweils 4-fach-ANDs verwenden und deren Ausgänge wiederum mit weiteren AND-Gattern verknüpfen. Neben den Laufzeiten von Gatter zu Gatter innerhalb der Bauebenen wäre allerdings der Flächenaufwand für die zusätzlichen Transistoren – und vor allem für deren Verdrahtung – beträchtlich.

NMOS-Transistoren vergleichbarer Leistung sind außerdem aufgrund der höheren Beweglichkeit ihrer Majoritätsladungsträger deutlich kleiner als PMOS-Transistoren.

Die Anstiegszeit des Ausgangs wird in Abbildung (42) direkt über den Pull-up-Widerstand bestimmt, wobei kleinere Widerstände die Anstiegszeit verkürzen. Da für den Kanalwiderstand der Transistoren in der Regel  $R_{\text{ON}} \ll R$  gilt, ist die Abfallzeit des Ausgangs  $Q$  in der Regel<sup>43</sup> kürzer als die Anstiegszeit.

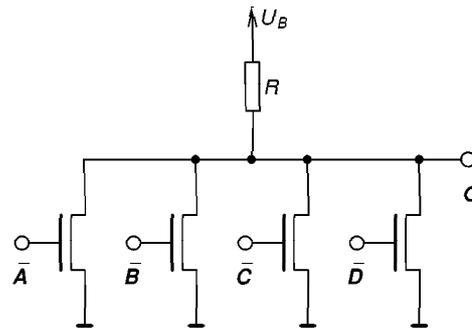


Abbildung 42: Parallelschaltung von Transistoren zur Realisierung einer vierfachen AND-Verknüpfung.

Nachteilig ist hier allerdings der konstant fließende Querstrom, wenn

mindestens einer der Transistoren aufgesteuert ist. Dieser kann – je nach geforderter Geschwindigkeit – eine beträchtliche Größe erreichen.

## 4.2 Querstromreduktion

Die Transistoren in Abbildung (42) weisen bei Temperaturen um  $\vartheta = 250\text{ °C}$  einen Leckstrom von etwa 100 nA auf. Bei 44 Transistoren in einer Zeile der AND-Matrix summieren sich diese Ströme zu  $44 \times 100\text{ nA} = 4,4\text{ }\mu\text{A}$ .

Bei einer Gesamtzahl von 132 AND-Zeilen entsteht so ein Leckstrom von 581  $\mu\text{A}$ , bzw. bei 5 V eine Verlustleistung von rund 2,9 mW. Dieser Wert ist hier (bei 250 °C) als Obergrenze akzeptabel, da er bei tieferen Temperaturen deutlich niedriger ausfällt.

Problematischer wird der Querstrom, wenn einer oder mehrere der Transistoren aufgesteuert sind. Der Widerstand des Transistors kann dann gegenüber dem Pull-up-Widerstand vernachlässigt werden. Die Größe des Pull-

<sup>43</sup>(abhängig von der Ausgangsbeschaltung)

up-Widerstandes wird vor allem durch die Vorgabe der maximalen Verzögerungszeit bestimmt: wenn die Transistoren gesperrt werden, dauert es eine gewisse Zeit, bis die Leitung  $Q$  wieder H-Potential erreicht.

Zur Reduktion des Querstroms gibt es mindestens drei Möglichkeiten:

- den Einsatz von Domino-Logik,
- die Nutzung von Schmitt-Triggern mit sehr niedriger Schaltschwelle,
- die Verwendung aktiver Schaltungen zur Reduktion der Verzögerungszeit.

Die genannten Möglichkeiten sollen im folgenden diskutiert werden. Der hierzu erforderliche Aufwand lohnt sich, da die gezeigte NOR-Schaltung im HTPAL 132 mal vorhanden ist und sie somit sehr wesentlich zum Gesamtstromverbrauch beiträgt.

#### 4.2.1 Domino-Logik

Der Einsatz von CMOS-Domino-Logik in einer Schaltung führt in der Regel zu einer drastischen Reduktion der Gesamtstromaufnahme, weil sie statische Zustände vermeidet, bei der hohe Querströme fließen ([18]). Bei einem PAL ist ihr Einsatz jedoch problematisch, da kein Systemtakt zur Verfügung steht, auf dem sich geeignete Precharge- und Evaluate-Phasen definieren ließen.

Sicherlich könnte man eine Art von Takt aus den Zustandswechseln der Eingangssignale gewinnen. Da jedoch im Prinzip *alle* Eingangssignale alle Ausgangssignale beeinflussen können, muß bei jeder Signaländerung die komplette Verknüpfungsmatrix ausgewertet werden. Bei nicht-synchronen Änderungen der Eingangssignale (was laufzeitbedingt der Regelfall ist), bestimmt dann die jeweils letzte Signaländerung den Übergang von der Precharge- zur Evaluate-Phase. Bei schnellen, zyklischen Änderungen der Eingangssignale ist ein Grenzfall denkbar, ab dem es zu überhaupt keiner Evaluate-Phase mehr kommt.

Im Prinzip können diese Probleme sicherlich durch zusätzlichen Aufwand gemindert oder sogar gelöst werden. Die zusätzlichen Schaltungskomponenten erfordern jedoch auch zusätzliche Chipfläche und das HTPAL ist ohnehin bereits relativ groß (zumindest in der aktuellen Technologie).

#### 4.2.2 Schmitt-Trigger

In der Regel werden Schmitt-Trigger so entworfen, daß ihre Umschaltswelle in der Mitte zwischen den beiden Logikpegeln liegt. Abbildung (43) zeigt die Übertragungskennlinie eines solchen Schaltungselements. Die Schaltschwelle<sup>44</sup> liegt hier bei 2,5 V.

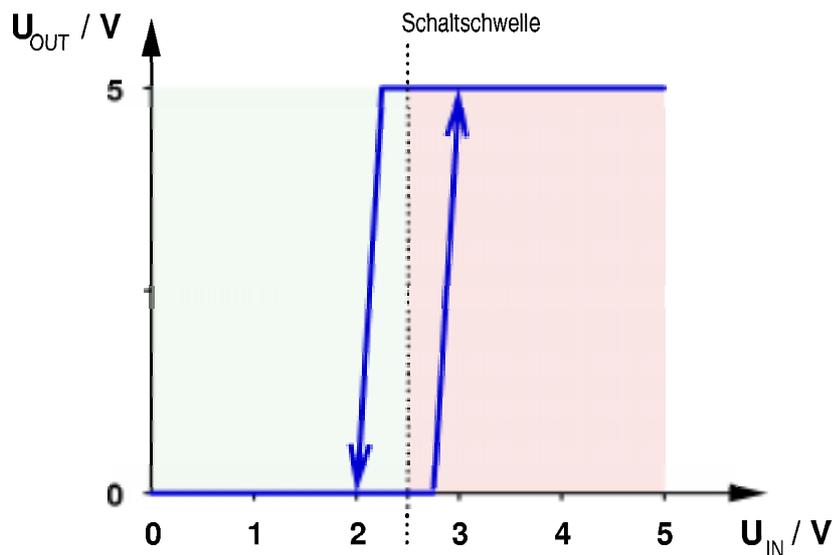


Abbildung 43: Ein Schmitt-Trigger mit der üblichen Schaltschwelle in der Mitte zwischen den beiden Logikpegeln.

Im hier interessierenden Fall ist die Anstiegszeit  $t_r$  des Eingangssignals deutlich größer als die Abfallzeit  $t_f$  (siehe Abbildung (44), oben).

<sup>44</sup>Die Schaltschwelle sei definiert als der arithmetische Mittelwert der oberen und unteren Umschaltspannung, also genau der Mitte der Hystereseschleife.

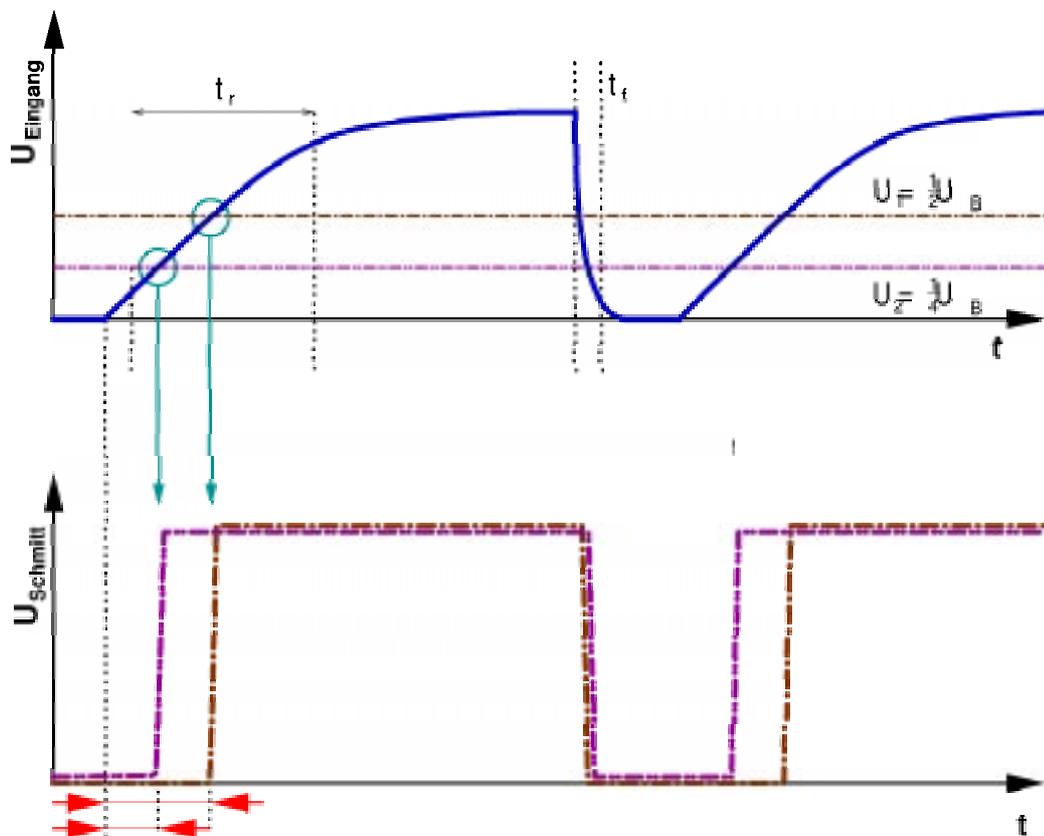


Abbildung 44: Signalverlauf am Ausgang zweier Schmitt-Trigger mit verschiedenen Schwellen.

Durch eine geeignete Wahl des Schmitt-Trigger-Umschaltpunktes kann man nun die Zeit beeinflussen, nach welcher ein Signalwechsel am Eingang zu einem Pegelwechsel am Ausgang führt. Abbildung (44) zeigt im unteren Diagramm den Verlauf der Ausgangssignale für zwei verschiedene Umschaltunkte.

Wie man an den Markierungen unterhalb des unteren Zeitverlaufs erkennen kann, beeinflusst die Wahl unterschiedlicher Schwellen deutlich die Verzögerungszeit. Zusätzlich kann man erkennen, daß durch die Asymmetrie des Eingangssignals eine starke Verkürzung von  $t_r$  gleichzeitig nur zu einer deutlich geringeren Verlängerung von  $t_f$  führt. Es existiert daher ein Optimum, für das  $\frac{1}{2}(t_r + t_f)$  minimal wird.

Dennoch sind die Einsatzmöglichkeiten dieser Schaltungsvariante begrenzt, weil mit sinkender Schaltschwelle auch der Störabstand sinkt. Es wächst damit die Gefahr, daß es durch ungewollte, transiente Störungen im Eingangssignal zu unerwünschten Signalwechseln am Ausgang kommt.

Je weiter der zulässige Bereich der Betriebstemperatur spezifiziert wird, desto stärker macht sich dieses Problem bemerkbar<sup>45</sup>, da sich viele Bauelementparameter mit der Temperatur verändern.

Für den Einsatz in Hochtemperaturschaltungen erscheint dieser Lösungsansatz daher nicht besonders geeignet.

### 4.2.3 Aktive Busbeschleunigung

Einen ganz anderen Weg verfolgt die Reduktion der Durchlaufzeiten mittels aktiver Schaltungen. Bei diesem Schaltungstyp existiert ein direkter oder indirekter Rückkopplungspfad vom Ausgang der Schaltung zum Eingangssignal.

Aus der Menge denkbarer Schaltungen soll im folgenden ein Typ herausgegriffen, dargestellt und näher untersucht werden.

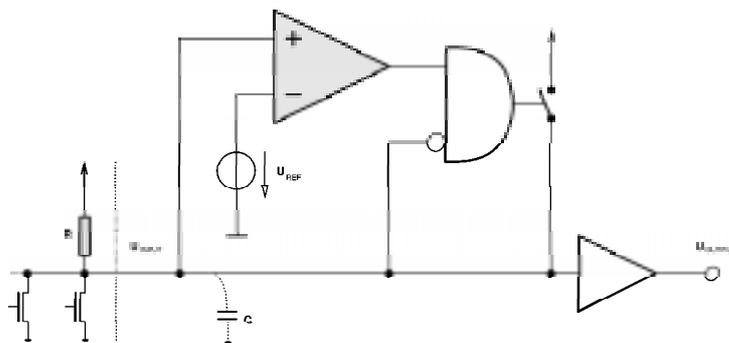


Abbildung 45: Prinzipschaltung einer aktiven Busbeschleunigung

<sup>45</sup>Das Problem besteht noch nicht einmal in der Temperatur an sich. Vielmehr muß die Schaltung sowohl bei niedrigen als auch bei hohen Temperaturen zuverlässig arbeiten.

Abbildung (45) zeigt das Prinzipschaltbild einer einfachen aktiven Schaltung zur Beschleunigung der Signaldurchlaufzeit<sup>46</sup>. Jede derartige Schaltung ist immer für eine bestimmte Signalquelle optimiert. Aus diesem Grunde wurde zusätzlich die Signalquelle für  $U_{\text{INPUT}}$  ganz links in Abbildung (45) skizziert.

Die Funktionsweise der Schaltung ist verhältnismäßig einfach: Wenn  $U_{\text{INPUT}}$  auf L-Pegel liegt, weil mindestens einer der Transistoren links am Eingang leitet, liegt auch am Ausgang des Inverters ganz rechts ein L-Pegel.

Wenn der letzte Transistor links gesperrt wird, beginnt sich die parasitäre Kapazität  $C$  über  $R$  aufzuladen, wodurch  $U_{\text{INPUT}}$  ansteigt. Sobald die Spannung  $U_{\text{INPUT}}$  die Referenzspannung  $U_{\text{REF}}$  am Komparator übersteigt, springt dessen Ausgang auf H-Pegel. Zusammen mit dem invertierten  $U_{\text{INPUT}}$ -Signal schaltet auch das nachfolgende AND-Gatter durch. Der Ausgang des AND-Gatters zieht nun  $U_{\text{INPUT}}$  sehr schnell bis in die Nähe der Versorgungsspannung. Sobald  $U_{\text{INPUT}}$  groß genug geworden ist, sperrt das AND-Gatter wieder, und damit wird auch der Feedback-Ladestrom abgeschaltet.

$U_{\text{INPUT}}$  (und damit auch  $U_{\text{OUTPUT}}$ ) liegt anschließend stabil auf H-Pegel.

Wenn nun einer der Transistoren links aufgesteuert wird, sinkt die Spannung  $U_{\text{INPUT}}$  sehr schnell wieder ab. Die unvermeidlichen Laufzeiten am Gatter verhindern, daß das Gatter nun sofort wieder aufsteuert. Sobald  $U_{\text{INPUT}}$  unter die Schaltschwelle des Komparators gefallen ist, befindet sich  $U_{\text{INPUT}}$  stabil im L-Zustand.

Die nachfolgende Abbildung (46) zeigt eine einfache Implementierung der Prinzipschaltung aus Abbildung (45). Die gezeigte Schaltung arbeitet im Prinzip wie oben bei Abbildung (45) beschrieben und kommt dabei quasi ohne den Komparator aus. Außerdem benötigt sie nur ein "halbes" AND-Gatter.

---

<sup>46</sup>Einige weitere Beispiele für Beschleunigerschaltungen anderer Struktur finden sich z. B. in [87] und [88]

$N_1$  und  $R_{UP}$  bilden einen statischen Inverter und öffnen den Transistor  $P_1$ , wenn  $U_{INPUT}$  die Schwellspannung von  $N_1$  erreicht. Falls  $N_3$  zu diesem Zeitpunkt leitend ist, fließt ein Feedback-Hilfsstrom durch  $P_1/N_3$  und lädt die Lastkapazität  $C$  zügig auf.

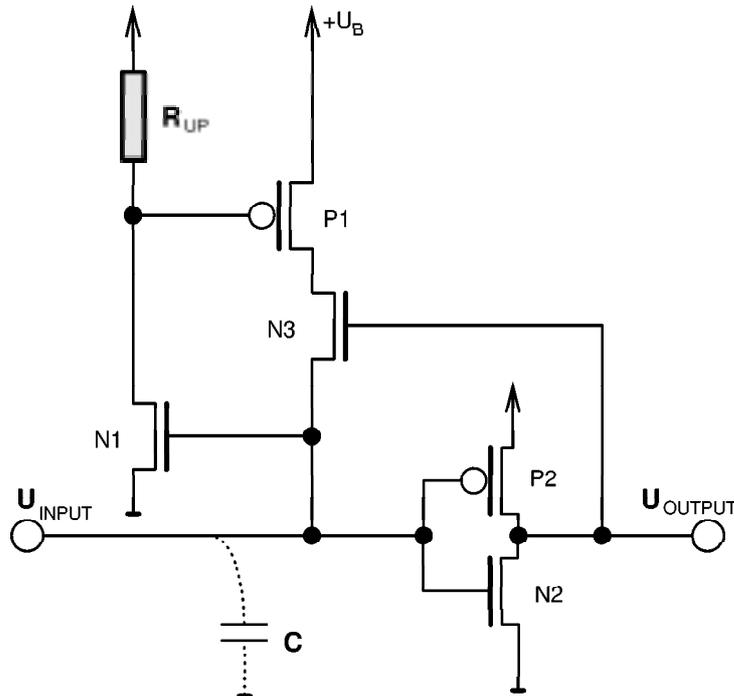


Abbildung 46: Einfache Implementierung der Prinzipschaltung

Bei niedrigen Temperaturen funktioniert die gezeigte Schaltung auch durchaus ordentlich. Leider beginnt  $N_1$  jedoch bei hohen Temperaturen auch im gesperrten Zustand ( $U_{INPUT}$  auf L-Pegel) zu lecken. Damit sinkt das Potential am Gate von  $P_1$  und der PMOS-Transistor beginnt zu öffnen.

Der Ausgang hinter dem Inverter  $P_2/N_2$  liegt zu diesem Zeitpunkt auf H-Pegel, weil  $U_{INPUT}$  noch L-Pegel führt. Dementsprechend ist auch  $N_3$  voll geöffnet.

Über  $P_1$  und  $N_3$  fließt nun ein parasitärer Strom, der dazu führt, daß  $U_{INPUT}$  steigt. Weil dies wiederum den Leckstrom an  $N_1$  weiter erhöht, ist der Effekt selbstverstärkend.

Diese Schaltungsvariante ist daher für den Einsatz bei hohen Temperaturen oberhalb von 200 °C ebenfalls nicht geeignet.

Die folgende Abbildung (47) zeigt einen deutlich verbesserten Aufbau, der bis auf eine kleine Modifikation bereits der tatsächlich verwendeten Schaltung entspricht. Der Komparator wurde hier als einfache OP-Struktur aufgebaut. Weiterhin wurde die Feedback-Leitung noch um ein Zeitverzögerungsglied ergänzt. Letzteres bestimmt die  $t_{\text{push}}$ -Zeit und macht die Schaltung etwas unabhängiger von parasitären RC-Schaltungskomponenten.

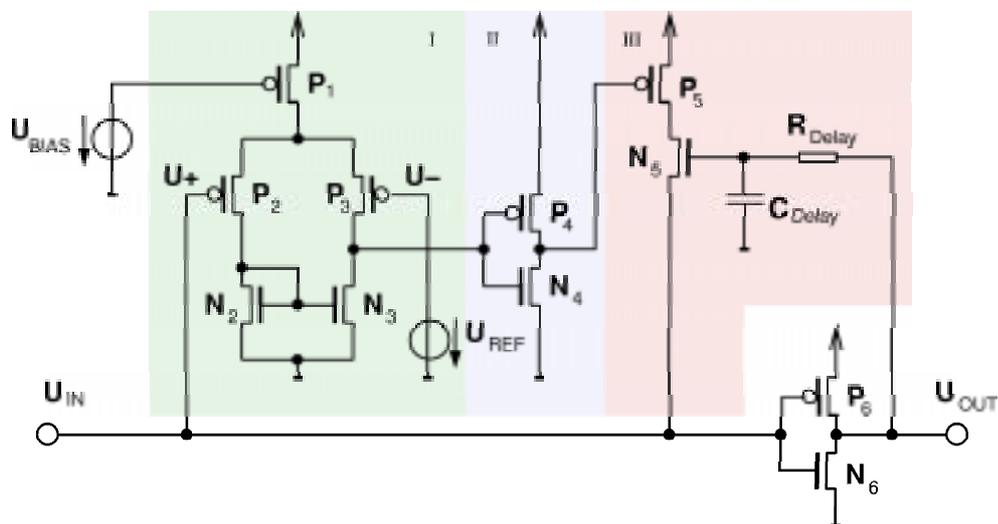


Abbildung 47: Die endgültige Schaltung für die Feedback-Elemente des HTPALs.

Im unteren Teil von Abbildung (47) sieht man wieder die Busleitung, deren L→H-Übergang beschleunigt werden soll. Ganz rechts an dieser Leitung befindet sich ein einfacher Inverter, der aus  $P_6/N_6$  gebildet wird.

Oberhalb dieser Leitung erkennt man drei Baugruppen: ganz links einen OP, in der Mitte einen einfachen Inverter und im rechten Teil die eigentliche Push-Struktur, sowie eine verzögerte Feedback-Rückführung.

Über den Transistor  $P_1$  wird ein konstanter Strom in die OP-Schaltung eingepreßt. Die hierzu erforderliche BIAS-Quelle liegt außerhalb der Schaltung,

da sie von sämtlichen 132 Feedback-Verstärkern gemeinsam genutzt werden kann.

Die nicht-rückgekoppelte OP-Struktur arbeitet als Komparator zwischen den Gatespannungen von  $P_2$  und  $P_3$ . Die Gatespannung von  $P_3$  wird über eine Bandgap-Referenzquelle<sup>47</sup> zur Verfügung gestellt.

Steigt die Spannung am Gate von  $P_2$  über den Referenzwert  $U_{\text{REF}}$ , so steigt das Potential am Knoten zwischen  $P_3$  und  $N_3$  rasch an.

$P_4$  und  $N_4$  dienen sowohl als Verstärker, als auch als Inverter und steuern daraufhin den Transistor  $P_5$  auf.

Sofern am Ausgang der Schaltung eine positive Spannung  $U_{\text{OUT}} = 5 \text{ V}$  vorhanden war, war der Transistor  $N_5$  bereits aufgesteuert. Es kann dann ein größerer Ladestrom über  $P_5$  und  $N_5$  fließen, der den Pegel der unteren Signalleitung rasch über den positiven Schwellwert des Ausgangsinverters  $P_6/N_6$  bringt. Nachdem dies geschehen ist, kippt der Ausgang der Schaltung zügig von  $L$ - auf  $H$ -Potential.

Zum Schluß wird  $N_5$  gesperrt, damit kein großer Querstrom fließt, wenn  $U_{\text{IN}}$  auf  $L$ -Potential gezogen wird (vergl. Beschaltung am Eingang in Abbildung (45)).

Die Realisierung der Verzögerung durch das  $RC$ -Glied ist relativ einfach, jedoch sehr platzaufwendig. Eine einfache und zugleich flächeneffizientere Lösung stellt eine digitale Verzögerung durch eine Inverterkette dar. Die Transistoren der Inverter können in diesem Fall mit minimaler Breite dimensioniert<sup>48</sup> werden. Eine entsprechende Schaltung zeigt Abbildung (48).

Abbildung (49) zeigt den Signalverlauf<sup>49</sup> an den einzelnen Invertern. Es ist dabei deutlich zu erkennen, daß die Verzögerungszeiten für den Anstieg ( $t_r$ )

---

<sup>47</sup>siehe Abschnitt 4.6 ab Seite 120

<sup>48</sup>vergl. Abschnitt 2.5 bzgl. Dimensionierung von Invertern

<sup>49</sup>Simulationsdaten bei Raumtemperatur.

und den Abfall ( $t_f$ ) der Signale verschieden groß sind. Diese Asymmetrie wird durch die Wahl der Transistorgeometrie von PMOS- und NMOS-Transistoren verursacht (vergl. Abschnitt 2.5 auf Seite 27).

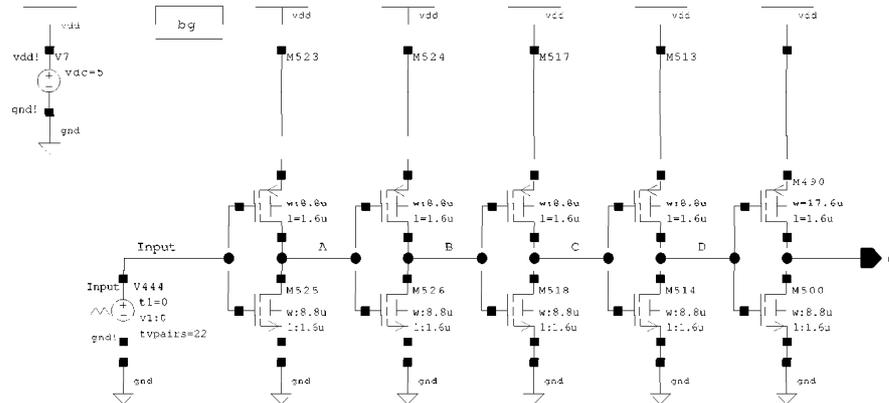


Abbildung 48: Verzögerungsschaltung aus Invertiern mit einer Pulsquelle als Eingangsbeschaltung

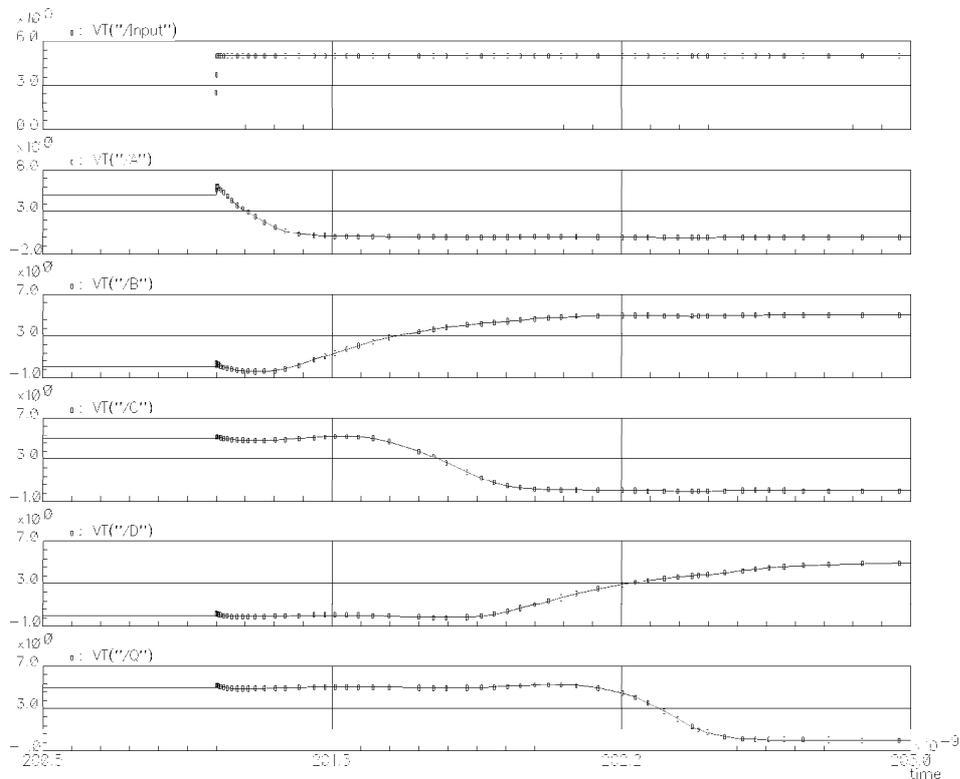


Abbildung 49: Signallaufzeiten

Durch gemeinsame Darstellung der Signalverläufe in Abbildung (50), kann man die auftretenden Verzögerungszeiten noch etwas besser vergleichen. Die Bezeichnung der einzelnen Signals entspricht derjenigen in Abbildung (49).

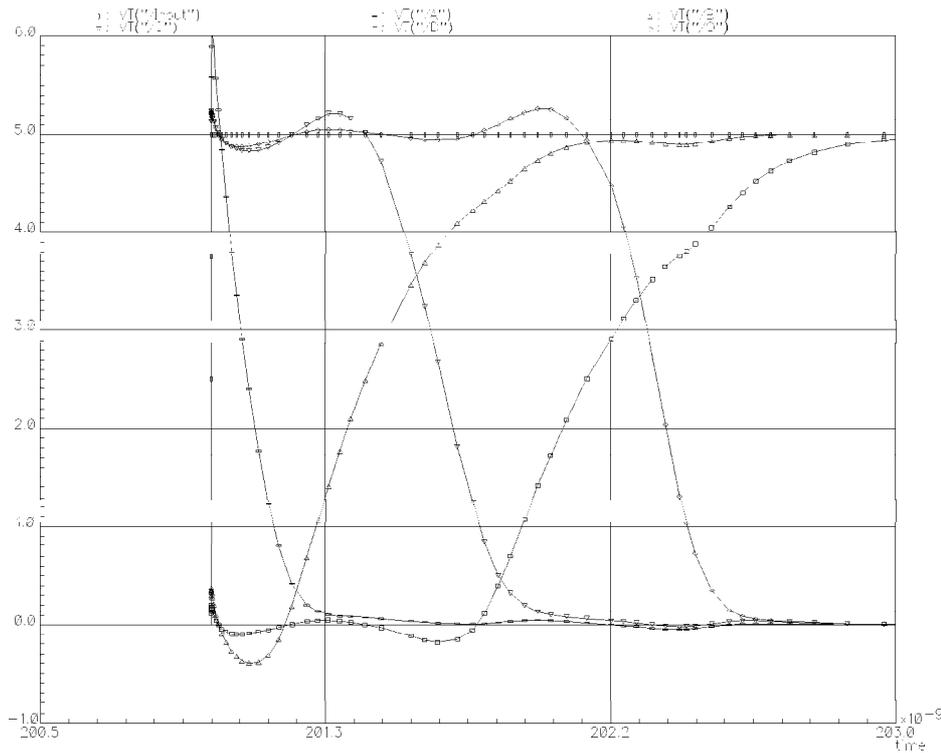


Abbildung 50: Inverterausgangsspannungen über der Zeit. Die einzelnen Signalverläufe entsprechen Abbildung (49).

Wenn man als Signallaufzeit die Zeit definiert, nach der das Ausgangssignal einer Stufe 90 % (4,5 V) seines Endwertes erreicht hat bzw. es auf 10 % (0,5 V) abgefallen ist, so erhält man für die Laufzeiten die Werte<sup>50</sup> in Tabelle 5.

<sup>50</sup>Zur Bestimmung  $t_r$  und  $r_t$  muß zunächst der Fall eines ansteigenden Eingangssignals und anschließend der Fall eines abfallenden Signals am Eingang betrachtet werden. Man erhält dabei jeweils die Hälfte der in Tabelle 5 aufgelisteten Zeiten. Die Werte, die zur ansteigenden Flanke des Eingangssignals gehören, sind in der Tabelle etwas schwärzer dargestellt.

Angegeben sind jeweils die Verzögerungszeiten, nach denen sich ein Signalwechsel am Eingang am Ausgang auswirkt.

	$U_A$	$U_B$	$U_C$	$U_D$	$U_Q$
$t_r$	0,2	<b>0,7</b>	0,8	<b>1,4</b>	1,4
$t_f$	<b>0,7</b>	0,9	<b>1,3</b>	1,6	<b>1,4</b>

Tabelle 5: Verzögerungszeiten in Nanosekunden.

Die Gesamtverzögerung der Inverterkette liegt somit bei 1,4 ns (bei Raumtemperatur).

Die Inverterlösung hat weiterhin den Vorteil, daß die Verzögerungszeit mit der Temperatur zunimmt und sich damit tendenziell ebenso verändert, wie die Schaltzeiten der übrigen Transistoren in der umgebenden Schaltung.

Die Zunahme der Verzögerungszeit zwischen Eingang und Ausgang bei steigender Temperatur ist in der folgenden Abbildung (51) dargestellt:

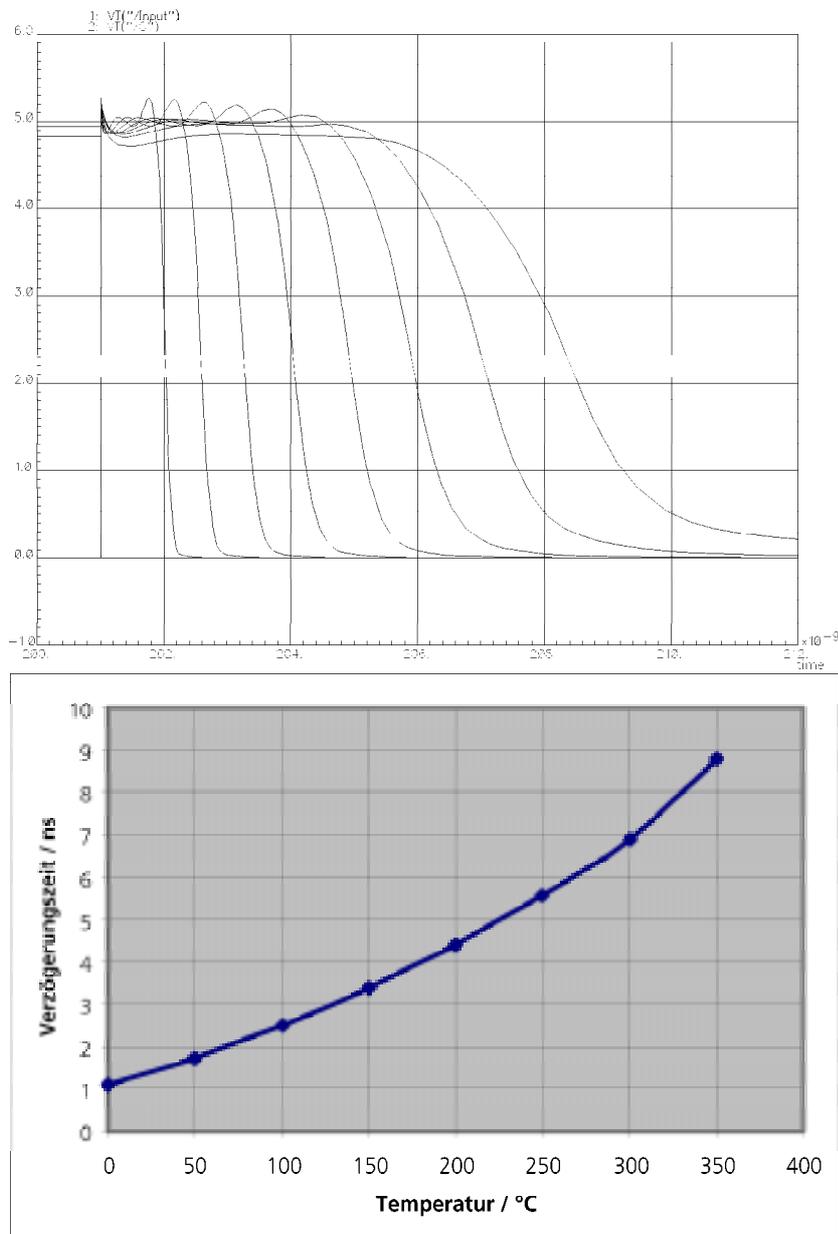


Abbildung 51: Zunahme der Verzögerungszeit zwischen Eingangssignal und  $U_Q$  mit der Temperatur für 0 °C, 50 °C, 100 °C, 150 °C, 200 °C, 250 °C, 300 °C und 350 °C.

Die dargestellte Zunahme der Verzögerungszeiten bewirkt in der Feedback-Schaltung (Abbildung (47) auf Seite 103), daß der Strom durch Transistor  $N_5$  in der PUSH-Phase bei hohen Temperaturen länger aktiviert ist.

Dies wirkt den mit der Temperatur ebenfalls steigenden  $R_{\text{ON}}$ -Widerständen der MOS-Transistoren entgegen.

Natürlich kann man mit der vorgestellten Schaltung zur Busbeschleunigung nicht die Grenzen der jeweiligen Technologie überschreiten. Für Schaltungen, die ohnehin bereits bei hohen Geschwindigkeiten arbeiten, fällt daher der Gewinn durch die Feedback-Schaltung eher bescheiden aus.

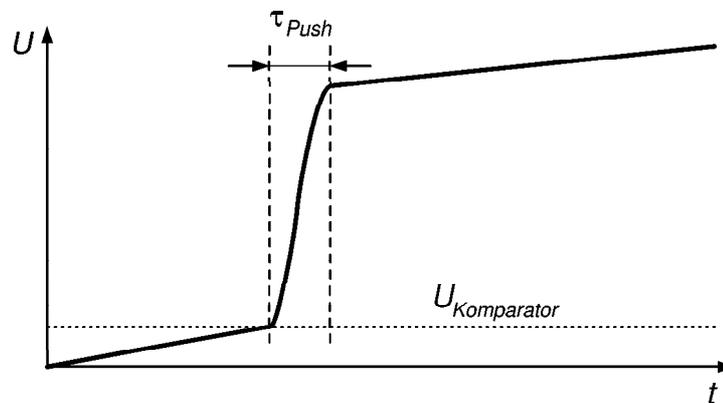


Abbildung 52: Verhalten der Beschleunigerschaltung bei hochohmiger Signalquelle und hoher Leitungskapazität: Die Beschleunigerschaltung wird wirksam, wenn die Spannung  $U$  am Eingang die Schaltschwelle des Komparators überschreitet. Anschließend steigt die Spannung auf der Leitung während der Zeit  $\tau_{\text{Push}}$  rasch an. Nach Ablauf von  $\tau_{\text{Push}}$  erfolgt ggf. noch eine geringe weitere Aufladung aus der hochohmigen Signalquelle, sofern die Maximalspannung am Ausgang noch nicht erreicht wurde.

Von größerem Nutzen ist die vorgestellte Schaltung, wenn die Signalquelle am Eingang sehr hochohmig ist und große Kapazitäten an der Leitung umzuladen sind. Man erhält dann etwa einen Verlauf der Leitungsspannung, wie er in Abbildung (52) dargestellt ist.

Dies ist beim HTPAL der Fall: 48 Transistoren sind an die Signalleitung angeschlossen und belasten sie kapazitiv (durch die parasitären Kapazitäten

$C_{DS}$ ,  $C_{GS}$ , usw. [58]). Darüber hinaus ist die Leitung sehr lang und verläuft häufig aus Platzgründen in minimalem Abstand zu anderen Schaltungsstrukturen, so daß auch hier weitere parasitäre Kapazitäten wirksam werden.

Die nachfolgende Abbildung (53) zeigt die Wirkung der Feedback-Beschleuniger für verschiedene Temperaturen. Die Kurvenschar zeigt die zeitliche Änderung der Spannung  $U_{NOR}$  auf der langen Logikleitung, an die alle 48 Transistoren angeschlossen sind.

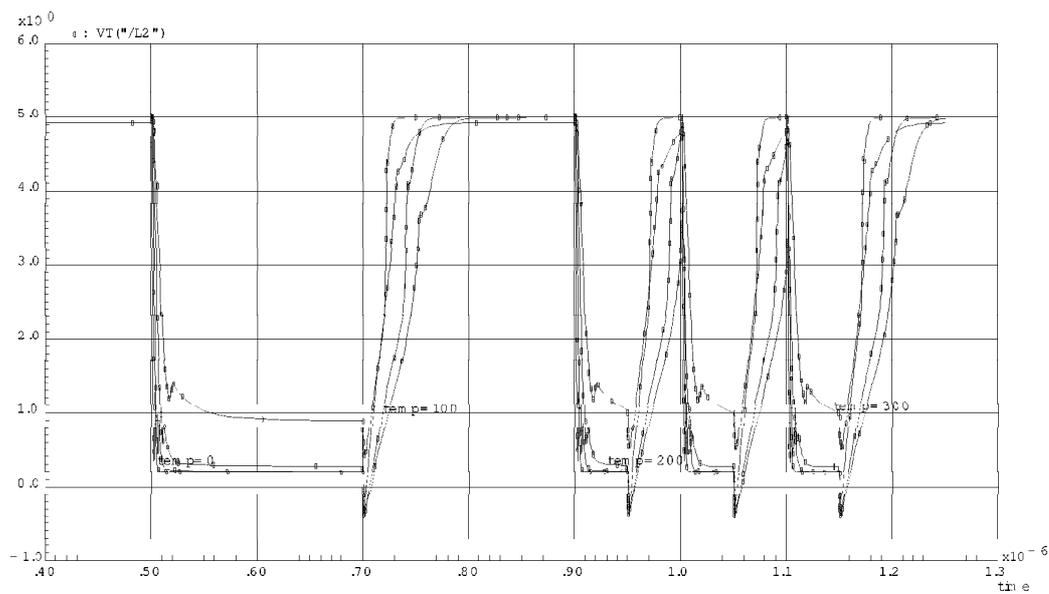


Abbildung 53: Signalverläufe auf einer der langen Logikleitungen. Simulationsdaten bei 0 °C, 100 °C, 200 °C und 300 °C.

Die Spannung  $U_{NOR}$  bleibt unterhalb von 1 V, solange das Potential der Leitung von mindestens einem der Eingangstransistoren (vergl. Abbildung (45) auf Seite 100) gegen 0 V gezogen wird. Der Eingangstristor arbeitet in diesem Fall gegen den in Abbildung (45) dargestellten Widerstand. Statt die-

ses Widerstandes wird allerdings im HTPAL eine Konstantstromquelle zum Aufladen der Leitungskapazität genutzt.

Die Wirkung dieser Quelle führt wegen

$$U_{\text{NOR}}(t) = \frac{Q(t)}{C_{\text{NOR}}} = \frac{1}{C_{\text{NOR}}} \int_0^t I(\tau) d\tau \quad (4.3)$$

zu einem linearen Anstieg der Spannung, sobald alle Eingangstransistoren gesperrt sind. Dieser lineare Anstieg ist in Abbildung (53) an der ersten ansteigenden Flanke erkennbar.

Beim Überschreiten der Schwellspannung des Feedback-Komparators (ca. 2,5 V) setzt dann ein zusätzlicher Stromfluß ein, der die Leitungskapazität rasch auflädt. In Abbildung (53) erkennt man diesen Zeitpunkt am Knick in der Aufladekennlinie. Die Ladekennlinie verläuft anschließend erheblich steiler.

Sobald die Spannung  $U_{\text{NOR}}(t)$  weit genug gestiegen ist und die Zeitverzögerung durch die oben beschriebene Inverterkette verstrichen ist, wird der zusätzliche Ladestrom abgeschaltet. Die Ladekennlinie verläuft anschließend wieder flacher, da der verbleibende Ladevorgang wieder ausschließlich über die Konstantstromquelle erfolgt. Besonders bei den hohen Temperaturen kann man diesen Zusammenhang in Abbildung (53) deutlich erkennen.

Die dort dargestellten Signalverläufe zeigen die Spannungsänderung auf einer der NOR-Logikleitungen, die quer durch die programmierbare Matrix verläuft. Am Ausgang der Feedback-Einheit befindet sich schließlich noch ein zusätzlicher Inverter. Abbildung (54) zeigt oben nochmals das Signal auf der NOR-Leitung und darunter das Ausgangssignal hinter der Feedback-Einheit.

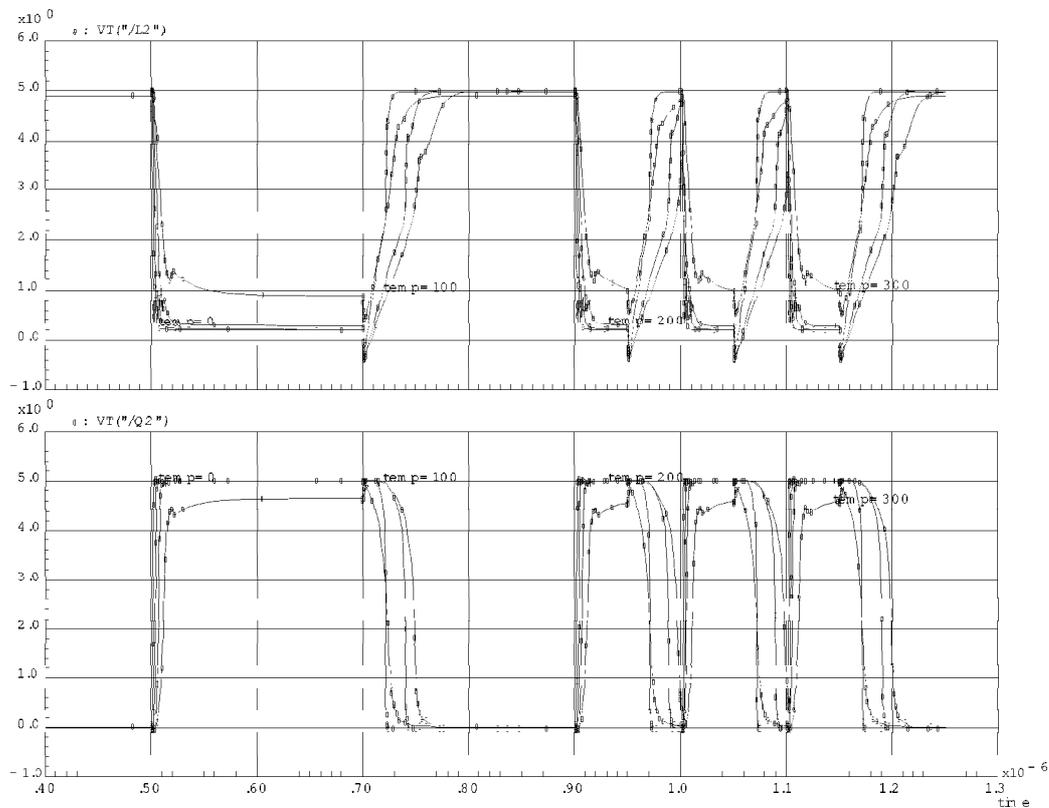


Abbildung 54: Signalverläufe einer der langen Logikleitungen und am Ausgang der zugehörigen Feedback-Einheit. Simulationsdaten bei 0 °C, 100 °C, 200 °C und 300 °C.

Aus Abbildung (54) kann man auf die maximale Arbeitsfrequenz der Schaltung schließen. Im rechten Teil des Diagramms fällt die Ausgangsspannung bei 300 °C und der gewählten Eingangsfrequenz gerade noch tief genug, um als L-Pegel erkannt zu werden. Die erforderliche Zeit wird mit steigenden Temperaturen immer größer und beträgt bei 300 °C etwa  $t_f = 70$  ns. Dies entspricht einer maximalen Arbeitsfrequenz von

$$f_{\max} = \frac{1}{t_f} = 14,3 \text{ MHz} \quad (4.4)$$

für diesen Schaltungsteil<sup>51</sup>.

<sup>51</sup>Alle Simulationen wurden mit *worst-case*-Parametern durchgeführt. Die tatsächliche Grenzfrequenz könnte daher noch etwas höher liegen.

### 4.3 Temperaturfeste Programmierung aus technischer Sicht

Die rauen Einsatzbedingungen bei hohen Temperaturen erfordern eine sehr langzeitstabile Programmierung. Die Verwendung externer Programmspeicher ist aufgrund der erhöhten Gehäusezahl ungünstig. Bevorzugt wird daher ein Baustein mit einem internen Langzeitspeicher. EPROM- oder EEPROM-Speicher genügen bisher noch nicht den Anforderungen an die Langzeitstabilität bei hohen Betriebstemperaturen und scheiden daher aus ([16]).

Realisiert werden soll daher ein Logikbaustein mit einem internen PROM, das einmalig vom Anwender programmiert werden kann.

Der programmierbare HT-Logikbaustein (HTPAL) lädt beim Anlegen der Versorgungsspannung die Programmierung aus dem PROM in die interne, RAM-Zellen-programmierbare Matrix und konfiguriert so seine einzelnen Logikblöcke entsprechend der jeweiligen Aufgabe.

Die RAM-Zellen der Matrix sollen weiterhin von außen zugänglich sein. Dies eröffnet die Möglichkeit, den Baustein im Labor zunächst beliebig oft umzuprogrammieren, ehe er schließlich über sein PROM fest programmiert wird. Selbst nach dieser Programmierung kann man den Baustein noch über den Schieberegisterzugang umkonfigurieren, etwa um *in-situ* einen Funktionstest des Bausteins am Einsatzort durchzuführen.

Der Zugang zu den internen RAM-Zellen kann über einen seriellen Port erfolgen, der mit einem ohnehin wünschenswerten Boundary Scan Port<sup>52</sup> kombinierbar ist und dann kaum zusätzlichen Schaltungsaufwand erfordert.

---

<sup>52</sup>Als Interface kommt hier in erster Linie eine IEEE Std 1149.1 Test Access Port (TAP) in Frage (vergl. [1]). Da es sich bei dem zur Zeit gefertigten HTPAL jedoch noch um einen Prototyp handelt, erschien der zusätzliche Aufwand für die Testport-Logik und die konsequenterweise hinzukommende Logik an sämtlichen I/O-Pins zu hoch. Implementiert wurde stattdessen nur die einfache Schieberegister-Kette, die von außen über die Gehäusepins zugänglich gemacht wurde.

#### 4.4 Floorplanning

Abbildung (55) zeigt die Struktur des HTPALs im Layout. Nicht mit abgebildet sind die umgebenden Teile des Chips, insbesondere die Versorgungsleitungen und die Bondpads für die Anschlüsse zum Gehäuse.

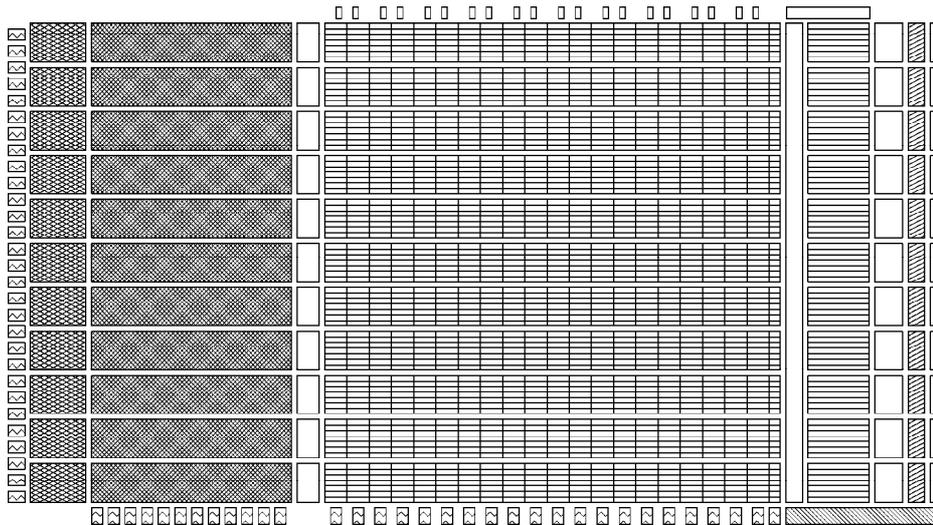


Abbildung 55: Floorplan des HTPALs

Zur besseren Orientierung soll in den folgenden Abschnitten in einer verkleinerten Skizze die jeweils vorgestellte Komponente markiert werden. Neben der strukturierteren Darstellung soll dies auch helfen, die logisch korrekte Verarbeitung der Signale im Inneren des HTPALs etwas besser zu überblicken. Letzteres ist nicht immer trivial, weil die Logikfunktionen aus verschiedenen Gründen oftmals in inverser Logik ausgeführt sind.

Der Hauptgrund hierfür ist in der Regel die Geschwindigkeit der Verarbeitung. Zum einen sollen überflüssige Inverter natürlich generell vermieden werden. Zum anderen arbeiten z. B. NAND-Gatter in der Regel schneller als NOR-Gatter. Letzteres liegt daran, daß in NOR-Gattern eine Serie von PMOS-Transistoren in Reihe geschaltet sind. Im Vergleich zu den NMOS-Transistoren ist die Leitfähigkeit der PMOS-Transistoren bei gleicher Geometrie geringer und nimmt zudem mit steigender Temperatur weiter ab. Be-

reits bei einer Serienschaltung von vier Transistoren (4-fach-NOR) müssen daher bereits *sehr* breite Transistoren verwendet werden, damit der Baustein noch die angestrebte Geschwindigkeit erreicht (mit den bekannten Nachteilen, z. B. der Leckstromerhöhung).

## 4.5 Matrixzellen

Innerhalb der großen Logikmatrix bestehen die programmierbaren Verbindungen aus einfachen Speicherzellen, die aus je zwei kleinen Invertern aufgebaut sind (6-Transistor-SRAM-Zelle, [77]). Jedes dieser Elemente bildet eine Elementarzelle der Matrix. Da die Matrix mit ihren Kantenlängen von  $132 \times 44$  Elementen den flächenmäßig größten Teil des Gesamtchips einnimmt, müssen die Elementarzellen besonders kompakt entworfen und aufgebaut werden.

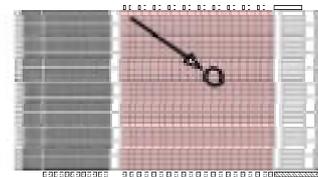


Abbildung 56:  
Lage der Matrixzellen

Die Signale  $IN_0 \dots IN_{21}$  liegen an den vertikalen DATA-Leitungen der Zeilenmatrix an. Damit sich daraus eine AND-Verknüpfung ergibt, müssen die Signale invertiert zugeführt<sup>53</sup> werden. Dies ist schaltungstechnisch aufwandsneutral, da die invertierten Signale ohnehin ebenfalls in der Matrix zur Verfügung stehen.

Auf den Zeilenleitungen der Verknüpfungsmatrix stellt sich somit ein normaler Pegel in positiver Logik ein.

Abbildung (57) zeigt die Verschaltung einer einzelnen Zelle. In der Mitte sind die beiden Inverter erkennbar, die in der Art eines RS-Flipflops den jeweiligen Programmierzustand der Zelle halten, indem sie je einen von zwei möglichen, stabilen Arbeitspunkten der Schaltung einnehmen.

<sup>53</sup>Vergl. Abbildung (42) auf Seite 96

Rechts und links der Inverter erkennt man jeweils einen H-Gate-Transistor, der quasi als Transmission-Gate fungiert. Es kommen hier bidirektionale H-Gate-Transistoren zum Einsatz, weil dieser Transistortyp keine parasitären Dioden enthält ([5]). Nachteilig, aber kaum vermeidbar, ist dabei der geringfügig erhöhte Flächenbedarf gegenüber einfachen Transistoren.

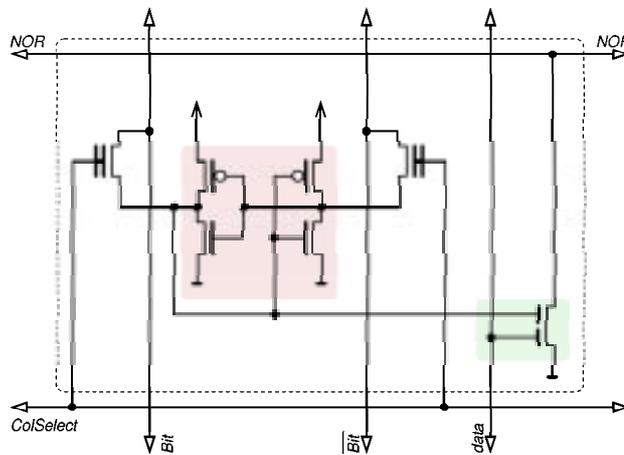


Abbildung 57: Struktur einer einzelnen Matrixzelle

Durch geeignetes Anlegen des gewünschten Programmierzustands an die beiden Bitleitungen  $BIT$  und  $\overline{BIT}$  und anschließendem Aufsteuern der Transmission-Gates über die COLSELECT-Leitung kann man die beiden Inverter in den jeweils gewünschten Arbeitspunkt kippen.

Vom Gate des rechten Inverters wird außerdem ein Signal an den Ausgangstransistor geführt, das dem jeweiligen Programmierzustand entspricht. Den Ausgangstransistor bildet ein SIMOX-Multigate-Transistor, der bei guten elektrischen Eigenschaften einen relativ geringen Flächenbedarf hat.

Eine programmierte "1" bedeutet, daß der zweite Eingang des Multigate-Transistors zur Logiksteuerung nutzbar ist. Eine programmierte "0" bedeutet hingegen, daß die Wirkung des zweiten Eingangs des Multigate-Transistors blockiert ist, weil der Transistor über sein erstes Gate bereits gesperrt ist.

Entsprechend Abbildung (42) (auf Seite 96) zieht dieser Transistor die mit NOR bezeichnete Logikleitung bei Anliegen eines positiven Eingangssignals DATA auf  $L$ -Potential. Auf diese Weise wird mit der quer über den Chip

verlaufenden oberen Logikleitung eine verteilte NOR-Struktur realisiert.

Die verwendete Speicherzelle muß den einprogrammierten Binärwert ausreichend stabil halten können. Um dies etwas näher zu betrachten, kann Abbildung (58) zuhulfe genommen werden [50]:

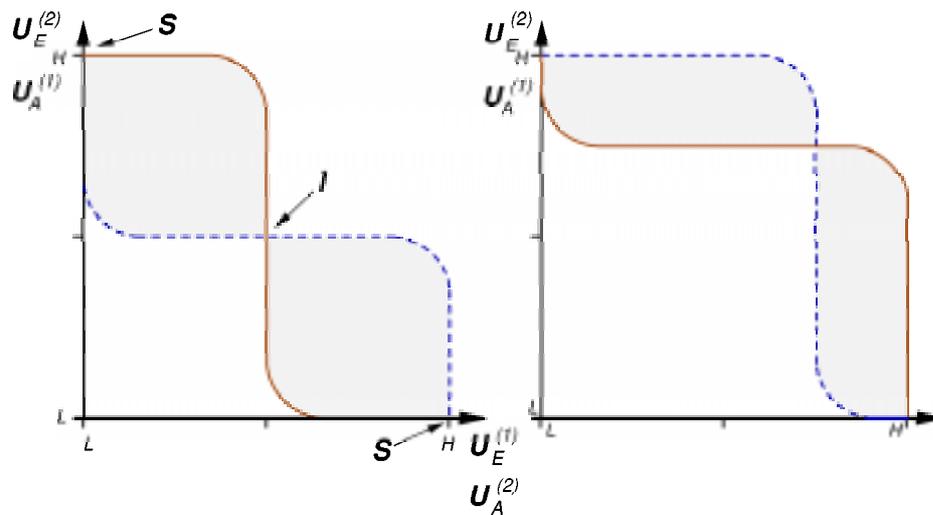


Abbildung 58: Zur Stabilität der Speicherzellen

Die durchgezogene Kurve auf der linken Seite zeigt die Ausgangsspannung  $U_A^{(1)}$  des ersten Inverters über dessen Eingangsspannung  $U_E^{(1)}$ . Die gestrichelte Kurve auf der linken Seite zeigt die Eingangsspannung  $U_E^{(2)}$  über der Ausgangsspannung  $U_A^{(2)}$ .

In der linken Skizze sind die drei möglichen Arbeitspunkte der Schaltung markiert: die mit  $S$  bezeichneten Arbeitspunkte sind stabil. Sie bezeichnen diejenigen Punkte, bei denen am Ausgang des einen Inverters ein logischer  $H$ -Pegel liegt, während am Ausgang des zweiten Inverters ein  $L$ -Pegel erscheint. Durch die ringförmige Verschaltung der beiden Inverter stützen sich beide Signale gegenseitig; dieser Zustand ist daher sehr stabil.

Ein weiterer Betriebspunkt ist der Umschaltunkt, der genau zwischen  $H$ - und  $L$ -Pegel auftritt. Beide Inverter befinden sich dann in ihrer Umschalt-

phase. Dieser Betriebspunkt ist aber instabil und wird nach kürzester Zeit zugunsten eines stabilen Zustandes verlassen.

Der Abstand der beiden Kurven voneinander ist ein Maß für die Störfestigkeit der Schaltung: Je größer der Abstand zwischen den beiden Kurven ist, desto unempfindlicher wird sie gegen Störungen. Dies bedeutet allerdings gleichzeitig auch, daß ein Umschalten von einem stabilen Arbeitspunkt in den anderen immer schwieriger wird.

Die im HTPAL verwendeten Inverter sind aus je zwei Transistoren minimaler Fläche aufgebaut. Dies hat eine deutliche Auswirkung auf die Umschaltsschwelle der Inverter: Da die Beweglichkeit der Ladungsträger in NMOS-Transistoren um gut einen Faktor 3 höher liegt als jene von PMOS-Transistoren, verschiebt sich die Schaltschwelle von 50 % der Betriebsspannung hin zu 75 % der Betriebsspannung. Dieser Sachverhalt ist in der rechten Skizze von Abbildung (58) dargestellt.

Neben der gewünschten Flächensparnis bei den Transistoren hat dies zur Folge, daß die Störfestigkeit der Bitzelle etwas abnimmt. Der Störspannungsabstand  $SNM$ <sup>54</sup> ergibt sich nach [51] und [18] zu:

$$SNM := U_{th}^{(N)} - \frac{1}{1+K} \left[ U_{DD} - \frac{\frac{2r+1}{r+1} U_{th}^{(N)}}{1 + \frac{r}{K(1+r)}} - \frac{U_{DD} - U_{th}^{(N)} - |U_{th}^{(P)}|}{1 + K \frac{r}{q} + \sqrt{\frac{r}{q} (1 + 2K + \frac{r}{k} K^2)}} \right] \quad (4.5)$$

mit

$$K := \frac{r}{r+1} \left( \sqrt{\frac{r+1}{r+1 - (U_s/U_r)^2}} - 1 \right) \quad (4.6)$$

$$r := \frac{\beta^{(N)}}{\beta^{(TG)}}, q := \frac{\beta^{(P)}}{\beta^{(TG)}}, U_s := U_{DD} - U_{th}^{(N)}, U_r = U_s - \frac{r}{r+1} U_{th}^{(N)}. \quad (4.7)$$

Die  $\beta^{(P)}$ ,  $\beta^{(N)}$  und  $\beta^{(TG)}$  gehören dabei zu den P-, N- und Transmissiongate-Transistoren der Speicherzelle.

---

<sup>54</sup>SNM: Signal-Noise Margin

Die in Abbildung (57) dargestellte Schaltung läßt sich äußerst kompakt aufbauen, wie das nachfolgende Layout-Bild zeigt:

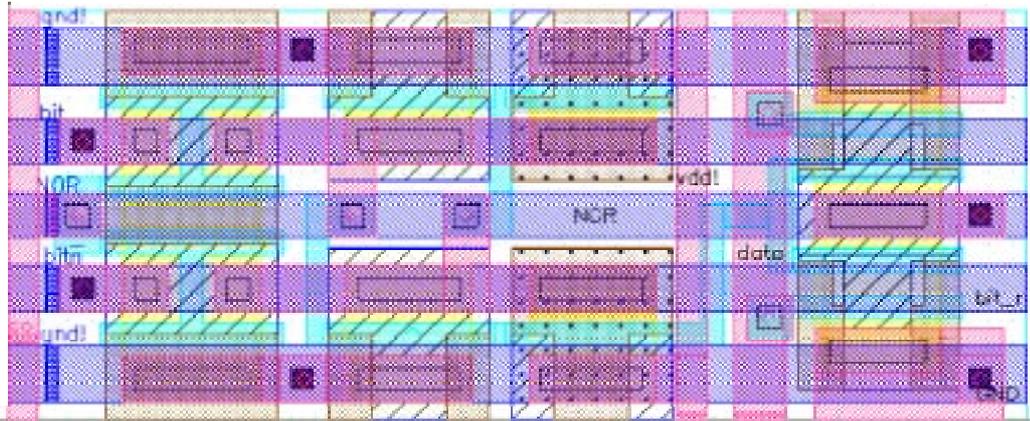


Abbildung 59: Layout einer einzelnen Matrixzelle

Die horizontalen Leitungen führen die Signals GND, BIT, NOR und  $\overline{\text{BIT}}$ . Sie verlaufen quer durch die gesamte Matrix und haben nur den minimal nötigen Abstand. Die vertikalen Leitungen führen die Signals COLSELECT, VDD und DATA.

In der ersten Transistorpalte liegen die beiden NMOS-H-Gate-Transistoren. In den mittleren beiden Transistorpalten finden sich die 4 Transistoren, die die beiden Inverter bilden. Ganz rechts liegt schließlich der Dual-Gate-Ausgangstransistor, der hier aus Platzgründen als Parallelschaltung zweier einzelner Doppelgate-Transistoren ausgeführt ist.

Die dargestellte Elementarzelle hat eine Größe von  $71,2 \mu\text{m} \times 28,8 \mu\text{m}$ . Wenn man außerdem berücksichtigt, daß sich die obere und untere GND-Leitung in einem Matrixaufbau vollständig überlappen<sup>55</sup> lassen, beträgt das Rastermaß der entstehenden Matrix  $71,2 \times 22,4 \mu\text{m}^2$ . Jedes Matricelement beansprucht dementsprechend eine Fläche von  $0,00159 \text{ mm}^2$ .

<sup>55</sup>Connection-by-abuttment

## 4.6 Bandgap-Quelle

Das HTPAL benötigt zum Betrieb mehrere Referenzspannungen und -ströme. Besonders im Hinblick auf den weiten Temperaturbereich, in dem das HTPAL einsetzbar sein soll, muß sichergestellt werden, daß die Referenzquellen keine allzu starke Temperaturabhängigkeit zeigen.

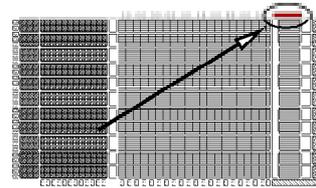


Abbildung 60: Lage der Bandgap

Die Referenzquellen kommen in verschiedenen funktionalen Einheiten des HTPALs zum Einsatz: Der Komparator der Feedback-Busbeschleuniger benötigt eine stabile Referenzspannung als Schaltschwelle. Zusätzlich benötigt er auch noch eine eigene Stromquelle zum Betrieb, da sein innerer Aufbau einem einfachen OP entspricht.

Weiterhin wird jede der langen NOR-Leitungen von einer eigenen Stromquelle gespeist (s. Abschnitt 4.2.3).

Die Quellen können bequem mit Hilfe von SIMOX-Bandgap-Quellen realisiert werden, deren Aufbau an anderer Stelle bereits in verschiedenen Varianten beschrieben wurde ([20] bipolar, [55] in CMOS, [12] und [13] in SIMOX von  $-40\text{ °C}$  bis  $+240\text{ °C}$ , [14] vereinfachte Quelle von  $0\text{ °C}$  bis  $240\text{ °C}$ ).

Im Vergleich zu anderen Schaltungsvarianten (z. B. SC-Schaltungen, vergl. [3]) kombinieren Bandgap-Quellen hohe Genauigkeit mit einfachem, platzsparendem Aufbau.

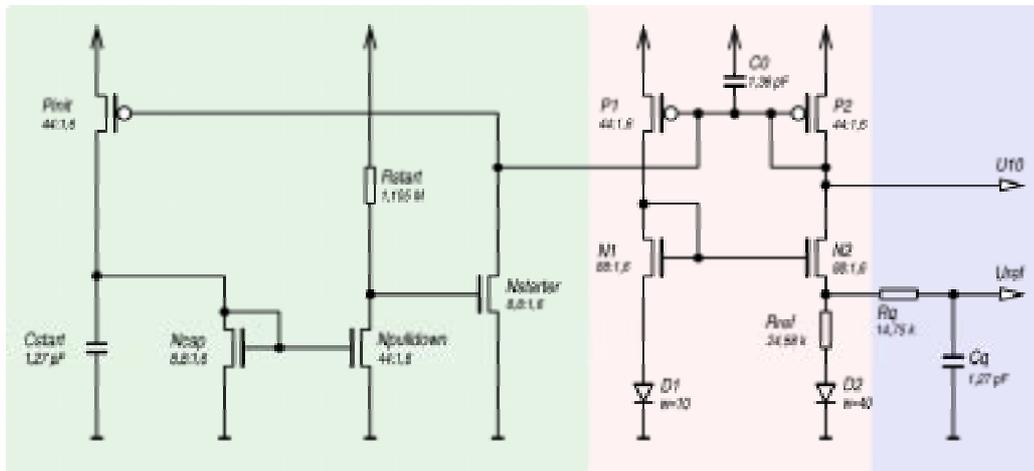


Abbildung 61: Bandgap als Konstantstromquelle mit Startschaltung. Die Zahlenangaben an den Transistoren bezeichnen das Verhältnis  $w/\lambda$  entsprechend der gewählten Dimensionierung.

Die Bandgap-Quelle in Abbildung (61) besteht aus drei funktionellen Einheiten. Im mittleren Teil der Schaltung befindet sich die eigentliche Bandgap. Links davon die erforderliche Startschaltung; auf der rechten Seite werden zwei Ausgangssignale herausgeführt: zum einen eine Referenzspannung  $U_{\text{Ref}}$ , zum anderen eine zweite Spannung  $U_{10}$ , mit der ein Stromspiegel zu  $P_2$  aufgebaut werden kann. Je nach Spiegelverhältnis lassen sich daraus Bias-Ströme verschiedener Größe gewinnen.

Eine etwas detailliertere Beschreibung der Quelle befindet sich in Anhang F.

Die Simulationsergebnisse in Abbildung (62) für die Bandgap aus Abbildung (61) des HTPALs zeigen ein durchaus zufriedenstellendes Betriebsverhalten der Bandgap bis hin zu hohen Temperaturen. Die dargestellten Simulationsergebnisse wurden mit dem erwähnten Stromspiegel am Ausgang  $U_{10}$  der Konstantstromquelle erzeugt.

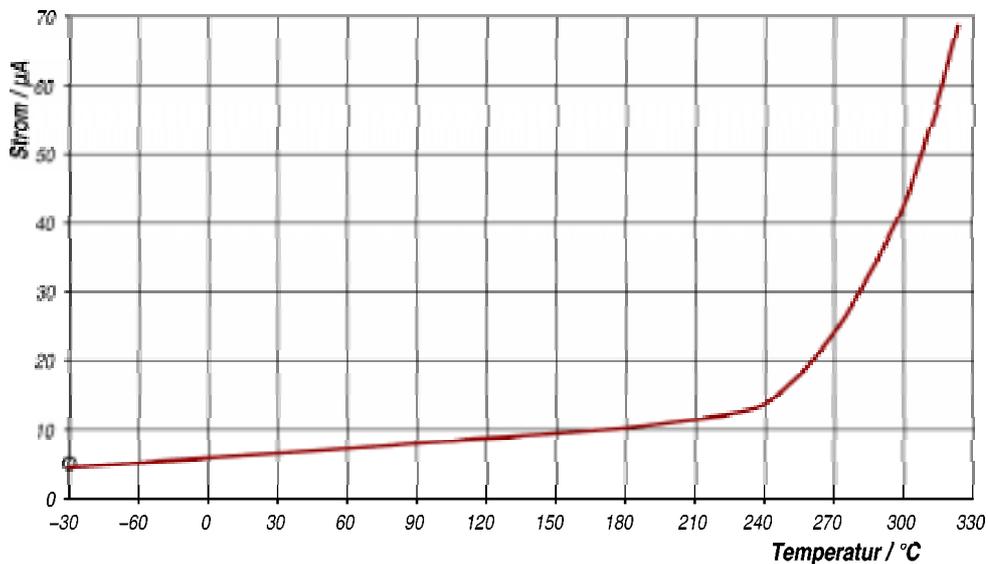


Abbildung 62: Temperaturbedingte Drift des Bandgap-Ausgangsstroms

Auffällig ist der Knick in der Kennlinie bei etwa 240 °C. Bis zum Vorliegen endgültiger Meßdaten kann man aber als wahrscheinlich ansehen, daß dieses Verhalten der Quelle mit der Implementierung des Simulationsmodells zusammenhängt. Die derzeit benutzten Modelle sind größtenteils noch nicht für Temperaturen oberhalb von 250 °C spezifiziert, bzw. in diesem Betriebsbereich noch nicht ausreichend getestet und verifiziert.

Im Temperaturbereich bis 240 °C zeigt die Stromquelle ein ausgeprägtes PTAT-Verhalten<sup>56</sup>, das durch einen monoton mit der Temperatur steigenden Strom gekennzeichnet ist.

Bei hohen Temperaturen werden integrierte Schaltungen in der Regel langsamer. Die Ursachen hierfür sind mannigfaltig: Parasitäre Leckströme durch thermisch generierte Ladungsträger nehmen zu, das Silizium selbst verhält sich wie ein Kaltleiter und erhöht mit steigender Temperatur seinen ohmschen Widerstand, usw. .

<sup>56</sup>PTAT = Proportional To Absolute Temperature, [5].

Die Bias-Ströme, die mit einer PTAT-Quelle wie der vorgestellten Bandgap erzeugt werden, wirken diesen Effekten entgegen und schwächen so die Verlangsamung der Gesamtschaltung ab.

### Steuerbare Bandgap-Quelle

Über die Bandgap-Quelle wird die Arbeitsweise des HTPALs auch hinsichtlich Leistungsaufnahme und Geschwindigkeit kontrolliert. Man könnte die Quelle daher parametrisierbar gestalten, um so dem späteren Anwender die Option zu geben, zwischen den beiden genannten Eigenschaften zu optimieren. Leider treten in diesem Zusammenhang größere Probleme hinsichtlich der Reproduzierbarkeit der einstellbaren Eigenschaften auf. Um eine zufriedenstellende Reproduzierbarkeit der Parameterwerte zu gewährleisten, ist daher zusätzlicher Schaltungsaufwand erforderlich. In der derzeitigen Version des HTPALs ist diese Option deshalb noch nicht implementiert.

Einige der am Markt verfügbaren PALs für normale Temperaturen implementieren diese Option ebenfalls, z. B. das 85C224 von Intel ([52]), bei dem das entsprechende Steuerbit als TURBO-Bit bezeichnet wird.

## 4.7 Configzellen

Zur Konfiguration der Ausgangszellen des HTPALs werden einige Speicherzellen benötigt. Bequemerweise kann man diese Zellen als Teil der Matrix realisieren; eine zusätzliche Ansteuerschaltung wird in diesem Fall nicht benötigt. Füllt man die letzte Spalte der Matrix auf der rechten Seite komplett von oben bis unten mit Config-Zellen, so bleiben günstigerweise auch noch einige Speicher-

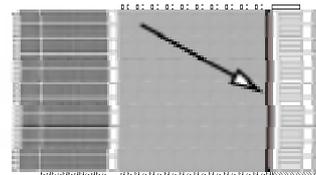


Abbildung 63:  
Lage der Configzellen

zellen unbenutzt, d. h. sie können ggf. noch zu weiteren Konfigurationszwecken eingesetzt werden <sup>57</sup>.

Technisch unterscheidet sich die Config-Zelle nur dadurch von einer Matrixzelle, daß ihr der Multigate-Ausgangstransistor und dessen Anschluß an die langen Logikleitungen fehlt. Die Ausgangssignale sind stattdessen (soweit benötigt) direkt in den Ausgangsteil der Schaltung auf der rechten Seite geführt.

#### 4.8 Busbeschleuniger

Innerhalb der Busbeschleuniger ist eine Invertierung der Signale der Matrixzeilen erforderlich. Die Anstiegszeit der invertierten Signale ist größer und deren Pegel haben einen besseren S/N-Abstand als die Signale auf den Matrixzeilen. Es erscheint daher günstig, hier die invertierten Signale zur weiteren Verarbeitung heranzuziehen.

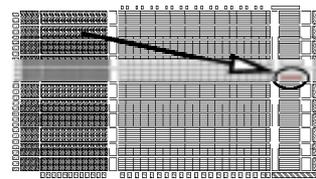


Abbildung 64: Lage der Busbeschleuniger

#### 4.9 OR-Struktur

Je 8 bis 16 Logikterme in den PAL-Gleichungen werden jeweils per OR-Verknüpfung zu einer Gruppe zusammengefaßt <sup>58</sup>.

Wie man in der nebenstehenden Skizze erkennen kann, geschieht dies auf der rechten Seite der Matrix.

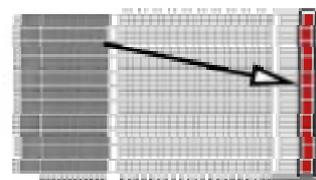


Abbildung 65: Lage der OR-Struktur

<sup>57</sup>etwa zur Parametrisierung der Bandgap-Quellen, wie am Ende von Abschnitt 4.6 auf Seite 123 angedeutet.

<sup>58</sup>vergl. Abbildung (38) auf Seite 90

Zudem war noch wichtig, daß sich die Laufzeiten der verschiedenen großen OR-Terme nicht wesentlich unterscheiden. Die OR-Stufe wurde daher in der üblichen CMOS-Struktur implementiert, die aus komplementären PMOS- und NMOS-Transistoren aufgebaut ist.

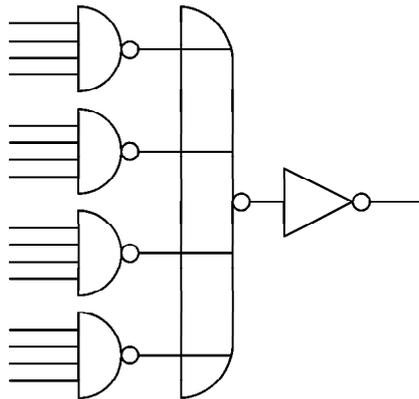


Abbildung 66: OR – Stufe aus einer NAND – Struktur mit invertierten Eingangssignalen

Um die Anzahl seriell verschalteter Transistoren zu reduzieren (immerhin bis zu 16 Stück), wurde das OR-Gatter in zwei Stufen zerlegt. Ein weiterer Vorteil dieser Vorgehensweise ist, daß der so erhaltene Gatterbaum für alle 10 Ausgänge des HTPALs gleich strukturiert ist. Damit sind zwar die Laufzeiten einiger Ausgänge etwas länger als nötig, dafür sind aber die Laufzeiten aller 10 Ausgänge annähernd gleich.

Die invertierten Eingangssignale  $\overline{E_1} \dots \overline{E_{16}}$  (aus den Busbeschleunigern) von jeweils einer Zeilengruppe werden zunächst einer 4-fach-NAND-Stufe zugeführt. Man erhält als Ergebnis dieser Verknüpfung

$$A_n^{(\text{Gruppe})} = \overline{\prod_{k=1}^4 \overline{E_k}} = \sum_{k=1}^4 E_k \quad (4.8)$$

als Teilsumme hinter jedem der 4 NANDs. Jede der vier Gruppen von Eingangssignalen  $E_{1..4}$ ,  $E_{5..8}$ ,  $E_{9..12}$ ,  $E_{13..16}$  wird nach diesem Schema zu einem Element von  $A_{1..4}^{(\text{Gruppe})}$  zusammengefaßt.

Die gewonnenen Signale  $A_n^{(\text{Gruppe})}$  werden anschließend durch ein 4-fach-NOR-Gatter verknüpft.

$$B = \overline{\sum_{n=1}^4 A_n^{(\text{Gruppe})}} = \overline{\sum_{i=1}^{16} E_i} \quad (4.9)$$

Durch den nachgeschalteten Inverter am Ausgang erhält man schließlich

$$Q = \overline{B} = \sum_{i=1}^{16} E_i \quad (4.10)$$

Dies entspricht der geforderten 16-fach-OR-Verknüpfung. Die folgende Abbildung zeigt ein entsprechendes NAND-Gatter:

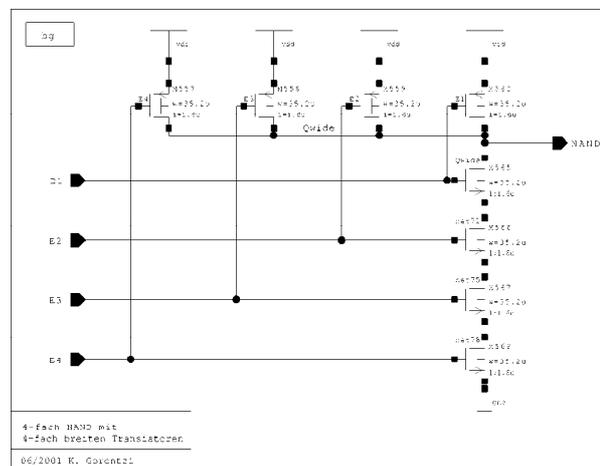


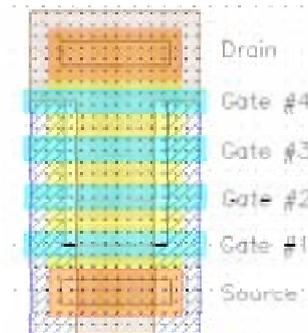
Abbildung 67: Verwendetes NAND-Gatter.

An den verwendeten, sehr breiten PMOS-Multigate-Transistoren der NOR-Strukturen tritt bei hohen Temperaturen ein vergleichsweise großer Leckstrom auf. Die Höhe des Leckstroms beträgt bei 280 °C etwa 234,7 nA ([4]). Die tatsächliche Größe des Leckstroms hängt jedoch auch davon ab, welche der vier Gates in den Transistoren gesperrt und welche aufgesteuert sind.

Gates, die näher am Source-Anschluß liegen, weisen im gesperrten Zustand bis zu 14 % kleinere Leckströme auf als jene, die dichter am Drain-Anschluß

liegen. Die Ursache für diese Abhängigkeit liegt nach ([4]) darin, daß die Transistoren in Drain-Nähe etwas hochohmiger an ihrem Filmgebiet kontaktiert werden. Als Folge davon steuert der parasitäre Bipolartransistor geringfügig auf.

Dieses unterschiedliche Leckstromverhalten je nach Signalkombination an den Gates ist für das HTPAL ungünstig, weil es die Entstehung von Laufzeitunterschieden fördert. Eine einfache Kompensationsmaßnahme besteht darin, die sehr breiten Transistoren aufzuteilen und dabei die Gates untereinander zu vertauschen.



Die nachfolgende Abbildung (69) zeigt die so entstehende Schaltung.

Abbildung 68: PMOS-Multigate-Transistor

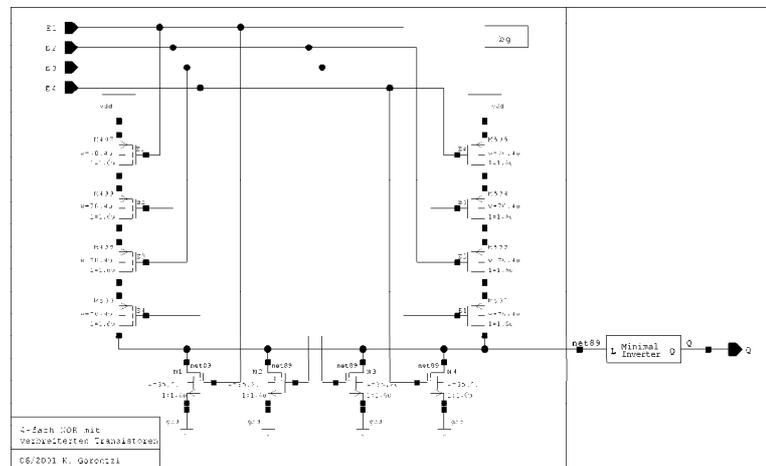


Abbildung 69: Laufzeitkompensiertes NOR-Gatter

In dieser funktionellen Einheit ist ein zusätzlicher Ausgangsinverter zur Anpassung an die nachfolgende Makrozelle erforderlich, die mit einem nicht-invertierten Eingangssignal arbeitet.

## 4.10 Makrozellen an den Ausgängen

Am Ausgang der OR-Struktur des vorangehenden Abschnitts befindet sich jeweils eine konfigurierbare Makrozelle (vergl. Abbildung (39) auf Seite 91). Es handelt sich dabei um ein gewöhnliches D-Flipflop aus einer HT-Standardzellenbibliothek, das jedoch durch Kombination mit einigen wenigen Invertern und Multiplexern flexibel konfigurierbar wird. Außerdem verfügt das Flipflop über einen synchronen Preset- und einen asynchronen Reset-Eingang.

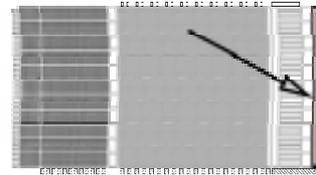


Abbildung 70:  
Lage der Makrozellen

Der Platzbedarf dieser Struktur ist nicht besonders kritisch, weil sie am Rand liegt und viele horizontal durch den Chip laufende Leitungen zusammengefaßt werden.

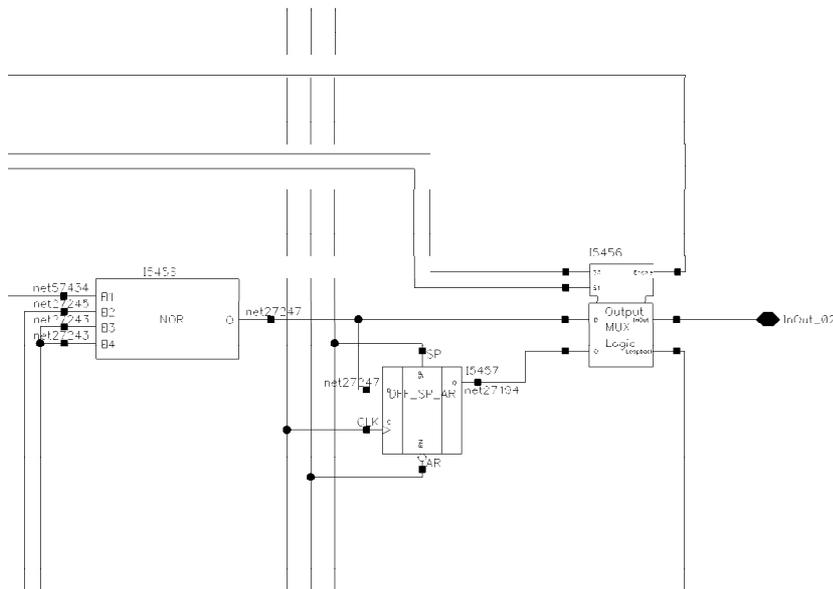


Abbildung 71: Verschaltung der Ausgangs-Makrozelle. Im linken Teil ist noch der Ausgang der oben beschriebenen NOR-Stufe zu erkennen.

Die gewünschte Funktion der Makrozellen (Register/Kominatorik, vergl. Tabelle 4) wird jeweils über zwei Konfigurationsbits bestimmt. Die Speicherzellen dieser beiden Bits sind am äußersten rechten Rand der großen Logikmatrix platziert. Abbildung (71) zeigt das Flipflop mit der nachgeschalteten Multiplexereinheit, die gemeinsam eine Ausgangs-Makrozelle bilden.

Abbildung (72) zeigt schließlich den inneren Aufbau der Multiplexer-Logik. Zur funktionalen Struktur sei nochmals auf Abbildung (39) (auf Seite 91) verwiesen.

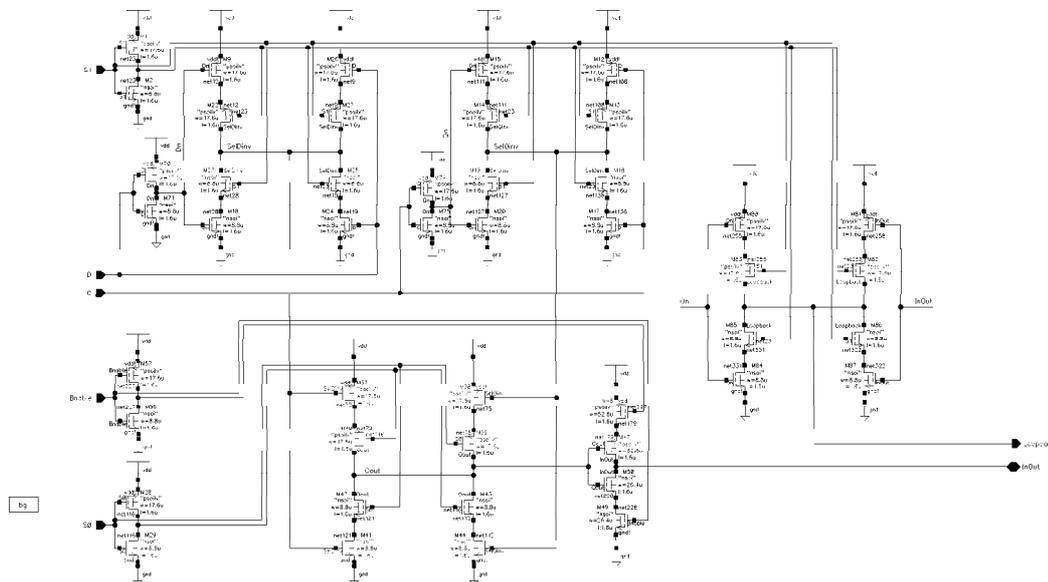


Abbildung 72: Inverter und Multiplexer der Ausgangs-Makrozellen

## 4.11 Input Driver

Die externen Signale gelangen über die Input Driver in die konfigurierbare Logikmatrix. Die Driver erfüllen eine mehrfache Funktion: sie verstärken das Eingangssignal und stellen gleichzeitig ein möglichst nicht allzu stark verzögertes, invertiertes Signal zur Verfügung.

Die Baugruppe setzt sich aus vier einzelnen Invertiern zusammen. Diese Struktur ermöglicht es, daß die kapazitive Last der Matrix sich nicht auf die Laufzeit des Signals des invertieren Ausgangs auswirkt.

Der hierzu erforderliche zusätzliche Aufwand ist mit nur einem Inverter minimaler Größe äußerst gering. Abbildung (74) zeigt die entsprechende Schaltung.

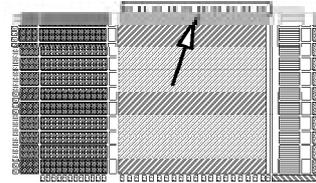


Abbildung 73:  
Lage der Input Driver

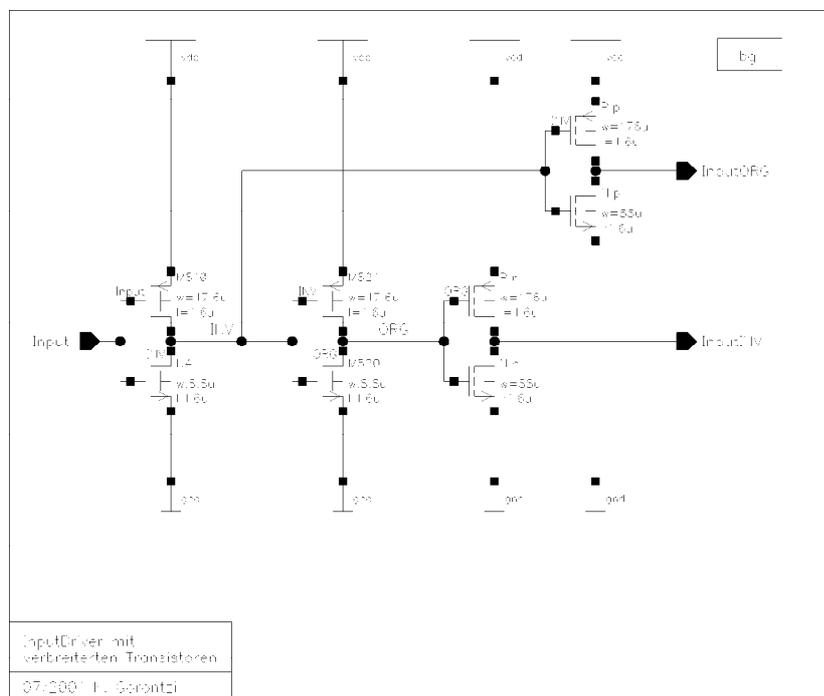


Abbildung 74: Schaltung der Input Driver

#### 4.12 Verschaltung des PROM-Feldes

Die programmierbaren TOXFET-OTP-Zellen befinden sich links der großen Logikmatrix in einem separaten Chipbereich.

Der Hauptgrund für diese Trennung war beim Entwurf des HTPALs, daß die hohen Programmierspannungen nicht in das sehr dichte Layout der Logikmatrix gelangen sollten. Darüber hinaus ergeben sich auch Vorteile für

die Arbeitsgeschwindigkeit: Die Verarbeitungsgeschwindigkeit der logischen Signale im HTPAL wird unter anderem von der Länge der horizontal verlaufenden Logikleitungen (bzw. von deren parasitärer Kapazität) bestimmt. Durch die Auslagerung der OTP-Zellen aus der Logikmatrix in eine separate OTP-Matrix konnte der Logikbereich deutlich kompakter aufgebaut werden.

Abbildung (76) zeigt einen Ausschnitt aus der PROM-Matrix. Dargestellt ist ein Teil einer einzelnen Zeile. Wie man in der Abbildung erkennen kann, sind die Zeilenleitungen mit den 45 Drain-Anschlüssen der TOXFETs verbunden. Sämtliche 132 Gates einer Spalte werden in gleicher Weise an eine gemeinsame Spaltenleitung angeschlossen.

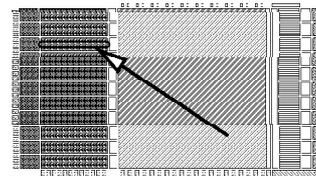


Abbildung 75: Lage der PROM Felder

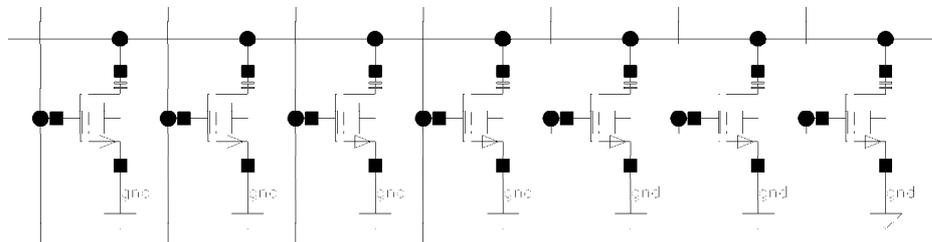


Abbildung 76: Ausschnitt aus einer Zeile der PROM-Matrix

Zum Auslesen wird die gewünschte Spalte der OTP-Matrix selektiert, indem sämtliche Gates der betreffenden Spalte mit einer positiven  $U_{GS}$ -Spannung aufgesteuert werden. Alle Zeilen der Matrix wurden zuvor mit einer hochohmigen Pull-up-Struktur auf H-Pegel gehalten.

Ein aufgesteuerter, programmierter TOXFET zieht anschließend seine jeweilige Zeilenleitung auf L-Potential. Da in der Ausleseschaltung (s. unten) noch ein Inverter liegt, bedeutet dies eine logische 1. Die programmierten Bits werden also invertiert in der PROM-Matrix gespeichert.

Abbildung (77) zeigt diese Ausleseschaltung, die zwischen der PROM-Matrix und der Logikmatrix liegt. Die BIT- und BIT\_N-Leitungen führen direkt in die Logikmatrix, während der Eingang links jeweils mit einer Zeilenleitung der PROM-Matrix (vergl. Abbildung (76)) verbunden ist. In Abbildung (77) ist diese Leitung mit DATAN bezeichnet.

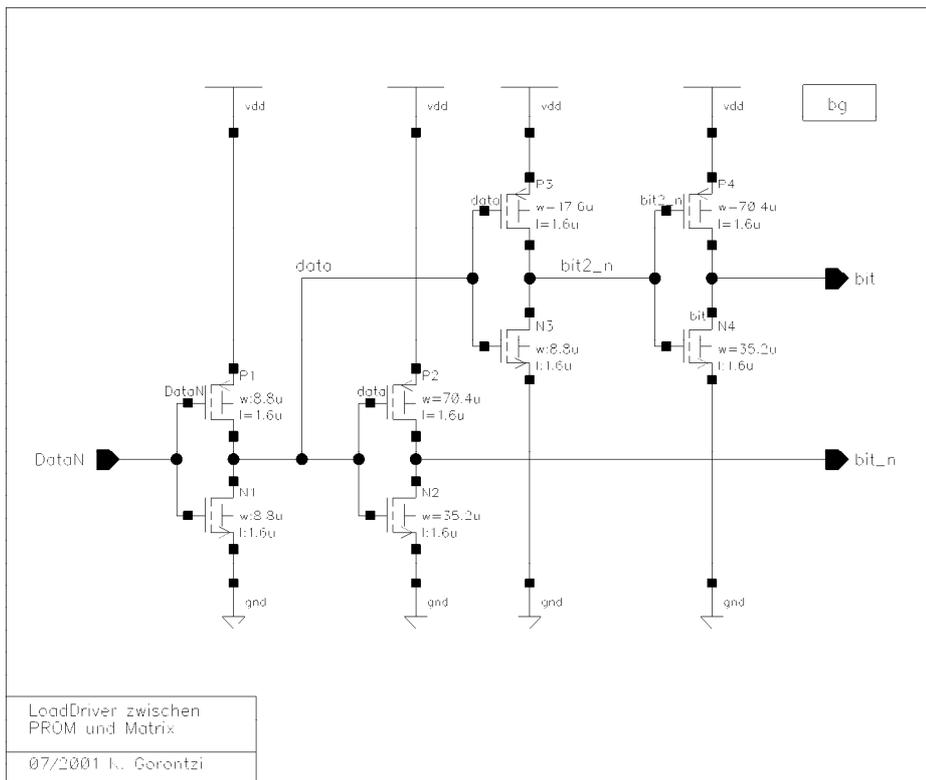


Abbildung 77: LoadDriver zwischen PROM-Matrix und der Logikmatrix

Die LoadDriver haben eine ähnliche Struktur wie die Input Driver – dies ist nicht verwunderlich, da beide ein Signal so aufbereiten, daß es über eine lange Leitung quer über den Chip verteilt werden kann. Gleichzeitig entkoppeln die LoadDriver den Hochvolt-Bereich der PROM-Matrix vom Niedervolt-Bereich der Logikmatrix. Die H-Gate-Transistoren an den RS-Flipflops innerhalb der Logikmatrix sind nicht dazu geeignet, mit Drain-Source-Spannungen von 25 V verbunden zu werden.

LoadDriver und Hochvolt-LoadDriver betten das PROM ins HTPAL ein. Abbildung (78) skizziert die Verschaltung der Module.

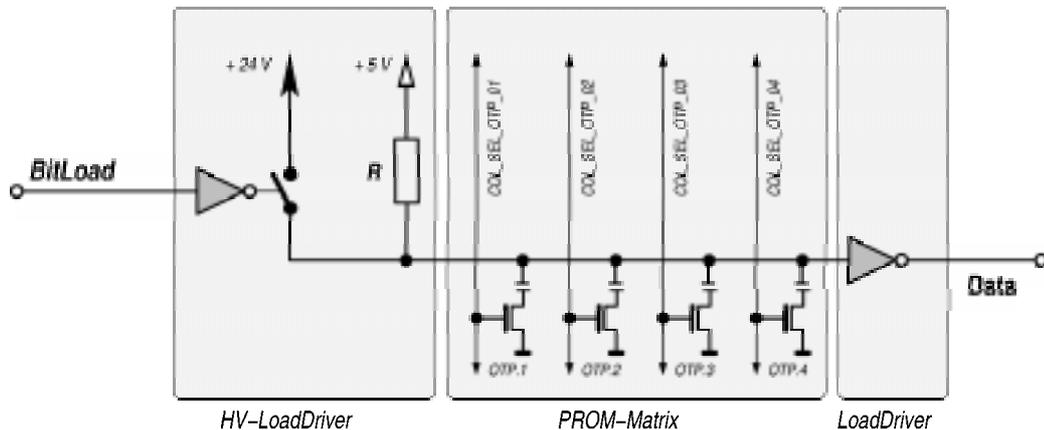


Abbildung 78: Einbettung des PROMs in das HTPAL (Prinzipschaltung)

Im mittleren Abschnitt von Abbildung (78) befinden sich die TOXFET-Zellen. Zum Programmieren oder zum Auslesen wird jeweils eine der TOXFET-Spalten mit dem entsprechenden COL\_SEL\_OTP\_xx-Signal selektiert.

Beim Programmieren wird über den Hochvolt-LoadDriver auf der linken Seite ein 25 V-Puls an den gewünschten TOXFET geführt, der dadurch programmiert wird. Zum Auslesen wird die Zeilenleitung über den Pull-up-Widerstand  $R$  mit der Betriebsspannung verbunden. Ein selektierter und programmierter TOXFET kann dann das Potential der Zeilenleitung gegebenenfalls auf L-Pegel ziehen.

Der LoadDriver auf der rechten Seite von Abbildung (78) verstärkt schließlich den ausgelesenen Bitwert und trennt außerdem den Hochvolt-Teil (OTP-Matrix) des HTPALs vom Niedervolt-Teil (Logikmatrix).



Da im HV-LoadDriver eine Programmierspannung von etwa 25 V geschaltet werden soll, muß dort auf eine statische Inverterschaltung zurückgegriffen werden, wie sie typischerweise in der NMOS-Schaltungstechnik verwendet wird.

Der in NMOS-Schaltungstechnik ([78]) aufgebaute, statische Inverter (aus  $T_{\text{config}}$  und  $R_{\text{up}}$ ) wird deshalb zur Pegelumsetzung der 5 V Datenpegel auf die rund 25 V Programmierspannung genutzt. Wenn der Transistor aufgesteuert ist, fließt ein signifikanter Querstrom von  $U_{\text{prog}}$  nach GND. Dieser ist hier jedoch tolerierbar, da die Programmierspannung durch eine externe Quelle gespeist wird und der Transistor zudem während des normalen Betriebs des HTPALs gesperrt ist.

Die Transistoren N.1, N.2, Protect.1 und Protect.2 bilden die eigentliche Schaltstufe für die Programmierspannung. Die beiden oberen Transistoren schalten die Programmierspannung auf die Zeilenleitung und somit an den zu programmierenden TOXFET. Da ein TOXFET im Prinzip einem Hochvolt-NSOI-Transistor sehr ähnlich ist (insbesondere hinsichtlich  $R_{\text{ON}}$  im programmierten Zustand), muß sichergestellt werden, daß der Hauptteil der Programmierspannung am TOXFET und nicht am Schalttransistor abfällt. Durch die Parallelschaltung der zwei NMOS-Transistoren ergibt sich ein Widerstandsverhältnis von 1:2 von N.1/N.2 zum TOXFET.

Um die Streßbelastung der TOXFETs niedrig zu halten, werden alle nicht-adressierten Zeilen über die Schutztransistoren an GND gelegt. Die Streßbelastung entsteht sonst einerseits durch die Leckströme der Schalttransistoren, zum anderen aber auch durch Durchgriff der Pulse der Programmierspannung.

Die identische Geometrie der vier NSOI-Transistoren hat zudem den positiven Nebeneffekt, daß sich die Leckströme des oberen und unteren Transistorpärchens kompensieren. Die Symmetrie der Pegel auf der DATAN-Leitung bleibt somit auch bei sehr hohen Temperaturen erhalten.

Zum Auslesen der OTP-Matrix gibt es in der Prinzipschaltung nach Abbildung (78) außerdem noch einen Pull-up-Widerstand. Da große Widerstände einen erheblichen Platzbedarf auf dem Chip haben, wird auch dieser Widerstand durch eine kleine Konstantstromquelle ersetzt. Der Transistor P.BIAS arbeitet hierzu als Stromspiegel zur Bandgap (vergl. Abschnitt 4.6).

Der Hochvolt-Transistor N.DIODE.30V arbeitet lediglich als hochbelastbare Schutzdiode<sup>59</sup>, die verhindert, daß die hohe Programmierspannung in das Versorgungsnetz des übrigen HTPALs gelangt.

Die Diode Dz wird benötigt, um die einzelnen OTP-Zeilen gegenseitig zu entkoppeln. Wie Abbildung (81) zeigt, fließt sonst beim Auslesen der OTP-Zellen ein unerwünschter Strom über die 25 V-Versorgungsschiene, der zu einem falschen Leseergebnis führen kann:

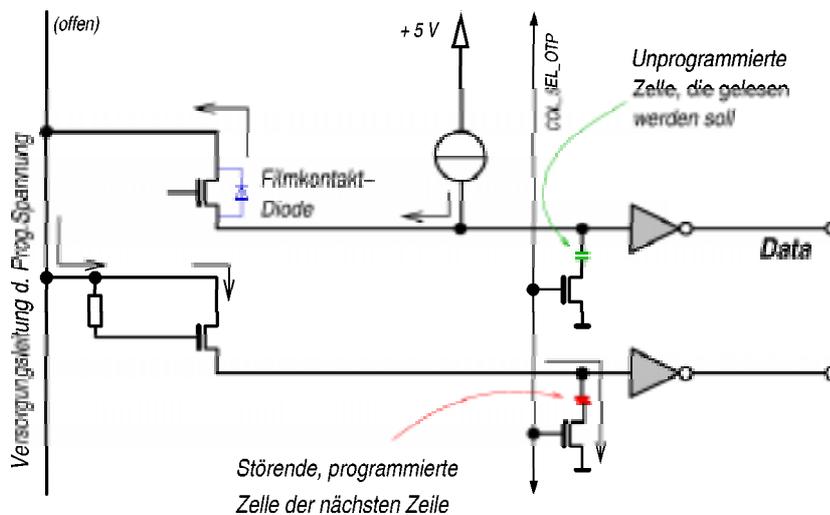


Abbildung 81: Unerwünschte Kopplung der einzelnen OTP-Zeilen beim Auslesen. Die dargestellten Pfeile markieren den Pfad des parasitären Stroms, der das Leseergebnis der oberen Spalte verfälscht.

<sup>59</sup>SIMOX-Hochvolttransistoren sind generell mit Filmkontakten ausgestattet, deren PN-Übergang eine parasitäre Diode bilden.

Die Stromquelle speist einen kleinen Strom in die obere<sup>60</sup> Zeilenleitung ein, der dazu führt, daß sich auf der Leitung ein H-Pegel einstellt, weil die selektierte OTP-Zelle *nicht programmiert* ist.

Der NMOS-Transistor, über den die Programmierspannung angelegt werden könnte, enthält jedoch (wie alle SIMOX-Hochvolttransistoren) seitliche Filmkontakte, deren PN-Übergang wie eine Diode wirkt. Die Zeilenleitung kann sich deshalb zur Versorgungsschiene hin entladen, die im Normalbetrieb (im Unterschied zum Programmierbetrieb) spannungslos ist. Über diese 25 V-Versorgungsschiene fließt der Strom auf eine andere Zeilenleitung, bei der gerade ein *programmierter* TOXFET selektiert wurde.

Beim Auslesen der Signale der beiden Zeilenleitungen erscheint es nun fälschlicherweise so, als wären beide betrachteten OTP-Zellen programmiert.

Um diesen parasitären Strom zu vermeiden, wurde in Abbildung (80) die Diode DZ eingefügt. Die Parameter dieser Diode sind unkritisch: die Sperrspannung sollte mindestens 5 V betragen und der Bahnwiderstand sollte niedrig sein (weil der Programmierstrom durch die Diode fließt).

---

<sup>60</sup>Natürlich enthält die untere Zeile eine ebensolche Stromquelle, die hier jedoch zur Verdeutlichung des unerwünschten Stroms zwischen den Zeilen nicht mit dargestellt ist. Die Anwesenheit dieser zusätzlichen Quelle führt zu keiner grundlegenden Änderung der dargestellten Problematik.

### Breite der Versorgungsleitungen

An dieser Stelle sollen kurz einige Anmerkungen zur Ausbildung von Spannungsgradienten auf den Versorgungsschienen ausgeführt werden.

Es soll hierzu der ungünstigste Fall betrachtet werden, nämlich daß

- sämtliche Transistoren der OTP-Matrix bis auf den allerletzten bereits programmiert wurden,
- dieser letzte Transistor am weitesten von der Programmierspannungsquelle entfernt ist
- und außerdem die Umgebungstemperatur 300 °C beträgt.

In diesem Fall summieren sich die Leckströme pro PROM-Zeile auf etwa 13  $\mu\text{A}$  pro Leitung. Bei einer Gesamtzahl von 134 Leitungen entspricht dies einem Strom von 1,74 mA für die gesamte Matrix. Dieser – vergleichsweise hohe – Strom führt zu einem Spannungsabfall entlang der Versorgungsleitungen, es existiert in diesem Fall also ein Spannungsgradient im Versorgungsnetz.

Bei einem maximal tolerierbaren Spannungsabfall von 5 % entlang der Versorgungsschiene und dem durch die verwendete Technologie vorgegebenen Squarewiderstand der unteren Metallisierungsebene läßt sich so eine Mindestbreite von 3,5  $\mu\text{m}$  für die Metall-1-Versorgungsleitung bestimmen.

Da der zusätzliche Platzbedarf an dieser Stelle kaum ins Gewicht fällt, wurde eine Leiterbahnbreite von 10  $\mu\text{m}$  gewählt. Der Spannungsabfall entlang der Versorgungsleitung sollte die Funktion der Schaltung dann nicht mehr signifikant beeinflussen.

Auf diese Weise wird gewährleistet, daß die gewünschte Programmierspannung von rund 25 V auch unter ungünstigsten Bedingungen nicht wesentlich unterschritten wird. Ähnliche Überlegungen müssen natürlich auch bei allen anderen Versorgungsleitungen durchgeführt werden; dies gilt insbesondere

für die Versorgung der Stromquellen, welche die NOR-Leitungen der Logikmatrix versorgen.

## 4.14 Boot Logik

Nach dem Einschalten ist die Logikmatrix zunächst mit zufälligen Werten vorbelegt. Ein solcher Betriebszustand wird im allgemeinen unerwünscht oder zumindest nur äußerst selten vorteilhaft sein.

Im Prinzip kommen daher zwei Methoden zur Initialisierung in Frage:

- Globaler RESET für alle Matrixzellen oder
- Automatisches Laden des PROM-Inhalts in die Matrix

Die zweite Methode hat mehrere signifikante Vorteile bei der Realisierung: ein zusätzliches RESET-Signal in der Matrix würde die Matrixzellen weiter vergrößern und somit mehr Chipfläche erfordern.

Daneben muß ohnehin eine Lade-Logik existieren, die auf Anwenderwunsch das PROM in die Konfigurationszellen der Matrix umkopiert.

Es liegt daher nahe, die Lade-Logik direkt mit dem Power-On-Signal zu verbinden. In den folgenden Unterabschnitten werden die einzelnen Komponenten des Lade-Subsystems im Detail beschrieben.

### 4.14.1 Erzeugung des internen Power-ON-Resets

Nach dem Anlegen der Versorgungsspannung soll die RAM-Matrix mit dem Bitmuster aus der PROM-Matrix konfiguriert werden. Dieser Vorgang läuft automatisch ab und soll hier als *Booten* bezeichnet werden.

Der Bootvorgang wird durch das Anlegen der Betriebsspannung ausgelöst. Damit das Booten zuverlässig erfolgt, muß die Versorgungsspannung ausreichend stabil sein. Es muß daher zunächst eine Schaltung implementiert werden, die nach dem Einschalten ein definiertes RESET-Signal erzeugt.

Das HTPAL enthält eine einfache Reset-Logik, die aus einer Stromquelle, einem Ladekondensator und einem Schmitt-Trigger besteht. Die folgende Abbildung (82) zeigt das Prinzip.

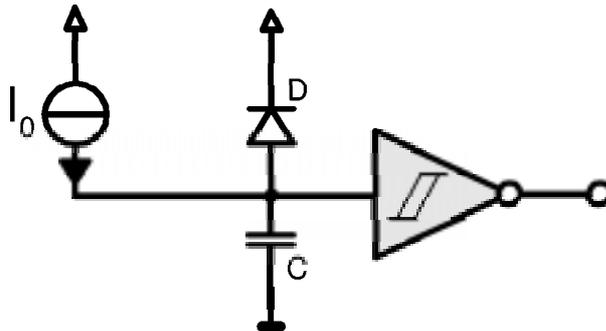


Abbildung 82: Prinzipschaltung der Reset-Logik

Beim Einschalten arbeitet der PMOS-Transistor als Stromquelle und lädt den Kondensator C auf. Am Ausgang des Schmitt-Triggers liegt in dieser Zeit ein H-Pegel. Wenn schließlich die Kondensatorspannung die Schwellspannung des Schmitt-Triggers erreicht, kippt dessen Ausgang auf L-Potential und die Reset-Phase ist damit beendet.

Beim Abschalten oder Ausfall der Stromversorgung soll der Kondensator möglichst zügig entladen werden. Dies könnte man z. B. mit der dargestellten Diode erreichen. Da die verwendeten SIMOX-Transistoren jedoch ohnehin bereits eine entsprechend gepolte – gewöhnlich eher parasitäre – Diode enthalten, kann die eingezeichnete Diode ersatzlos entfallen, wenn die Stromquelle mit einem Transistor realisiert wird.

Die BIAS-Spannung für die Stromquelle kann direkt einer im HTPAL vorhandenen Bandgaps entnommen werden. Der Lade-Transistor arbeitet in diesem Fall als Stromspiegel zur Bandgap.

Bei dem verwendeten Schmitt-Trigger handelt es sich um eine Standardschaltung, die aus der Literatur (vergl. [18]) hinlänglich bekannt ist; Abbildung (83) zeigt die Struktur.

Die besondere Bedeutung dieser Schaltung für die Hochtemperaturelektronik liegt darin, daß sie auch bei stark mit der Temperatur driftenden Bauteilparametern eine verlässliche Regenerierung der verarbeiteten Signale ermöglicht. Gerade dort, wo besonders weite Temperaturbereiche abgedeckt werden sollen, lassen sich oft einfache Inverter gewinnbringend durch Schmitt-Trigger ersetzen.

Durch die kürzeren Anstiegszeiten an den Ausgängen der Schmitt-Trigger (verglichen mit einfachen CMOS-Invertern), läßt sich oft auch eine merkliche Reduktion der Leistungsaufnahme einer Schaltung erreichen: die fließenden Querströme beim Umschalten der Inverter verringern sich.

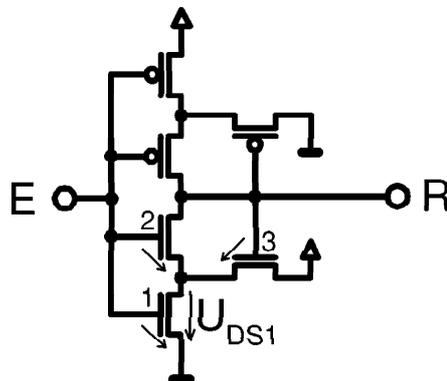


Abbildung 83: Der verwendete Schmitt-Trigger

Das Verhalten der Schaltung, speziell die Schaltschwellen, lassen sich über die Transistorgeometrie festlegen, was im folgenden kurz gezeigt werden soll.

Nach dem Einschalten liegt zunächst noch eine Spannung von  $U_E = 0 \text{ V}$  am Eingang  $E$ . Anschließend steigt die Spannung  $U_E$  langsam bis etwa auf die Höhe der Betriebsspannung  $U_B$  an. Zur Bestimmung der Umschaltspannung genügt die Betrachtung der unteren drei Transistoren.

$T_2$  ist der Hauptschalter, während  $T_1$  und  $T_3$  ein Feedback-Netzwerk bilden, über das die Höhe der Schaltschwelle,  $U^+$ , festgelegt wird.

Zu Anfang sind  $T_1$ ,  $T_2$  und  $T_3$  gesperrt. Die drei Transistoren werden durch die Spannungen

$$U_{GS,1} = U_E \quad (4.11)$$

$$U_{GS,2} = U_E - U_{DS,1} \quad (4.12)$$

$$U_{GS,3} = U_R - U_{DS,1} \quad (4.13)$$

gesteuert.  $T_1$  schaltet bei der  $U_{GS,1} = U_{th}$ , seiner Schwellspannung, ein.  $T_2$  benötigt jedoch  $U_E = U_{th} + U_{DS,1} =: U^+$  um in den leitenden Betrieb überzugehen.

Der Wert von  $U_{DS,1}$  wird durch  $T_1$  und  $T_3$  definiert: steigt  $U_E$ , so fällt dadurch  $U_{DS,1}$  bis  $T_2$  schließlich öffnet. Das Potential auf der Leitung  $R$  entlädt sich dann rasch über den Pfad  $T_2$  und  $T_1$ .

Die Triggerspannung  $U^+$  kann leicht in guter Näherung abgeschätzt werden.  $T_2$  benötigt zum Einschalten  $U_{DS,1} = U^+ - U_{th}$  an  $T_1$ . Hierzu wird  $T_1$  am Rand der Sättigung betrieben mit dem Strom  $I_1 = \frac{\beta_1}{2}(U^+ - U_{th})^2$ . Da  $U_{DS,3} \equiv U_{GS,3}$ , ist  $T_3$  auch gesättigt:  $I_3 = \frac{\beta_3}{2}(U_B - U^+)^2$ .

Aus  $I_1 \stackrel{!}{=} I_3$  folgt schließlich

$$U^+ = \frac{U_B + \sqrt{\beta_1/\beta_3} U_{th}}{1 + \sqrt{\beta_1/\beta_3}} \quad (4.14)$$

Die Triggerspannung  $U^+$  läßt sich somit durch  $\frac{\beta_1}{\beta_2} = \frac{(w/l)_1}{(w/l)_3}$  einstellen.

Der umgekehrte Betriebsfall bei fallendem  $U_E$  läßt sich genau analog betrachten. Dieser Fall tritt jedoch nur beim Abschalten des HTPALs auf und sorgt dafür, daß die Steuerlogik des HTPALs beim Abfall der Betriebsspannung in den RESET-Zustand zurückkehrt.

Man erhält

$$U^- = \frac{\sqrt{\beta_4/\beta_6}(U_B - U_{th})}{1 + \sqrt{\beta_4/\beta_6}} \quad (4.15)$$

Die Schaltung erlaubt eine symmetrische Arbeitsweise mit

$$U^+ = \frac{1}{2}U_B + \Delta U \quad (4.16)$$

$$U^- = \frac{1}{2}U_B - \Delta U \quad (4.17)$$

wobei dann die Hysterese des Schmitt-Triggers  $U_H = 2(\Delta U)$  beträgt.

Mit der zusätzlichen Definition eines  $\beta_r := \frac{\beta_1}{\beta_2} = \frac{\beta_4}{\beta_6}$  und der Annahme, daß die Schwellspannungen der PMOS- und NMOS-Transistoren betraglich gleich groß sind ( $U_{th} := U_{th}^{(N)} = |U_{th}^{(P)}|$ ), erhält man schließlich

$$\Delta U = \frac{U_B(1 - \sqrt{\beta_r} + 2\sqrt{\beta_r} U_{th})}{2(1 + \sqrt{\beta_r})} \iff \sqrt{\beta_r} = \frac{U_B - 2(\Delta U)}{U_B + 2(\Delta U) - 2 U_{th}} \quad (4.18)$$

Für die vorgesehene Anwendung ist eine symmetrische Arbeitsweise jedoch gar nicht unbedingt von Vorteil. Wünschenswert wäre vielmehr ein Verhalten, wie es in Abbildung (84) skizziert ist.

Zur konkreten Dimensionierung wird zunächst mit Abbildung (84) das gewünschte Verhalten des Schmitt-Triggers festgelegt.

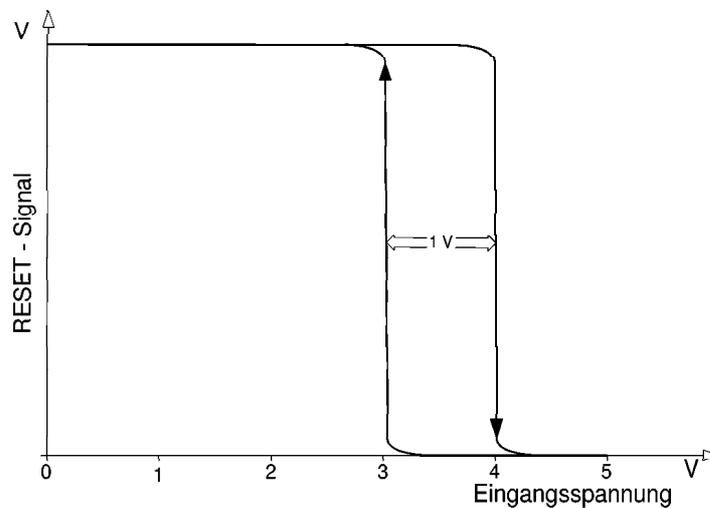


Abbildung 84: Verhalten des RESET-Schmitt-Triggers mit Kippspannungen bei 3 V und 4 V.

Beim Einschalten liegt die Eingangsspannung  $U_E$  des Schmitt-Triggers bei 0 V und steigt dann langsam an. Während dieser Zeit liegt ein stabiler H-Pegel am Ausgang des Schmitt-Triggers, der die RESET-Leitung treibt.

Beim Erreichen einer Eingangsspannung von 4 V kippt der Ausgang und die RESET-Leitung nimmt L-Potential an.

Die Kippspannung von  $U^+ = 4 \text{ V}$  ist in Abbildung (84) gegenüber einem symmetrischen Schmitt-Trigger ( $\frac{U^+ + U^-}{2} = \frac{1}{2}U_B$ ) zu den höheren Spannungen hin verschoben. Zur Erzeugung eines Power-ON-Resets ist dieses Verhalten günstig, da dann der Reset-Zustand erst verlassen wird, wenn die Versorgungsspannung ausreichend stabil anliegt.

Beim Abschalten der Betriebsspannung sinkt  $U_E$  rasch unter 3 V und löst damit ein erneutes RESET-Signal aus. Hierdurch soll verhindert werden, daß im Moment des Abschaltens unkontrollierte Pegeländerungen an den Ausgängen des HTPALs auftreten.

Wie oben gezeigt wurde, kann man die gewünschten Kippspannungen durch die Größenverhältnisse der P- und N-Transistoren festlegen. Für die gewünschten Schaltschwellen erhält man durch Umstellen von  $U^+$  und

$U^-$  (Gleichungen (4.15) und (4.14)) die  $\frac{w}{l}$ -Verhältnisse

$$\beta_1 : \beta_3 = 1 : 9 \quad (\text{N-Transistoren}) \quad (4.19)$$

$$\beta_4 : \beta_6 = 1 : 9 \quad (\text{P-Transistoren}) \quad (4.20)$$

Bleibt man beim Konzept der Einheitstransistoren, so sind die Feedback-Transistoren  $T_3$  und  $T_6$  entsprechend zu verbreitern. Transistoren erhöhter Länge finden hingegen im Einheitstransistor-Konzept nur selten Verwendung.

Anzumerken ist noch, daß  $U_{th}$  mit steigender Temperatur sinkt. Dies führt zu erhöhtem  $U^-$  und niedrigerem  $U^+$ . Die Hysterese beträgt also nur bei Zimmertemperatur 1 V; mit steigender Umgebungstemperatur  $\vartheta$  nimmt sie ab. Falls dies nicht tolerierbar wäre und kein externes RESET-Signal zur Verfügung steht, müßten daher die Transistoren für die Schaltschwellen geeignet umdimensioniert werden.

Mit dem beschriebenen Schmitt-Trigger wird nun die Reset-Schaltung nach Abbildung (85) aufgebaut.

Die dort verwendete Referenzspannung  $U_{REF}$  liefert die bereits vorhandene Bandgap-Quelle auf dem Chip. Ein PMOS-Transistor minimaler Geometrie läßt sich damit bequem als Stromquelle betreiben. Der Ladestrom des 20 pF Kondensators beträgt je nach Temperatur der Schaltung zwischen 15 nA ( $-60^\circ\text{C}$ ) und 35 nA ( $+300^\circ\text{C}$ ).

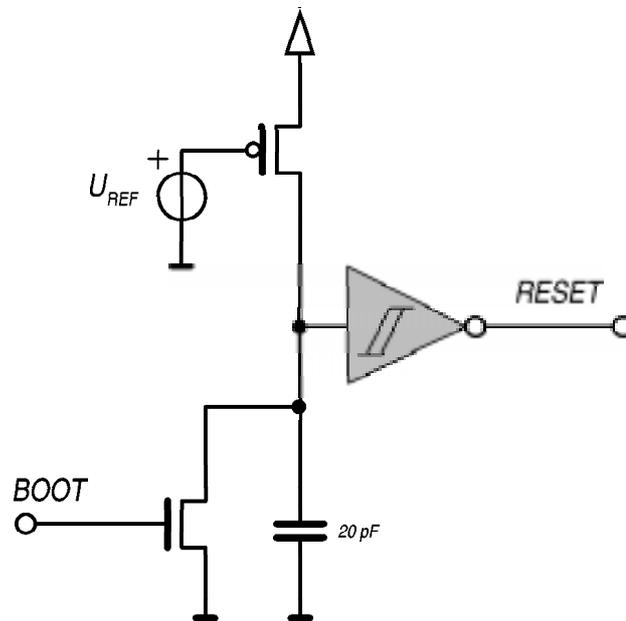


Abbildung 85: Die verwendete Schaltung zur RESET-Erzeugung.

Mit einer oberen Schwelle des Komparators von  $U^+ := 4 \text{ V}$  (s. o.) ergeben sich nach

$$t_{Reset}(\vartheta) = \frac{C \cdot U^+}{I(\vartheta)} \quad (4.21)$$

Verzögerungszeiten  $t_{Reset}(\vartheta = -60 \text{ °C} \dots + 300 \text{ °C}) = 2,29 \dots 5,33 \text{ ms}$ .

Über den BOOT-Anschluß in Abbildung (85) kann dem HTPAL außerdem ein externes RESET-Signal zugeführt werden. Der Leckstrom des zugehörigen NMOS-Transistors reduziert den Ladestrom des Kondensators und führt dadurch zu einer Verlängerung der Resetzeit. Da  $I_{Leck} \ll I_{Lade}$  und eine geringfügig verlängerte Resetzeit ohnehin in der Regel unkritisch ist, soll dieses Verhalten nicht weiter betrachtet werden.

#### 4.14.2 Boot-Clock

Zum Laden der Daten aus dem PROM in die Matrix benötigt man ein Taktsignal. Die Erzeugung dieses Taktes geschieht mit einem einfachen

RC-Oszillator, der in Abbildung (86) skizziert ist.

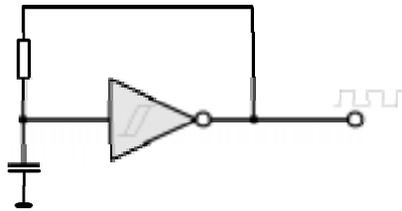


Abbildung 86: Prinzipschaltung der BOOT-CLK

Die Bauelementeparameter der Schaltung werden nun so gewählt, daß sich ein Takt von wenigen kHz ergibt<sup>61</sup>. Außerdem wird noch ein Startup-Transistor hinzugefügt, um ein sicheres Anschwingen des Oszillators zu garantieren. Ohne diese Startschaltung könnte sich das Anschwingen verzögern. Dies hätte wiederum eine verlängerte, aber vor allem eine nicht-deterministische Bootzeit zur Folge und ist daher unerwünscht.

Abbildung (87) zeigt die komplette Schaltung des RC-Oszillators. Links erkennt man den zusätzlichen Startup-Transistor. Der Ausgang des Schmitt-Triggers ist außerdem mit einer zusätzlichen Verstärkerstufe (aus zwei Invertern) versehen.

---

<sup>61</sup>Die Wahl der Taktfrequenz ist im Prinzip relativ unkritisch. Das Laden der PROM-Daten in die Matrix soll aber auch unter sehr ungünstigen Bedingungen (hohe Temperatur, niedrige Versorgungsspannung) zuverlässig funktionieren. Die gezeigte Schaltung trägt lediglich 45 Takte zur Bootzeit bei. Die angestrebte Bootzeit von  $\leq 100\text{ms}$  könnte man mit einer Taktperiode von 2 ms (500 Hz) problemlos erreichen. Das erforderliche RC-Glied wäre dann allerdings flächenmäßig relativ groß. Der gewählte Kompromiß liegt deshalb bei einem Takt von rund 2000 Hz.

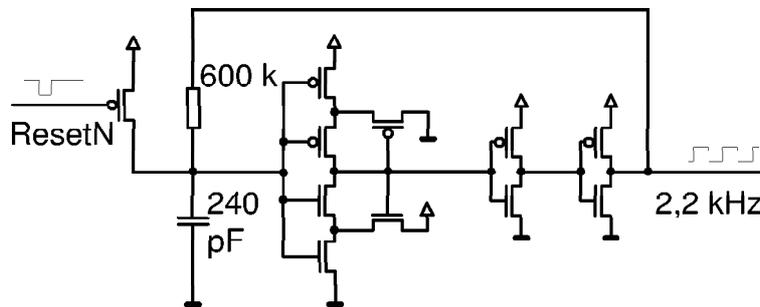


Abbildung 87: Schaltbild des RC-Oszillators der BOOT-CLK

Um die Frequenzkonstanz zu verbessern, greift man den Ausgangstakt häufig noch vor den beiden Invertern ab und führt ihn an den Eingang zurück. Der Vorteil ist dann, daß die Oszillationsfrequenz nicht von der (kapazitiven) Last am Ausgang des Oszillators abhängig ist. Im vorliegenden Fall verringert die Ausgangslast die Frequenz des Oszillators; dieser Effekt ist hier durchaus erwünscht und wird deshalb auch nicht gesondert kompensiert.

Der benutzte Schmitt-Trigger ist so dimensioniert, daß  $U^+ = 4\text{ V}$  und  $U^- = 1\text{ V}$  beträgt. Auch hier beeinflußt der zusätzliche Startup-Transistor wieder die Eigenschaften der Schaltung. Diesmal führt der Leckstrom jedoch kaum zu einer Frequenzverschiebung, sondern es wird vor allem das Tastverhältnis beeinflußt; die verkürzte Ladezeit der Kapazität und die verlängerte Entladezeit gleichen sich hingegen ungefähr aus.

#### 4.14.3 Der Boot-Vorgang

Wenn das HTPAL den RESET-Zustand verläßt (fallendes RESET-Signal), beginnt der eigentliche *Boot*-Vorgang.

Mit dem ersten Takt der Boot-CLK wird ein bestimmtes Bitmuster in die Config-Kette geschrieben. Das Muster besteht aus einer langen Folge von Nullen, die von zwei Einsen unterbrochen wird.

Nach dem ersten Takt steht eine Eins im Config-FF ganz unten rechts in Abbildung (91) (vergl. Seite 154) unter der Logik-Matrix. Dieses Bit ermöglicht gleich das Schreiben in die zugehörige Spalte der Logik-Matrix.

Eine zweite Eins steht ganz rechts unter der PROM-Matrix. Sie selektiert diejenige Spalte der PROM-Matrix, die gleich in die korrespondierende Spalte der Logikmatrix kopiert wird. Alle übrigen Config-Flipflops enthalten nur Nullen.

Nachdem nun beide Spalten selektiert sind, kann über einen kurzen Impuls auf der CLK-Leitung der Kopiervorgang PROM→Matrix initiiert werden. Dieser Vorgang wird als *Laden* der Logikmatrix bezeichnet.

Durch einfaches Weiterschieben des Config-Bitmusters und Wiederholen des Ladevorgangs wird schließlich der Inhalt des gesamten PROMs in die Matrix kopiert.

Nachdem die letzte Spalte kopiert wurde, wird der Lade-Takt abgeschaltet und der Boot-Vorgang ist beendet. Das PAL ist dann betriebsbereit.

#### 4.14.4 Laden des Boot-Bitmusters in die Config-Kette

Zum Booten muß das in Abschnitt 4.14.3 beschriebene Bitmuster durch die Config-Kette geschoben werden. Nach einem Reset wird dieses Muster im ersten Takt parallel in die Config-Kette geschrieben.

Abbildung (88) zeigt die Erweiterung des Schaltbildes zum initialisierenden Setzen des Boot-Bitmusters in die Config-Kette.

Das untere Flipflop nimmt infolge des Systemsresets den Zustand "0" an; hinter dem Inverter liegt somit eine logische "1" an den zwei gewünschten Stellen der Config-Kette. Die übrigen FFs sind nach einem Reset ohnehin bereits mit "0" initialisiert.

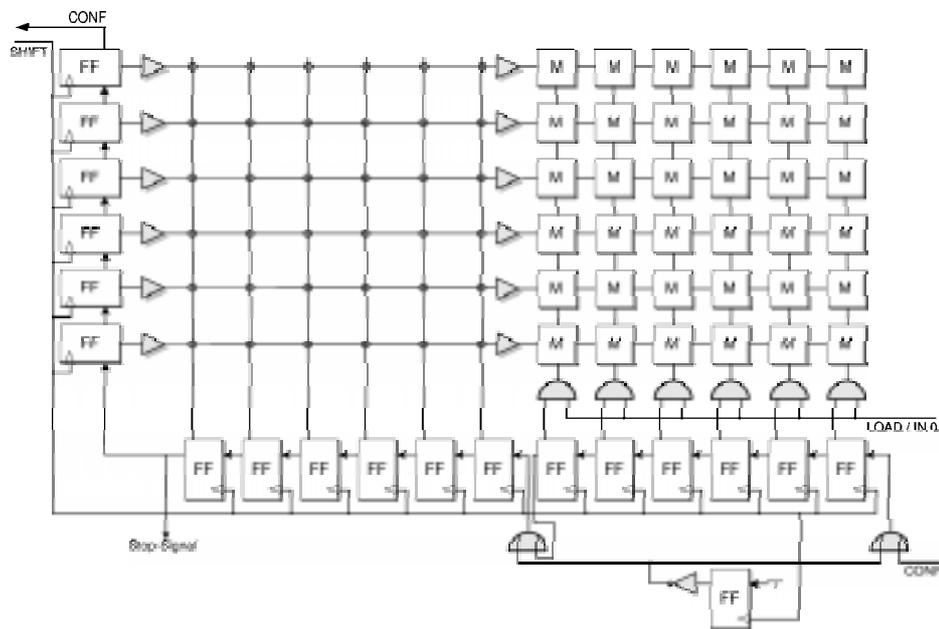


Abbildung 88: Struktur des HTPALs aus Sicht der Boot-Logik

Mit dem ersten Takt auf der SHIFT-Leitung wird das gewünschte Boot-Muster (000...0001000...0001) in die Schieberegisterkette übernommen. Gleichzeitig nimmt das untere FF den Zustand "1" an und verläßt ihn nicht mehr, da an seinem Eingang eine konstante logische "1" liegt.

Anschließend kann das Boot-Muster durch die Bitkette geschoben werden.

Zur Konfiguration verwendet man vorteilhafterweise zwei gegenläufige Takte:

- den SHIFT-Takt, der das Config-Bitmuster weiterschiebt und
- den LOAD-Takt, der das Bitmuster der aktuellen PROM-Spalte in die Logikmatrix übernimmt.

Die Phasenbeziehung der beiden Signale ist in Abbildung (89) skizziert. Optimal ist ein Taktsystem, in dem der LOAD-Impuls genau in den Pausen des SHIFT-Signals liegt.

Die Erzeugung eines solchen Taktes ist zwar etwas komplizierter, jedoch bleibt dadurch genügend Phasenreserve, wenn sich bei steigenden Einsatztemperaturen die Parameter der beteiligten Bauelemente verändern. Nach jedem Kopierschritt muß sichergestellt sein, daß am Ende einer LOAD-Phase das korrekte Bitmuster in der Logikmatrix kopiert wurde.

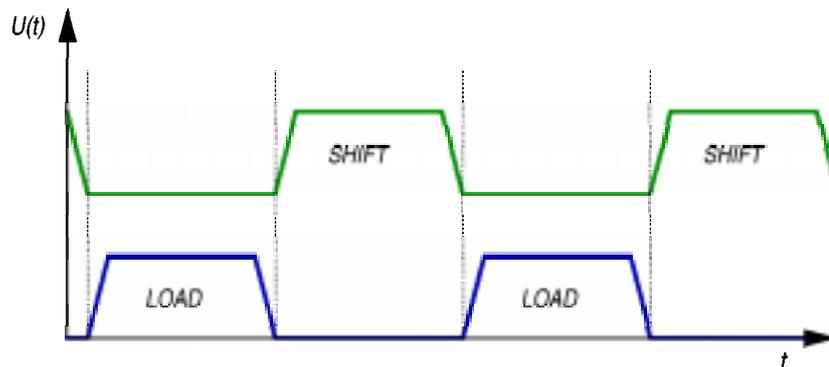


Abbildung 89: Phasenlage der Bootsignale LOAD und SHIFT

Beim Layout des HTPALs ist darauf zu achten, daß diese Phasenbeziehung nicht durch eine ungünstige Leitungsführung konterkariert wird. Besonders günstige Verhältnisse ergeben sich dadurch, daß der Takt genau gegen die Schieberichtung durch die Flipflops der Registerkette geführt wird.

#### 4.14.5 Ende des Boot-Vorgangs

Es fehlt nun schließlich noch eine Schaltungsstruktur, die den Boot-Takt abschaltet, wenn der Boot-Vorgang beendet ist. Eine entsprechende Schaltung ist nicht sehr aufwendig und in Abbildung (90) dargestellt. Sie wird im folgenden als *ShiftGate* bezeichnet.

Der Boot-Takt wird abgeschaltet, wenn die führende "1" des Config-Bitmusters sämtliche Spalten des PROMs durchlaufen hat. Man kann ein geeignetes STOP-Signal direkt an der in Abbildung (88) bezeichneten Stelle an der Config-Kette abgreifen.

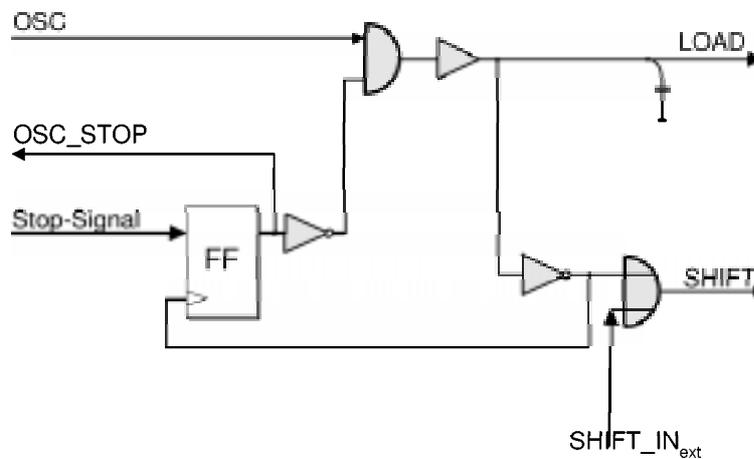


Abbildung 90: Schaltung zum Abschalten des Boot-Taktes, nachdem der Boot-Vorgang beendet ist

Die Schaltung nach Abbildung (87) erzeugt den LOAD-Takt, aus dem dann (wie in Abbildung (90) gezeigt) das SHIFT-Signal abgeleitet wird. Die LOAD- und SHIFT-Signale haben dadurch die in Abbildung (89) dargestellte Phasenlage.

#### 4.14.6 Zusammenfassung

Das Booten des HTPALs aus seinem internen PROM erfolgt in folgenden Abschnitten:

- Durch das Anlegen der Versorgungsspannung oder eine fallende Flanke des Signals am externen BOOT-Pin des HTPALs wird die Power-ON-Reset-Schaltung aktiviert, die anschließend ein definiertes RESET-Signal für alle Baugruppen auf dem Chip erzeugt. Diese Reset-Phase dauert in der Regel wenige Millisekunden.
- Am Ende der Reset-Phase schwingt der Boot-Oszillator an und erzeugt einen Takt zum Laden der PAL-Konfiguration aus dem PROM in die Logikmatrix.

- In der ersten Taktperiode wird ein bestimmtes Bitmuster in die Konfigurations-Registerkette geschrieben, das aus einer Serie von Nullen besteht, die von zwei Einsen unterbrochen ist. Die beiden Einsen selektieren jeweils eine Spalte des PROMs und die korrespondierende Spalte der Logikmatrix.
- Mit Hilfe eines zweiphasigen Taktes werden die vorprogrammierten Daten aus dem PROM anschließend spaltenweise in die Logikmatrix umkopiert.
- Wenn der Kopiervorgang der letzten Spalte beendet ist, wird der Boot-Takt durch das ShiftGate abgeschaltet.

Das HTPAL ist anschließend betriebsbereit.

#### **4.15 Programmierung des HTPALs aus Anwendersicht**

Aus Sicht des Anwenders gibt es drei verschiedene Arten von Programmiervorgängen am HTPAL:

- Manuelles Programmieren der Config-Zellen des HTPALs
- Laden der Konfiguration aus dem internen PROM
- Programmierung des internen PROMs

Die innere Struktur des HTPALs ist so zu wählen, daß alle drei Vorgänge effektiv realisiert werden können.

Abbildung (91) zeigt den prinzipiellen Aufbau des HTPALs, soweit die einzelnen Baugruppen für den Anwender des HTPALs durch ihre funktionellen Relationen erkennbar sind.

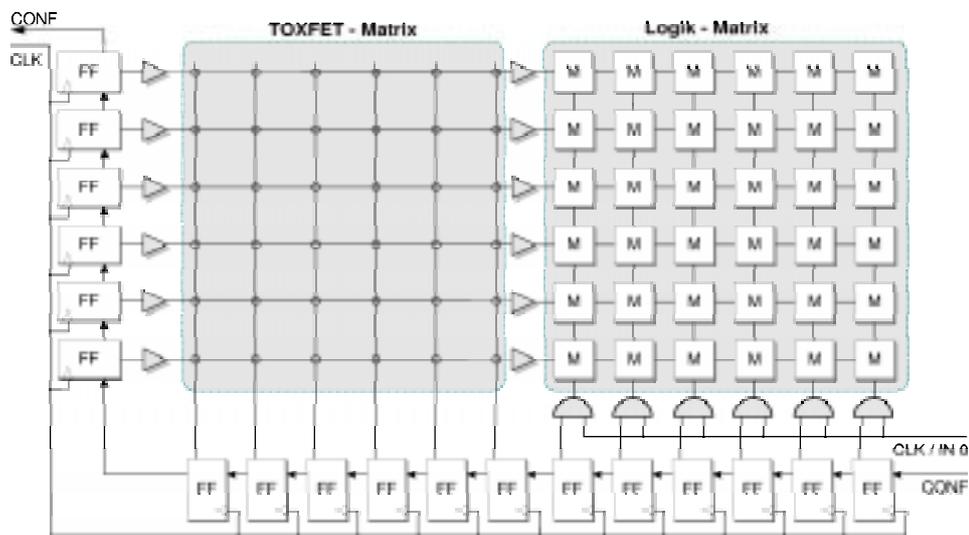


Abbildung 91: Innere Struktur des HTPALs aus Sicht des Anwenders (vereinfacht gegenüber Abbildung (88) von Seite 150).

Auf der rechten Seite befindet sich die Logikmatrix. Jeder Knoten der Matrix entspricht hier einem schaltbaren Logikterm. Links von der Logikmatrix befindet sich die TOXFET-Matrix mit den programmierbaren Verbindungen. Unten und links am Rand befindet sich ein langes Schieberegister, mit dem die Konfiguration vorgenommen wird.

Wie man an der Verdrahtung der vertikalen SELECT-Leitungen erkennen kann, geschieht die Programmierung immer spaltenweise. In den linken Schieberegisterteil lädt man das gewünschte Bitmuster, mit dem unteren Registerabschnitt selektiert man die gewünschte Zeile.

Im Detail läuft die Programmierung nun folgendermaßen ab:

- **Manuelles Programmieren**

Bei dieser Programmierart werden die RS-Flipflops zur Konfiguration der Logikmatrix (rechter Block in Abbildung (91), bzw. Abbildung (40) auf Seite 93) direkt programmiert:

1. Das gewünschte Bitmuster wird in die FFs an der linken Seite geladen

2. Mit den Matrix-FFs wird eine bestimmte Matrixspalte selektiert
3. Mit einem Puls auf der CLK-Leitung wird das Bitmuster in die Logikmatrix übernommen.

- Laden aus dem internen PROM

Bei dieser Programmierart wird der Inhalt der PROM-Matrix (Abbildung (91), Mitte) direkt in die korrespondierenden Zellen der Logikmatrix (Abbildung (91), Rechts) kopiert:

1. Eine PROM-Spalte selektieren
2. Die korrespondierende Matrixspalte selektieren
3. Das PROM-Bitmuster per CLK übernehmen
4. Den Vorgang wiederholen, bis alle Spalten kopiert sind.

Beim Anlegen der Versorgungsspannung läuft dieser Vorgang automatisch für alle Spalten ab. Dieser Prozeß soll im folgenden als *Booten* bezeichnet werden. Der *Boot*-Vorgang kann ebenfalls über einen externen Pin ausgelöst werden. Genauso ist es jederzeit möglich, das Laden aus dem internen PROM manuell über das Schieberegister zu bewerkstelligen.

- Programmieren des internen PROMs

In diesem Programmiermodus wird nicht der Inhalt der RS-Flipflops in der Logikmatrix verändert, sondern es werden die TOXFETs in der PROM-Matrix dauerhaft programmiert:

1. Auswahl von Zeile und Spalte der zu programmierenden TOXFET-Zelle über das Schieberegister
2. Anlegen eines Programmierspannungspulses (25 V) an den Programmierpin des HTPALs.

Das Programmieren der TOXFETs erfolgt bitweise, nicht spaltenweise. Hierdurch erhöht sich zwar die Gesamt-Programmierzeit, jedoch ist die Gesamtzahl der PROM-Zellen relativ niedrig, so daß dies nicht als

großer Nachteil anzusehen ist (vergl. Abschnitt 3.10). Auf der anderen Seite steht der erhöhten Programmierzeit als Vorteil die bessere Kontrolle über den Programmierprozeß gegenüber: Am Zeitverlauf des Programmierstroms kann man den Programmiererfolg sofort beurteilen. Während des Programmierens muß die normale 5 V Versorgungsspannung anliegen (niederohmige Quelle).

Wie man in Abbildung (91) auf Seite 154 erkennen kann, befinden sich zwischen den Config-FFs auf der linken Seite und der Logikmatrix rechts noch unidirektionale Treiber (LoadDriver). Diese Treiber schützen die Logikmatrix vor den hohen Programmierspannungen und sorgen für definierte Pegel<sup>62</sup> beim Laden der Logikmatrix.

Durch diese Struktur ist es nicht direkt möglich, den aktuellen Programmierzustand der Logikmatrix auszulesen. Lediglich das Verhalten des HTPALs nach außen läßt Rückschlüsse auf die interne Programmierung zu. Diese Eigenart tritt jedoch im Produktionsbetrieb nicht störend in Erscheinung, da die Konfiguration des HTPALs dort jederzeit bekannt ist.

#### **4.16 Pinout**

Tabelle 6 listet die Signale auf, die das HTPAL mit seiner externen Schaltungsumgebung verbindet.

---

<sup>62</sup>Die TOXFETs arbeiten als Antifuses. Eine Antifuse wird durch das Anlegen einer hohen Spannung leitend, indem das Oxid elektrisch durchbricht und aufschmilzt. Es liegt in der Natur des Vorgangs, daß dieser Prozeß nicht zu beliebig genau reproduzierbaren Ergebnissen führt.

Name	Signalbedeutung	Name	Signalbedeutung
UB	Betriebsspannung	IN/OUT 0	Eingang/Ausgang 0
GND	Ground	IN/OUT 1	Eingang/Ausgang 1
IN 0/CLK	Eingang / Takt	IN/OUT 2	Eingang/Ausgang 2
IN 1	Eingang 1	IN/OUT 3	Eingang/Ausgang 3
IN 2	Eingang 2	IN/OUT 4	Eingang/Ausgang 4
IN 3	Eingang 3	IN/OUT 5	Eingang/Ausgang 5
IN 4	Eingang 4	IN/OUT 6	Eingang/Ausgang 6
IN 5	Eingang 5	IN/OUT 7	Eingang/Ausgang 7
IN 6	Eingang 6	IN/OUT 8	Eingang/Ausgang 8
IN 7	Eingang 7	IN/OUT 9	Eingang/Ausgang 9
IN 8	Eingang 8	DPROG	Programmierdateneingang
IN 9	Eingang 9	CPROG	Programmiertakt
IN 10	Eingang 10	UPRG	Programmierspannung
IN 11	Eingang 11	BOOT	Boot Request–Eingang

Tabelle 6: Externe Signale des HTPALs. Es werden insgesamt 28 Pins benötigt.

Marktübliche PAL-Bausteine für Standard-Temperaturbereiche besitzen in der Regel Gehäuse mit 24 (DIL, SO<sup>63</sup>) oder 28 Pins (PLCC<sup>64</sup>, LCC).

Da das HTPAL ein Gehäuse mit 28 Pins erfordert, kann es direkt pinkompatibel in ein LCC gebondet werden. In Anlehnung an die verfügbaren, konventionellen PAL-Bausteine in 28-Pin-LCC-Gehäusen<sup>65</sup> wird folgende Anordnung der Anschlüsse vorgeschlagen:

<sup>63</sup>Small Outline package

<sup>64</sup>PLCC = Plastic Leaded Chip Carrier

<sup>65</sup>z. B. Cypress PAL CE22V10-2, [93]

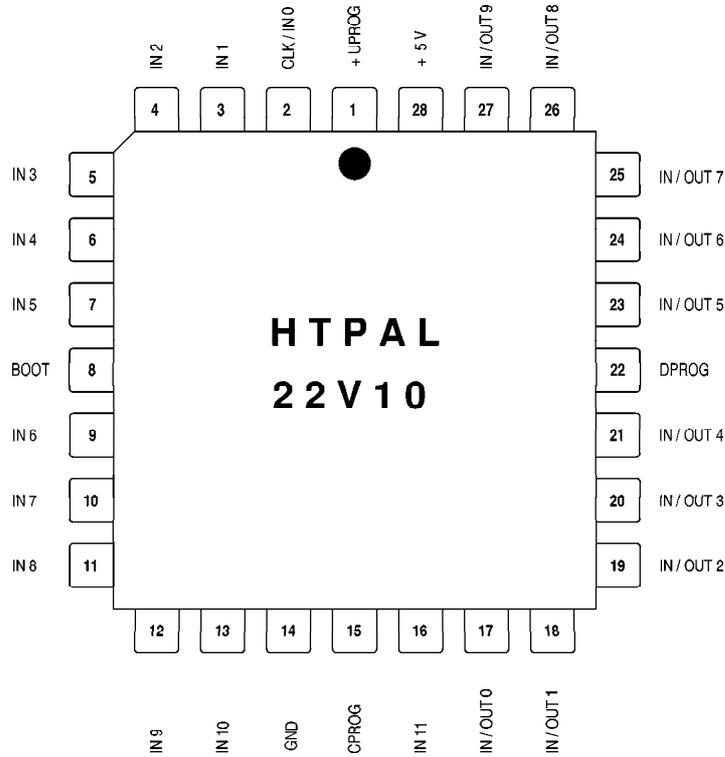


Abbildung 92: Anschlußbelegung eines HTPALs im LCC-Gehäuse

Ein alternatives Gehäuse im DIL-Format zeigt Abbildung (93). Da es keine PALs der Typenklasse 22V10 mit 28 Anschlußpins auf dem Markt gibt, ist eine pincompatible Lösung zu einem Standardprodukt hier nicht möglich.

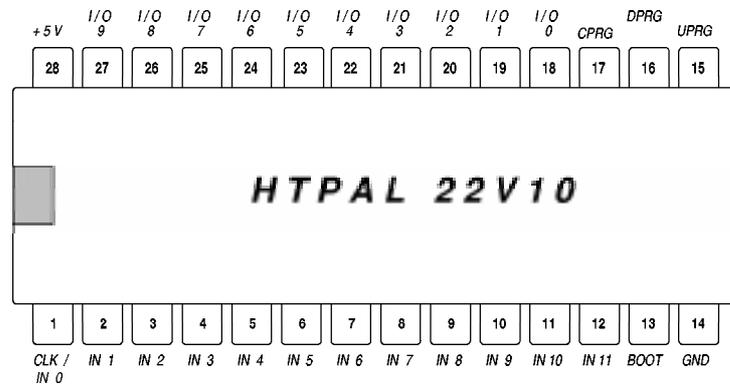


Abbildung 93: Anschlußbelegung eines HTPALs im DIL-Gehäuse

Typischerweise werden die Gehäuse aufgrund der vorgesehenen Einsatztemperaturen nicht aus Kunststoff, sondern aus Keramik hergestellt.

## 5 Lebensdauer und Tests

### 5.1 Lebensdauer

Die Qualität einer OTP-Zelle wird nicht nur durch einen möglichst kleinen  $R_{\text{ON}}$  Widerstand bestimmt, sondern auch von der Lebensdauer der programmierten Verbindungen. Die beiden möglichen Ursachen für Funktionsausfälle sind dabei:

- eine bereits programmierte OTP-Zelle wird nach einiger Zeit nichtleitend, bzw.
- eine unprogrammierte OTP-Zelle wird leitend.

Im streßfreien Zustand treten beide Effekte selbst bei hohen Umgebungstemperaturen nicht auf. Durchgeführte Experimente, bei denen die Wafer mit den OTP-Zellen eine längere Zeit lang bei hohen Temperaturen gelagert wurden, bestätigen dies.

Veränderungen am Zustand des Tunneloxids in den den TOXFETs erfordern eine Erwärmung bis nahe an den Schmelzpunkt des Oxids. Die maximale Betriebstemperatur der OTP-Zellen ist bei 300 °C spezifiziert worden, die Schmelztemperatur des Tunneloxids liegt hingegen bei  $T_m^{[\text{TOX}]} = 1467$  °C.

Beide Phänomene treten jedoch unter Streß auf. Hohe Spannungsbelastungen unprogrammierter Zellen können einen unerwünschten Programmierprozeß einleiten. Es bilden sich dabei Traps im Isolationoxid, sowie ortsfeste Ladungen an den Grenzflächen. Nach ausreichend langer Zeit kann sich ein primärer Strompfad ausbilden, dem dann unmittelbar ein Durchbruch folgt.

Im HTPAL treten Belastungen durch hohe Spannungen nur bei der Programmierung der OTP-Matrix auf. Zellen, die anschließend noch nicht programmiert sind, werden im weiteren Betrieb des HTPALs nicht mehr mit hohen Programmierspannungen belastet. Die Auslesespannung der OTP-Zellen liegt mit  $U_{\text{Read}} = 5 \text{ V}$  bei etwa 20 % der Programmierspannung und läßt dabei im Laufe der typischen Lebensspanne programmierter HTPALs keine unerwünschten Ausfälle erwarten.

Eine andere Form von Streßbelastung ist die Belastung durch hohe Ausleseströme. Die fließenden Ströme aktivieren Ausfallmechanismen auf zwei unterschiedlichen Wegen ([91]):

1. Von den dünnen, leitenden Verbindung in OTP-Antifuse-Zellen wurden Stromdichten von bis zu  $100 \text{ MA/cm}^2$  ([91]) berichtet.

Die hohen Ströme können zu Elektromigrationserscheinungen führen ([89]), wodurch prinzipiell eine Unterbrechung des leitenden Strompfads möglich ist. Dank der hohen Schmelztemperatur des Siliziums laufen diese Migrationsprozesse bei gängigen Strombelastungen jedoch nur sehr langsam ab und haben daher nur eine untergeordnete Bedeutung beim Ausfall programmierter Zellen.

2. Die Temperatur im Bereich der leitenden Verbindung kann beim Auslesen mit hohen Strömen stark ansteigen. Hierdurch kommt es zum Auftreten von thermisch aktivierten Prozessen, die zudem bei höheren Umgebungstemperaturen beschleunigt ablaufen können.

Erwärmung und Abkühlung können einerseits zur Entmischung der beteiligten Materialien führen. In diesem Fall wäre es grundsätzlich denkbar, daß sich an Stelle des durchgebrochenen Oxids eine neue elektrische Barriere formiert.

Weiterhin können sich beim Abkühlen durch die auftretenden mechanischen Spannungen mikroskopische Hohlräume im leitenden Strompfad bilden, die ebenfalls die Stromleitung behindern (Stress-voiding [90]).

Beim HTPAL ist die maximale Stromdichte, die beim Auslesen der OTPs auftreten kann, durch die verwendete Stromquelle an den Zeilenleitungen der PROM-Matrix begrenzt.

Die Stromquelle liefert einen Strom von unter  $I_{\text{read}} = 10 \mu\text{A}$ , was bei einer Fläche des OTP-Tunneloxids von  $4 \mu\text{m}^2$  einer minimalen Stromdichte von

$$J_{\text{OTP}} = \frac{10 \mu\text{A}}{2 \times 2 \mu\text{m}^2} = 250 \frac{\text{A}}{\text{cm}^2} \quad (5.1)$$

entspricht. Die tatsächlich in den OTPs auftretenden Stromdichten dürften allerdings höher liegen, da das Oxidfenster in der Regel nicht komplett aufschmilzt. Selbst dann liegt allerdings die hier auftretende Stromdichte noch immer um 4 Größenordnungen unter dem in [91] angegebenen Wert von  $100 \text{ MA/cm}^2$ . Elektromigrationsprozesse sollten daher bei den OTP-Zellen im HTPAL keine dominante Rolle spielen.

Bei einem Widerstand der programmierten TOXFETs von  $R_{\text{ON}} = 500 \Omega$  tritt pro TOXFET eine Heizleistung von

$$P_{\text{OTP}}^{(\text{read})} = I_{\text{read}}^2 \times R_{\text{ON}} = 5 \cdot 10^{-8} \text{ W} = 0,05 \mu\text{W} \quad (5.2)$$

auf. Bei einer Lesefrequenz von etwa  $2 \text{ kHz}$  (Boot-CLK), erhöht sich die Temperatur der leitenden Verbindung um mindestens

$$\Delta T^{(\text{read})} = \frac{\Delta t^{(\text{read})} \times P_{\text{OTP}}^{(\text{read})}}{c_p^{[\text{Si}]} \times V_{\text{OTP}}^{[\text{Si}]} \times \varrho_{\text{OTP}}^{[\text{Si}]}} = 1,8 \cdot 10^{-9} \text{ K} \quad (5.3)$$

Für  $V_{\text{OTP}}^{[\text{Si}]}$  wurde hier das Volumen des Tunneloxids<sup>66</sup> vor der Programmierung eingesetzt. Die Dichte  $\varrho_{\text{OTP}}^{[\text{Si}]}$  und die Wärmekapazität  $c_p^{[\text{Si}]}$  sind im Anhang tabelliert.

---

<sup>66</sup>Das Tunneloxid eines TOXFETs hat eine Größe von  $2 \times 2 \times 0,009 \mu\text{m}^3$ .

Auch diese Temperatur dürfte in der Realität deutlich größer ausfallen, da das Volumen des leitenden Strompfads kleiner ist, als das Gesamtvolumen des vorherigen Tunneloxidfensters. Dennoch fällt die Temperaturerhöhung so gering aus, daß sich keine negativen Folgen für die Zuverlässigkeit der TOXFET-Zellen ergeben sollten.

Die übrigen Komponenten des HTPALs sind keinen außergewöhnlichen Belastungen ausgesetzt. Zur Ermittlung von Belastbarkeit und Lebensdauer kann man daher auf die einschlägige Literatur zurückgreifen (z. B. [74]).

## 5.2 Tests

Im Anschluß an die Produktion des HTPALs muß ein Factory-Test durchgeführt werden. Es ist anzustreben, daß dieser Test in möglichst kurzer Zeit einen möglichst großen Teil der HTPAL Funktionalität abdeckt. Die relativ einfache innere Struktur eines PAL-Bausteins läßt dieses Ziel durchaus realistisch erscheinen.

### 5.2.1 Schieberegister

Die korrekte Funktion des Konfigurations-Schieberegisters läßt sich verhältnismäßig einfach überprüfen, da es sich um eine simple Bitkette handelt: ein Bitmuster, das auf der Eingangsseite hineingeschoben wird, muß nach genau 222 Takten<sup>67</sup> auf der Ausgangsseite erscheinen (vergl. Abbildung (91)).

Zur Realisierung dieser Testoption muß allerdings ein internes Pad vorgesehen werden. Ein externer Gehäusepin steht nicht zur Verfügung, um den Ausgang des Schieberegisters nach außen zu führen<sup>68</sup>. Der Test eignet sich somit nur als Factory-Test beim Hersteller. Ist das Chipgehäuse ersteinmal verschlossen, so kann dieser Test nicht mehr durchgeführt werden.

---

<sup>67</sup>132 Zeilen, 45 Matrixspalten, 45 PROM-Spalten

<sup>68</sup>Zumindest nicht in den hier vorgeschlagenen Gehäusen

### 5.2.2 Logikmatrix

Da die Logikmatrix über RAM-Zellen konfiguriert wird, kann man beliebige Testfunktionen in die Matrix laden. Durch Variation der Konfiguration und geeignete Testmuster an den HTPAL-Eingängen kann die korrekte logische Verknüpfung der Signale im HTPAL vollständig und automatisiert überprüft werden.

### 5.2.3 OTP PROMs

Die Qualität der TOXFETs zu überprüfen, erweist sich als problematisch, da die Überprüfung zerstörungsfrei zu erfolgen hat. Die einzige Möglichkeit verbleibt in der Messung des Tunnelstroms<sup>69</sup> bei niedrigen Programmierspannungen von etwa 9...10 V. Selbst hierbei müßte man aber bereits eine Vorschädigung des Oxids in Kauf nehmen.

Man könnte alternativ eventuell eine zusätzliche TOXFETs-Spalte im PROM-Bereich unterbringen, die ausschließlich dem Bausteintest dient. Als günstigen Nebeneffekt könnte man dann auch die erforderliche Programmierspannung exakt bestimmen.

### 5.2.4 Laufzeiten

Zur Messung der maximalen Toggle-Rate<sup>70</sup> empfiehlt sich ein einfaches PAL-Programm, mit dessen Hilfe der  $\bar{Q}$ -Ausgang des Flipflops einer Ausgangs-Makrozelle auf den Eingang des gleichen Flipflops zurückgeführt wird. Es ergibt sich die folgende Schaltung, die in Abbildung (94) dargestellt ist:

---

<sup>69</sup>Genaue Gleichungen des Tunnelstroms finden sich in [35] und [36].

<sup>70</sup>Die maximale Toggle-Rate hat besonders für das Marketing eine große Bedeutung, da die maximale Toggle-Frequenz traditionell zum Leistungsvergleich der verschiedenen PAL-Baureihen herangezogen wird.

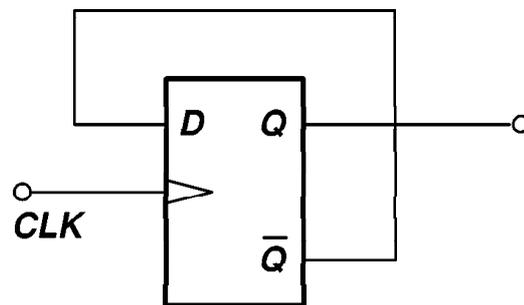


Abbildung 94: Schaltung zur Bestimmung der maximalen Toggle-Rate im HTPAL.

Die Taktfrequenz am CLK-Anschluß wird dem HTPAL extern über dessen CLK-Eingang zugeführt. Am Ausgang Q kann man dann beobachten, ob das Flipflop das gewünschte Toggle-Verhalten zeigt. Anschließend kann man die Frequenz des angelegten Taktes solange erhöhen, bis der PAL-Baustein Ausfälle zeigt.

Die gefundene Frequenz repräsentiert dann die maximale interne Toggle-Rate des PALs. Die praktische Relevanz der so bestimmten Toggle-Rate ist in der Regel nicht besonders groß; insbesondere läßt sie kaum Rückschlüsse auf die tatsächliche Arbeitsgeschwindigkeit eines PALs zu, da Laufzeiten, die z. B. durch die Schutzstrukturen an den Pins der Schaltung auftreten, nicht berücksichtigt werden.

Dennoch wird in den meisten Datenblättern diese interne Toggle-Rate als maximale Arbeitsfrequenz des Bausteins spezifiziert, da zumindest die PALs innerhalb einer Baureihe dadurch leistungsmäßig vergleichbar werden.

Die Messung der typischen Signallaufzeiten wäre hingegen erheblich aufwendiger. Durch den weitgehend symmetrischen inneren Aufbau des HTPALs sind für die einzelnen Ein- und Ausgänge zumindest *nahe* beieinanderliegende Laufzeiten zu erwarten. Die Laufzeiten hängen dennoch von verhältnismäßig vielen Parametern ab, die für eine genaue Charakterisierung exakt erfaßt werden müssen. Genannt seien hier nur die Temperatur, die Anstiegszeiten der Signale, die genaue Höhe der Betriebsspannung und nicht zuletzt die PAL-Programmierung selbst.

## **6 Zusammenfassung und Ausblick**

### **6.1 Zusammenfassung der vorliegenden Arbeit**

Im Rahmen der vorliegenden Arbeit werden TOXFETs als neue, hochoberflächentemperaturfähige OTP-Bauelemente vorgestellt. Die hohe technische Bedeutung dieser Bauelemente resultiert aus der Möglichkeit, Schaltungen erst nach Ende der Produktion mit Konfigurations- oder Kalibrierdaten zu programmieren.

Die einfache Struktur der TOXFETs erlaubt eine hohe Packungsdichte von etwa 3188 Bit/mm<sup>2</sup> in einer 1,6 µm-SIMOX-Technologie. Die Herstellung ist preiswert möglich, da sie keine neuen (zusätzliche) Prozeßschritte erfordert.

Die Untersuchung der Temperaturfestigkeit zeigte eine hohe Zuverlässigkeit der TOXFETs hinsichtlich Programmierbarkeit und Datenerhalt.

In dieser Arbeit wurden die TOXFET-Zellen zur Konstruktion eines hochoberflächentemperaturfähigen HTPALs benutzt. Durch die Verwendung der SIMOX-Technologie in Verbindung mit einer günstigen Schaltungstopologie erschließt sich für das HTPAL ein Temperaturbereich von -60 °C bis hin zu +300 °C.

Das vorgestellte Bauteil ist während der Evaluierungsphase im Labor flexibel programmierbar, da die Konfiguration des HTPALs zunächst über RAM-Zellen erfolgt, die beliebig oft neu programmierbar sind.

Zur dauerhaften Programmierung enthält das HTPAL ein zusätzliches, feldprogrammierbares PROM, das aus TOXFET-OTP-Zellen aufgebaut ist. Beim Anlegen der Versorgungsspannung initialisiert das HTPAL seine Konfiguration automatisch aus diesem PROM. Die gewünschte Funktionalität des Bausteins steht dabei bereits wenige Millisekunden nach dem Einschalten zur Verfügung.

Nach der dauerhaften Programmierung des PROM-Bereichs läßt sich die Einschalt-Konfiguration des HTPALs nicht mehr ändern. Während des Betriebs ist es aber dennoch möglich, die aktuelle Konfiguration durch das manuelle Überschreiben der RAM-Zellen zu verändern. Bei Anwendungen, die eine besonders hohe Zuverlässigkeit erfordern, läßt sich so jederzeit ein vollständiger Test des HTPALs durchführen.

## **6.2 Ausblick**

Die Bauelemente der Hochtemperaturelektronik haben einen technischen Reifegrad erreicht, der ihren Einsatz in Serienprodukten ermöglicht. Es erschließen sich damit zahlreiche Anwendungsfelder, die bisher als "elektronikfeindlich" galten.

Für die Sensor- und Aktortechnik ergeben sich hierdurch neue Möglichkeiten, intelligente Baugruppen direkt in der Nähe von Wärmequellen, etwa an Motoren und Turbinen, zu platzieren.

Das HTPAL schließt die Lücke zwischen den analogen HT-Schaltungen und den HT-Prozessoren. Alle drei Komponenten gemeinsam erlauben es den Entwicklern, komplexe Systeme aus HT-Standardkomponenten aufzubauen, ohne hierzu kostenintensive, kundenspezifische (full-custom) Chips einsetzen zu müssen.

Die Konstruktion des HTPALs zeigt aber auch das Potential der SIMOX-Technologie auf. Mit der gegenwärtig stattfindenden Portierung der Technologie auf eine Strukturgröße von 0,25 µm und darunter wird in naher Zukunft auch die Realisierung von noch komplexeren Bauteilen bis hin zu FPGAs und CPLDs für Einsatztemperaturen bis 350 °C möglich.

## Anhang

### A Marktrelevanz der Hochtemperatur-Elektronik

Die Märkte für integrierte Mikroelektronik sind seit vielen Jahren dramatischen Veränderungen unterworfen. Triebfeder dieser Entwicklung ist das Vordringen mikroelektronischer Systeme in viele Bereiche, in denen noch vor wenigen Jahren der Einsatz von intelligenten Baugruppen kaum vorstellbar war.

Die Einführung neuer Komponenten und Technologien erfolgt dabei in der Regel nicht über Nacht und in kürzester Zeit, sondern eher in komplexeren Innovationszyklen. Abbildung (95) skizziert einen einfachen Innovationszyklus. Der Begriff *Leistung* ist hier in einem etwas weiteren Sinne gebraucht, denn er setzt sich aus Herstellungs- und Betriebskosten, Effizienz, Zuverlässigkeit usw. zusammen.

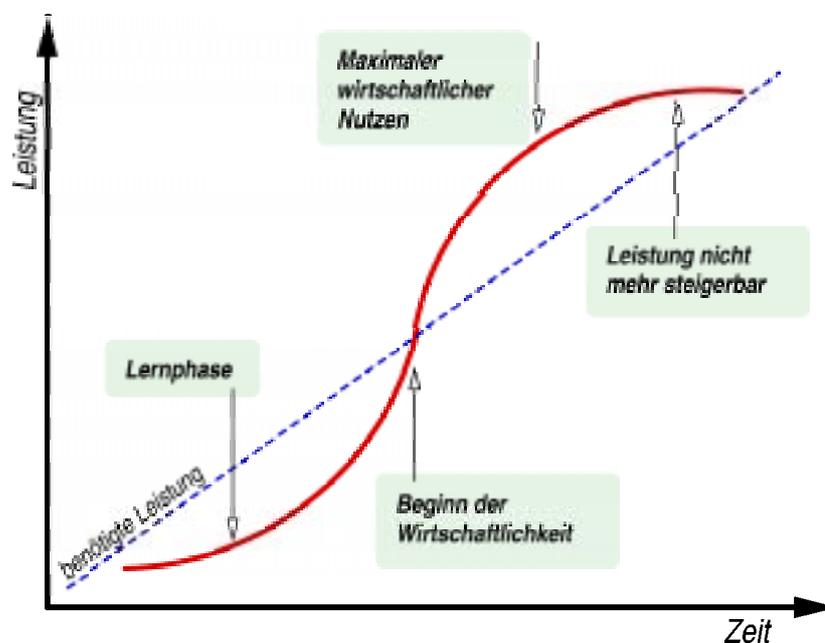


Abbildung 95: Einfacher Innovationszyklus

Abbildung (95) ist so normiert, daß die Kurve der ständig wachsenden Anforderungen an die Leistung der Produkte linear ansteigt. Zu Beginn erfüllt jede neue Technologie häufig noch nicht die bestehenden Anforderungen, etwa hinsichtlich der Kosten. In Abbildung (95) ist dieser Zeitabschnitt als *Lernphase* bezeichnet.

Durch wachsende Erfahrung und Optimierung verbessert sich die neue Technologie, bis sie schließlich die gerade benötigte Leistung erreicht. Zu diesem Zeitpunkt wird der Einsatz der neuen Technologie wirtschaftlich.

Von diesem Zeitpunkt an wird der Vorteil der Innovation immer deutlicher und die Investitionen in die neue Technologie beginnen sich auszuzahlen.

Im rechten Teil von Abbildung (95) sieht man, was geschieht, wenn keine Investitionen in neue Lösungen erfolgen: die alte Technologie ist irgendwann nicht mehr weiter optimierbar und hält dann nicht mehr mit den weiterhin wachsenden Anforderungen Schritt.

Um nicht in diesen Endbereich zu kommen, der für ein Unternehmen oder eine Branche Stagnation mit ggf. großen wirtschaftlichen Nachteilen bedeutet, ist es notwendig, neue Technologien mit hohem Potential rechtzeitig zu erkennen und zu evaluieren. Im idealen Fall schließt sich dann an den ersten Innovationszyklus direkt ein Folgezyklus mit einer Nachfolgetechnologie an. Abbildung (96) stellt diesen Fall grafisch dar. Da mit Beginn der Umstellungsphase besonders stark in die Nachfolgetechnologie investiert wird, ist deren Leistungssteigerungsrate zu dieser Zeit besonders hoch.

Der Wechsel von einer alten Technologie zu einer neuen vollzieht sich spätestens dann, wenn mit der alten Technologie die erforderliche Leistung nicht mehr erreicht werden kann.

Die Hochtemperaturrelektronik hat mittlerweile den Punkt überschritten, ab dem ihr Einsatz wirtschaftlich geworden ist. Gerade in den letzten Jahren waren die erzielten Fortschritte besonders groß – nicht zuletzt deshalb, weil sich die Verfahren zur Herstellung hochtemperaturfähiger Chips auch zur

Herstellung besonders schneller Chips eignen und umgekehrt (IBM fertigt seit 1998 auf hochtemperaturtauglichen Wafern [40], Motorola seit 2000 [42]).

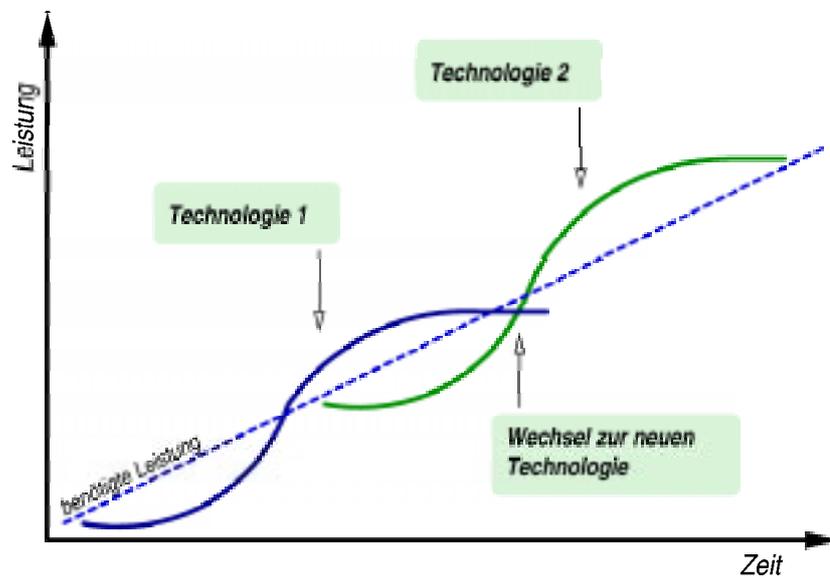


Abbildung 96: Doppelter Innovationszyklus

Die Identifizierung potentiell zukunftssträchtiger Technologien ist *der* wichtigste Schritt im Technologiemanagement. Mit den OTP-Zellen wird in der vorliegenden Arbeit eine solche Technologie vorgestellt, die eine marktreife Entwicklungsstufe erreicht hat und die auch für die mittlere Zukunft noch über ein ausreichend hohes Ausbaupotential verfügt.

## B Nomenklatur

### B.1 Technologie

Symbol	Bedeutung
$n_i$	Eigenleitungsdichte
$d_{\text{ox}}$	Dicke des Gateoxids
$d_{\text{box}}$	Dicke des vergrabenen Oxids ( <i>buried oxide</i> )
$n^+$	Chipzone mit hoher $n$ -Dotierung
$n^-$	Chipzone mit niedriger $n$ -Dotierung
$p^-$	Chipzone mit schwacher $p$ -Dotierung

Tabelle 7: Technologische Bezeichner

### B.2 Festkörperphysik

Symbol	Bedeutung
$\vartheta$	Temperaturen in °C
$T_m$	Schmelztemperatur
$C_p$	Molare Wärmekapazität bei konstantem Druck
$c_p$	Spezifische Wärmekapazität bei konstantem Druck in $\frac{J}{g \cdot K}$
$U_m$	Molare Schmelzenergie bei konstantem Druck
$u_m$	Spezifische Schmelzenergie bei konstantem Druck
$\hbar$	Reduzierte Plancksche Konstante
$m_{e,\text{eff}}$	Effektive Masse eines tunnelnden Elektrons
$\lambda$	Wärmeleitkoeffizient eines Materials
$R_{\text{th}}$	Wärmewiderstand eines Materials ( $\frac{1}{\lambda}$ )

Tabelle 8: Thermodynamische Formelzeichen

### B.3 Elektrotechnik

Symbol	Bedeutung
$f_{toggle}$	Maximale Frequenz, mit der man ein oszillierendes Logikschaltwerk im Innern des HTPALs durch interne Rückkopplung betreiben kann.
$\Delta t_{delay}$	Minimale Durchlaufzeit an den externen Anschlüssen ( <i>Propagation Delay</i> )
$\frac{w}{l}$	Das Verhältnis Breite zu Länge eines Transistors
$\beta$	Das Verhältnis $k'_n \cdot \frac{w}{l}$ in MOS-Transistoren (Device Transconductance)
$R_{ON}$	Widerstand eines voll aufgesteuerten Transistors ( $U_{GS} = 5 \text{ V}$ für NMOS-Transistoren bei $U_{DS} = 5 \text{ V}$ )
$I_{FN}$	Fowler–Nordheim–Tunnelstrom
$U_{BR}$	Durchbruchspannung
$U_{th}^{(GS)}$	Schwellspannung bei Steuerung über das normale Gate (Gate–Source–Spannung)
$U_{th}^{(BS)}$	Schwellspannung bei Steuerung über das Backgate (Backgate/Substrat–Source–Spannung)
$U_{th}^{(P)}$	$U_{GS}$ Schwellspannung eines NSOI-Transistors
$U_{th}^{(N)}$	$U_{GS}$ Schwellspannung eines PSOI-Transistors
$A \cdot B$	Logische AND-Verknüpfung
$A + B$	Logische OR-Verknüpfung
$U^+$	Obere Schaltschwelle eine Schmitt-Triggers
$U^-$	Untere Schaltschwelle eine Schmitt-Triggers
$\zeta$	Länge eines Zeitschrittes in der Simulation in s
$\xi$	Kantenlänge der Voxel in der Simulation in m
$\Omega/\square$	Schichtwiderstand der verwendeten Technologie
$q$	Ladungen
$t_r$	Anstiegszeit (rise time)
$t_f$	Abfallzeit (fall time)

Tabelle 9: Elektrotechnische Formelzeichen

## B.4 Verwendete Schaltzeichen

In der vorliegenden Arbeit werden durchgängig vereinfachte Schaltzeichen für die verwendeten Transistoren verwendet, die in der folgenden Tabelle 10 zusammengefaßt sind.

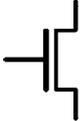
Symbol	Bedeutung
	Vereinfachtes Symbol für selbstsperrende NMOS-Transistoren vom Anreicherungstyp ("normally-off")
	Vereinfachtes Symbol für selbstleitende PMOS-Transistoren vom Verarmungstyp ("normally-on")
	Vereinfachtes Symbol für selbstsperrende NMOS-Transistoren mit H-förmigem Gate und <i>ohne</i> Filmkontakte. Nicht dargestellt ist außerdem der seitliche Anschluß, der in der Regel mit GND verbunden wird.
	Symbol für ein logisches AND-Gatter
	Symbol für ein logisches OR-Gatter

Tabelle 10: Schaltsymbole

## C Abkürzungen und Akronyme

Abk.	Bedeutung
CPLD	Complex Programmable Logic Device
CLK	Clock (Taktsignal)
CS1640	Technologie-Prozeßbezeichnung
DIL	Dual in-line Package, Chipgehäuse mit zwei Pinreihen
EEPROM	Electrically Erasable Programmable Read Only Memory
EPROM	Erasable Programmable Read Only Memory
ESD	Electrostatic Discharge (im Zusammenhang mit der Zerstörung von Bauelementen oder Chipstrukturen durch elektrostatische Ladungen)
FF	Flipflop
GLS	Gleichungssystem
HT...	High Temperature...
HTPAL	High Temperatur Programmable Array Logic
LCC	Leaded Chip Carrier, quadratisches Gehäuse für ICs
MOSFET	Metal-Oxide-Semiconductor Field-Effect-Transistor
NSOI	NMOS-Transistor in SIMOX-Technologie
OTP	One-Time Programmable memory cell
PAL	Programmable Array Logic
PLCC	Plastic Leaded Chip Carrier, quadratisches Kunststoffgehäuse für ICs
PROM	Programmable Read Only Memory
PSOI	PMOS-Transistor in SIMOX-Technologie
PTAT	Proportional To Absolute Temperature
Si	Silizium
SIMOX	Separation by IMplanted OXigen, Technologiebezeichnung
SNM	Signal Noise Margin

Tabelle 11: Abkürzungen und Akronyme

Abk.	Bedeutung
S/N-Abstand	Signal-Noise Abstand
SO24	Small Outline package, SMD Chipgehäuse mit 24 Anschlüssen
TAP	Test Access Port am IEEE 1149.1 Interface
TOX	Tunnel-Oxid
TOXFET	NMOS-Transistorstruktur, bei dem der Drain-Anschluß durch ein Tunneloxid-Fenster (TOXPROM) vom Transistor isoliert ist
TOXPROM	Physikalische Struktur mit einem Fenster, das aus einem Tunneloxid gebildet wird und das beim Anlegen hoher Spannungen durchbricht
Verilog HDL	IEEE Standard 1364, Hardware Description Language
VHDL	VHSIC Hardware Description Language
VHSIC	Very High Speed Integrated Circuit
Voxel	Volume Element
W	Wolfram

Tabelle 11: Abkürzungen und Akronyme

Symbol	Faktor	Bezeichnung
M	$10^{+6}$	mega-
k	$10^{+3}$	kilo-
m	$10^{-3}$	milli-
$\mu$	$10^{-6}$	mikro-
n	$10^{-9}$	nano-
p	$10^{-12}$	pico-
f	$10^{-15}$	femto-
a	$10^{-18}$	atto-

Tabelle 12: Exponenten

## D Schaltpläne

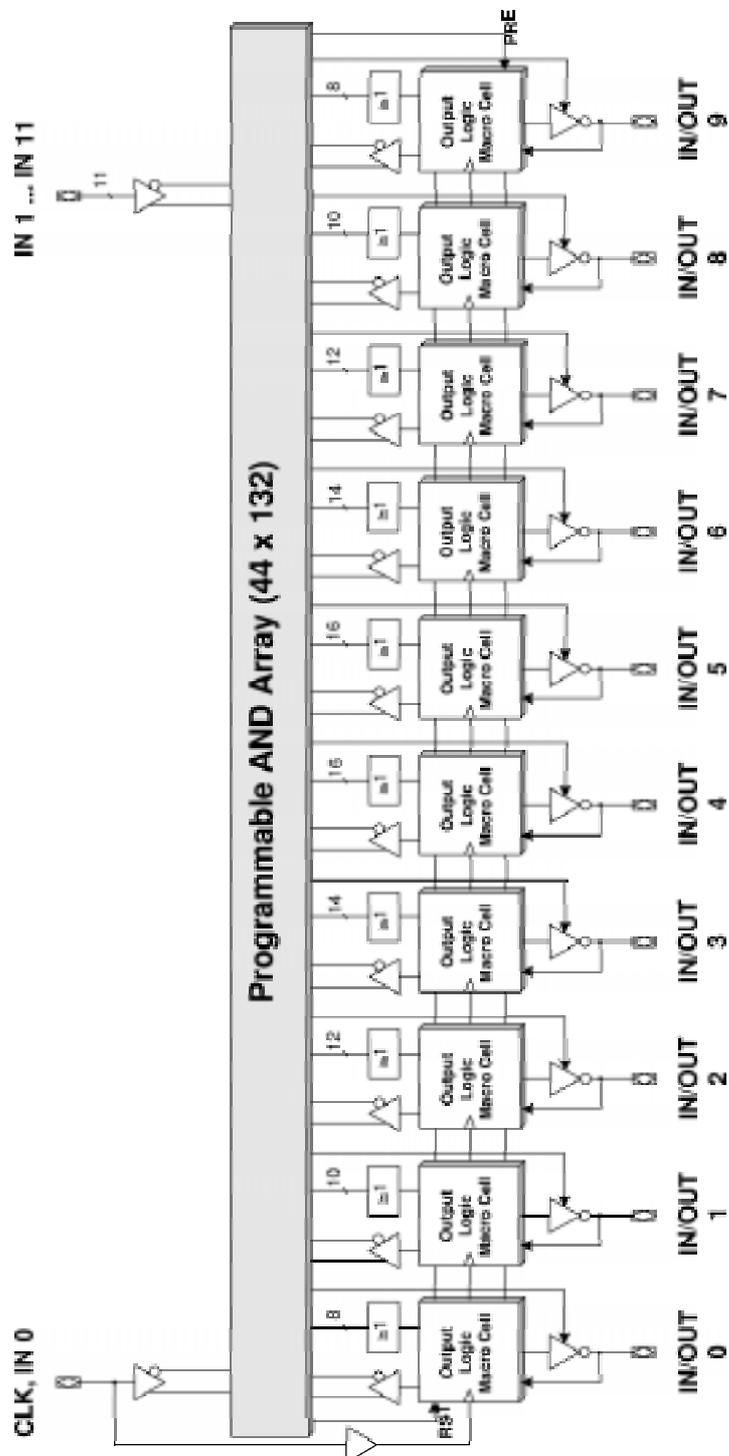


Abbildung 97: Vollständige interne Struktur des HTPALs, vergl. Seite 93

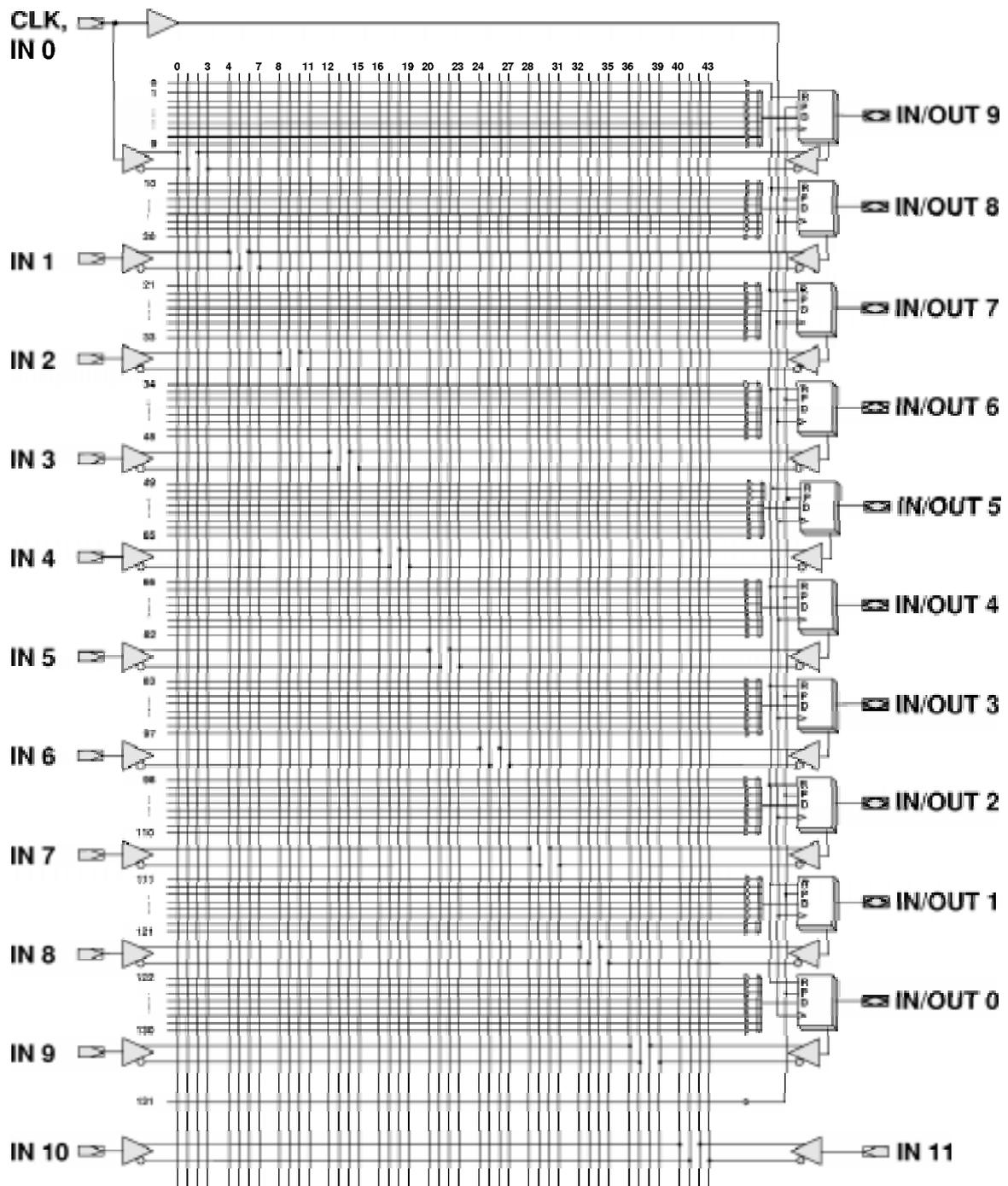


Abbildung 98: Vollständige Logikmatrix. An den Kreuzungspunkten der Matrix befinden sich die programmierbare Verbindungen, vergl. Seite 93

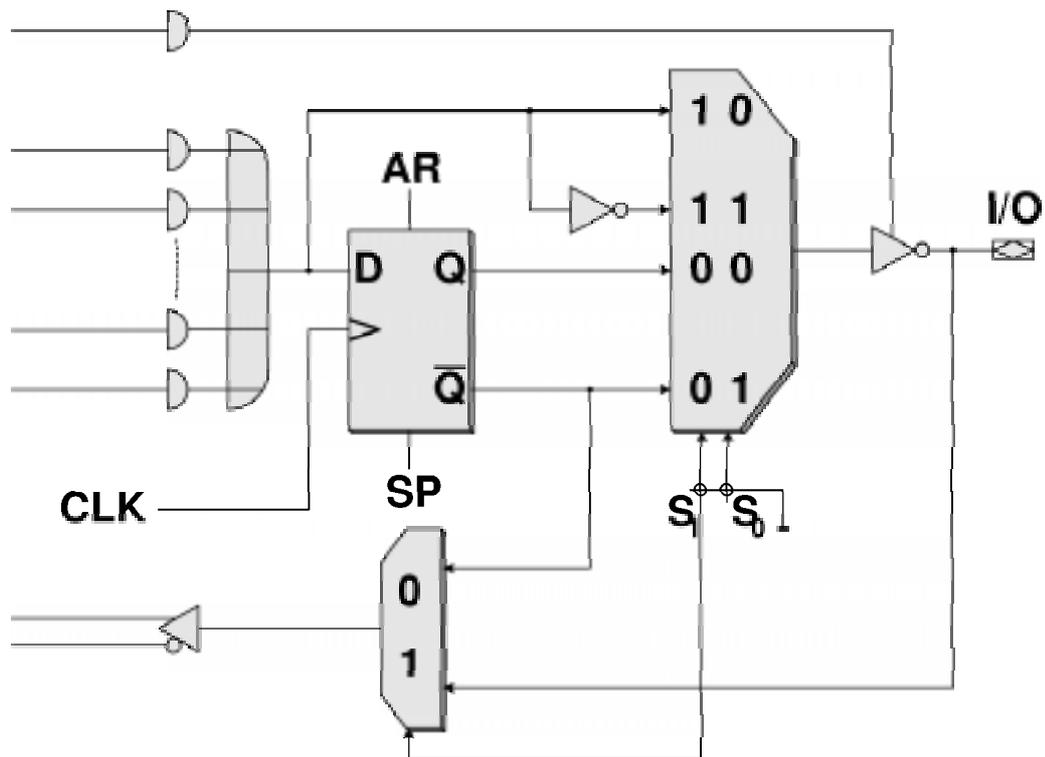


Abbildung 99: Struktur der Makrozellen an jedem Ausgang (AR: asynchroner Reset Eingang, SP: synchroner Preset Eingang)

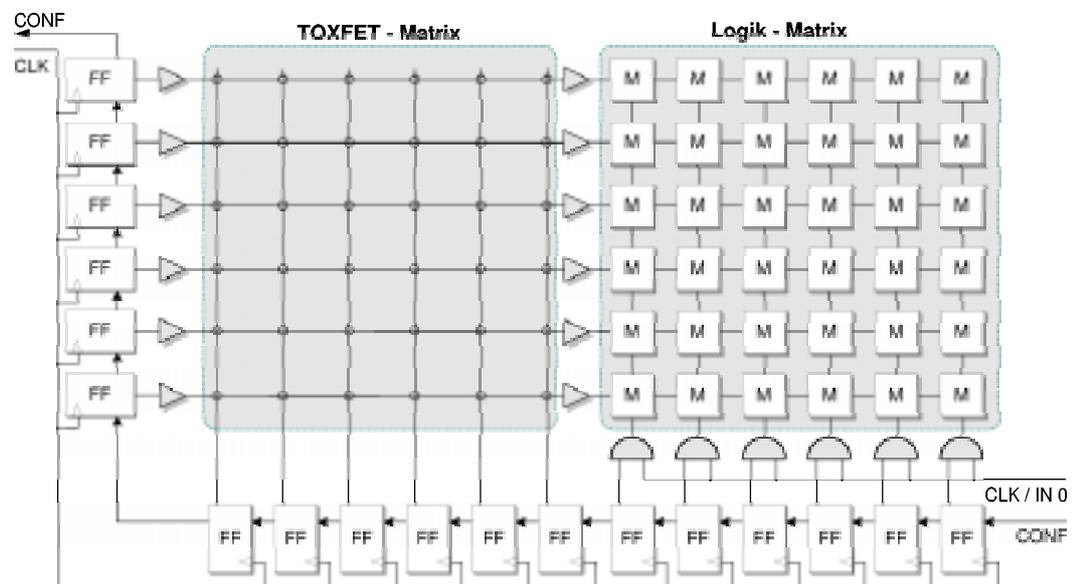


Abbildung 100: Innere Struktur des HTPALs aus Sicht des Anwenders, vergl. Seite 154.

## E Layout

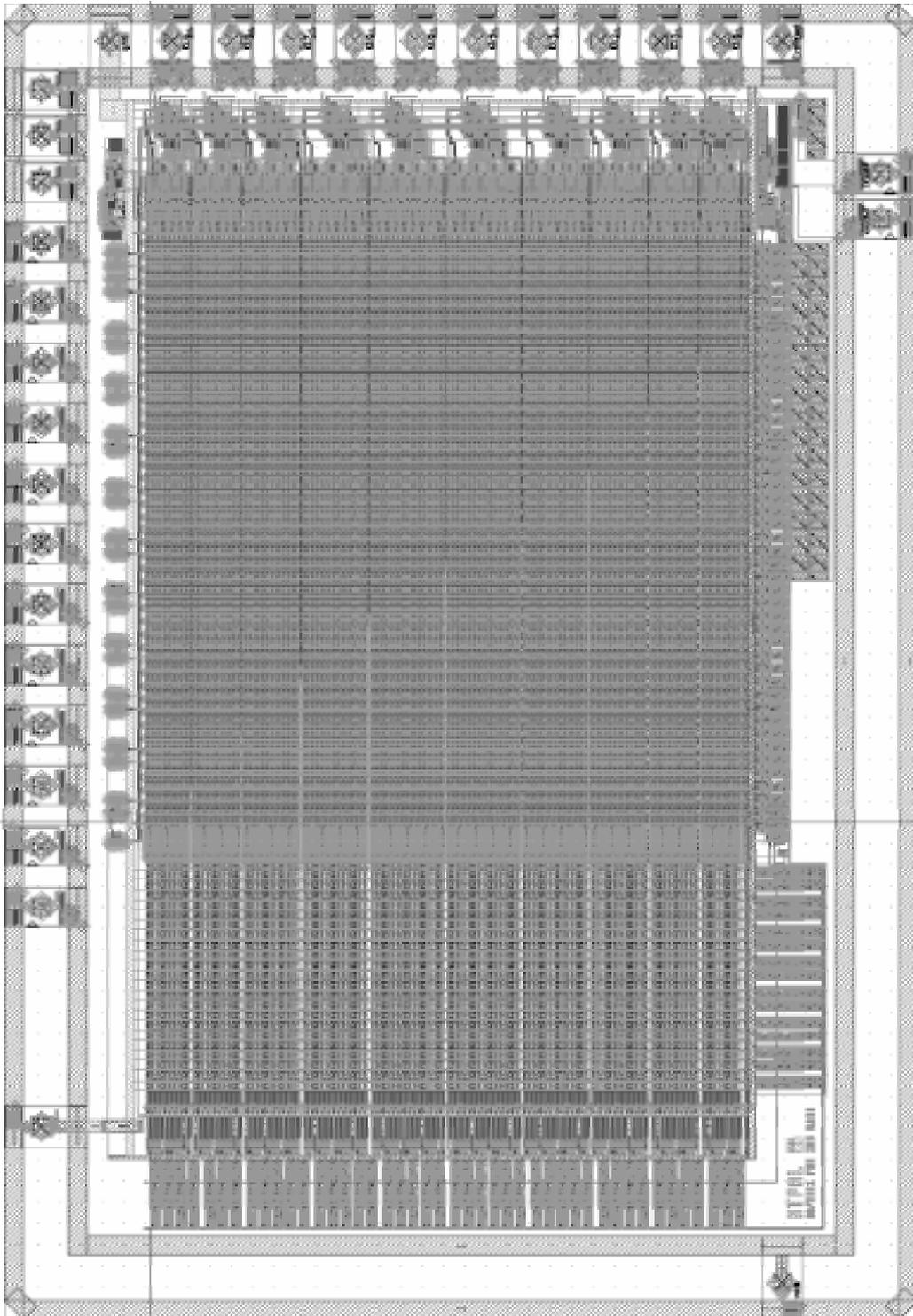


Abbildung 101: Komplettes Layout des HTPALs mit Padframe

## F Ergänzungen zur verwendeten Bandgap-Quelle

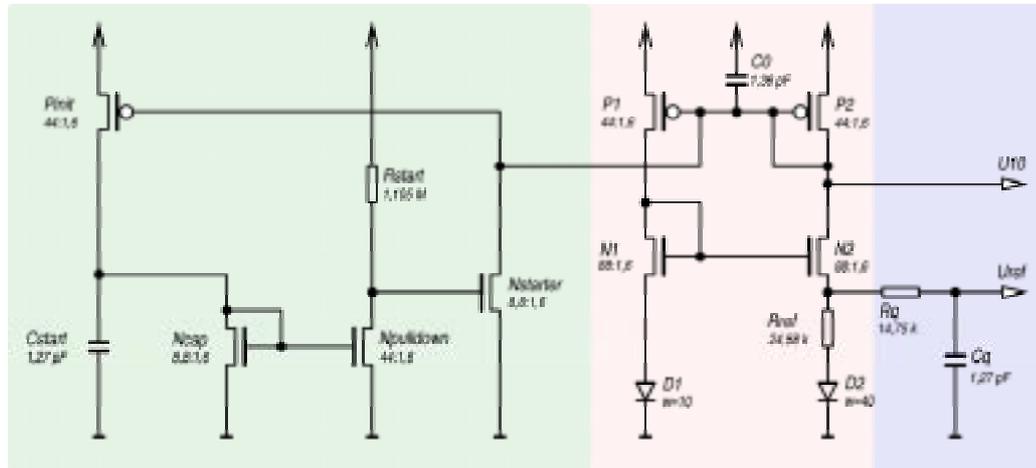


Abbildung 102: Bandgap als Konstantstromquelle mit Startschaltung. Die Zahlenangaben an den Transistoren bezeichnen das Verhältnis  $w/l$  entsprechend der gewählten Dimensionierung.

Die Bandgap-Quelle in Abbildung (102) besteht aus drei funktionellen Einheiten. Im mittleren Teil der Schaltung befindet sich die eigentliche Bandgap, die aus den Transistoren  $P_1, N_1, P_2, N_2$  gebildet wird.

Der rechte Teil der Schaltung in Abbildung (102) wird durch den Ausgang gebildet. Zwei Ausgangssignale stehen dort zur Verfügung: zum einen die Referenzspannung  $U_{\text{Ref}}$ , zum anderen die zweite Spannung  $U_{10}$ , mit der ein Stromspiegel zu  $P_2$  aufgebaut werden kann.

Der Regelmechanismus der Bandgap funktioniert relativ unkompliziert: Befindet sich die Bandgap in ihrem Arbeitspunkt, dann führt jede Erhöhung des Stroms  $I_{DS}^{(P_2)}$  zu einem höheren Stromfluß durch  $N_2$  und damit durch  $R_{\text{Ref}}$ . Dadurch erhöht sich der Spannungsabfall an  $R_{\text{Ref}}$ , wodurch sich  $U_{GS}^{(N_2)}$  verringert. Dies reduziert den Stromfluß durch  $N_2$  und damit auch  $I_{DS}^{(P_2)}$ . Die Schaltung kehrt dadurch wieder in ihren Arbeitspunkt zurück.

Für eine genauere Diskussion des Regelverhaltens sei hier auf die Literatur ([12], [13], [14], [55], [20]) verwiesen.

Wenn die Bandgap als Spannungsquelle betrieben wird, ist der absolute Wert des verwendeten Widerstandes  $R_{\text{Ref}}$  unkritisch: Die Bandgap definiert ihren Arbeitspunkt durch die Spannung an den Dioden. Bei Änderung des Widerstandes wird der Bandgap-Strom durch die beiden Dioden so nachgeregelt, daß die Referenzspannung unverändert bleibt. Die so erzeugte Referenzspannung ist in Abbildung (61) mit  $U_{\text{Ref}}$  bezeichnet.

Zur Erzeugung eines genau definierten Referenzstroms benötigt man hingegen einen sehr genauen Referenzwiderstand. Der als  $U_{10}$  bezeichnete Anschluß liefert eine Spannung, die zum Betrieb eines Stromspiegels zu  $P_2$  verwendet werden kann. Je nach Spiegelverhältnis lassen sich daraus Bias-Ströme verschiedener Größen gewinnen. Die absolute Genauigkeit dieser Ströme ist allerdings aus den genannten Gründen nicht besonders hoch.

Neben dem erwünschten Arbeitspunkt existiert ungünstigerweise noch ein weiterer stabiler Arbeitspunkt bei einem Strom von  $I = 0$  mA. Damit die Schaltung im erwünschten Arbeitspunkt mit  $I > 0$  mA arbeitet, ist die Startschaltung im linken Teil erforderlich.

Beim Einschalten ist der Kondensator  $C_{\text{Start}}$  noch nicht geladen. Ein ggf. durch  $P_{\text{Init}}$  fließender Strom fließt daher im wesentlichen auf den Kondensator und nicht durch  $N_{\text{Cap}}$ .

Der Stromspiegel, der durch  $N_{\text{Cap}}$  und  $N_{\text{Pulldown}}$  gebildet wird, spiegelt diesen Strom  $I \approx 0$  mA auf die rechte Seite. Der Knoten zwischen  $R_{\text{Start}}$  und  $N_{\text{Pulldown}}$  kann sich deshalb über  $R_{\text{Start}}$  aufladen.

Wenn das Potential des Gates von  $N_{\text{Starter}}$  die  $U_{\text{GS}}$  Schwellspannung des Transistors überschreitet, öffnet dieser. Hierdurch wird  $P_{\text{Init}}$  und außerdem  $P_1$  und  $P_2$  aufgesteuert.  $P_1$  und  $P_2$  der Bandgap-Quelle werden dadurch in den gewünschten Arbeitspunkt  $I > 0$  mA gezwungen.

Der leitende Transistor  $P_{\text{Init}}$  führt gleichzeitig zum zügigen Aufladen des Startkondensators  $C_{\text{Start}}$ . Anschließend beginnt ein Strom durch den Strom-

spiegel zu fließen. Der Transistor  $N_{\text{Pulldown}}$  wird daraufhin öffnen, wodurch sich  $N_{\text{Starter}}$  dauerhaft schließt. Die Startphase ist damit beendet und die Regelung der Bandgap kann nun stabilen Arbeitspunkt ansteuern und halten.

In der Bandgap-Schaltung in Abbildung (61) werden mehrere Widerstände verwendet. Die Herstellung von Widerständen für Hochtemperaturanwendungen ist jedoch mit verschiedenen technologiebedingten Beschränkungen verknüpft.

Die SIMOX-Technologie stellt drei verschiedene Widerstandstypen zur Verfügung: *Poly*-Widerstände ( $16,5 \Omega/\square$ ),  $p^+$ -Widerstände ( $352 \Omega/\square$ ) und  $n^-$ -Widerstände ( $7100 \Omega/\square$ ). Abbildung (103) zeigt die temperaturbedingte Drift dieser Widerstände.

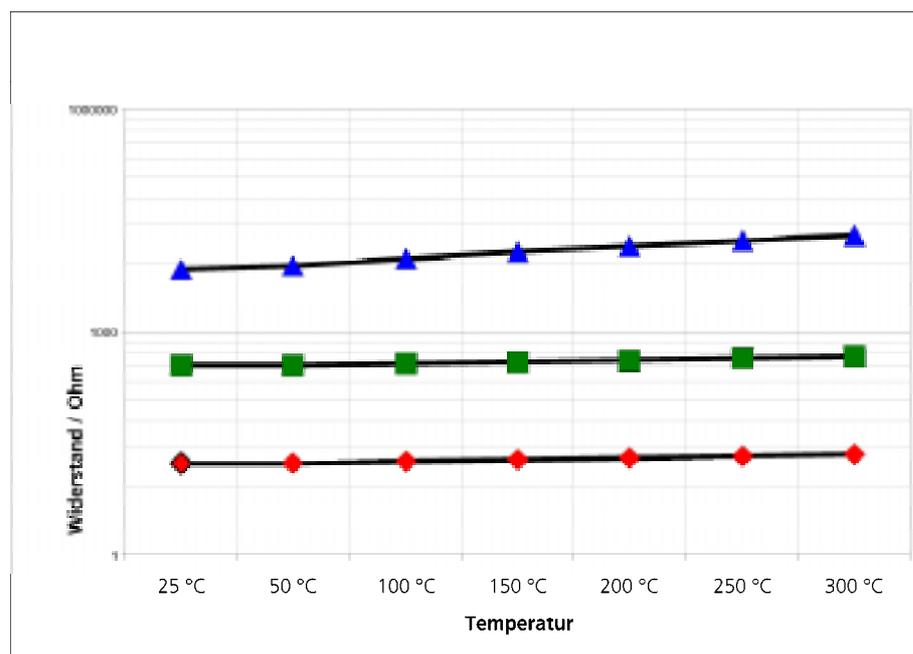


Abbildung 103: Temperaturbedingte Widerstandsdrift. Unten: *Poly*, mitte:  $p^+$ , oben:  $n^-$ .

Über einen Temperaturbereich von 0...300 °C driften die *Poly*-Widerstände um +36 %,  $p^+$ -Widerstände um +29 % und  $n^-$ -Widerstände sogar um +277 %. Die große Drift der  $n^-$ -Widerstände geht zudem einher mit großen produkti-

onstechnischen Toleranzen und einer ausgeprägten Spannungsabhängigkeit. Widerstände aus  $n^-$  sind daher nur für PullUp- oder PullDown-Widerstände verwendbar, bei denen große Schwankungen zugunsten eines sehr großen Flächengewinns<sup>71</sup> toleriert werden können.

In der Bandgap von Abbildung (61) findet ein  $n^-$ -Widerstand dementsprechend nur in  $R_{\text{Start}}$  Verwendung, der über  $1 \text{ M}\Omega$  groß ist. Die übrigen Widerstände werden aus  $p^+$ -Strukturen aufgebaut.

In jüngerer Zeit wurden außerdem widerstandslose Bandgap-Quellen vorgeschlagen ([15]), die jedoch noch keine Berücksichtigung im HTPAL gefunden haben. Da eine derartige Quelle keine gewöhnlichen Widerstände erfordert, läßt sie sich im Layout äußerst kompakt realisieren.

---

<sup>71</sup>Flächenverhältnisse:  $R^{n^-} \approx 400 \times R^{\text{Poly}}$ , bzw.  $R^{n^-} \approx 20 \times R^{p^+}$

## G Technologiestandardparameter (CS1640 Prozeß)

### G.1 Herstellungsparameter

Die folgende Tabelle listet die Schichtdicken der verwendeten SIMOX-Technologie auf:

Schicht	Dicke
Nitrid	500 nm
PSG Passivierung	750 nm
Metall 2 (Wolfram)	1000 nm
Via-Oxid	900 nm
Metall 1 (Wolfram)	500 nm
Zwischenoxid	750 nm
Polysilizium	520 nm
Feldoxid	450 nm
Gateoxid	40 nm
Tunneloxid	9 nm
Aktiver Film	120 nm
Vergrabenes Oxid	380 nm

Tabelle 13: Technologische Größenverhältnisse der einzelnen SIMOX-Layer in der Reihenfolge ihres Auftretens auf den Wafern

Die weiteren Parameter können dem jeweiligen Design Manual für die verwendete Technologie [43] entnommen werden. Das HTPAL wurde zur Realisierung in einem 30 V Dünnschicht-SIMOX-CMOS-Prozeß mit 1,6 µm breitem Siliziumgate entworfen.

## G.2 Materialeigenschaften

Eigenschaft	Si	SiO <sub>2</sub>	W	Einheit
Kompressionsmodul	0,988			$10^{11} \frac{\text{N}}{\text{m}^2}$
Therm. Ausdehnungskoeff.	25	5,1	25	$10^{-7} \frac{1}{\text{K}}$
einfache Ionisierung	8,15		7,98	eV
Ionisierung des 2. $e^-$	24,49		–	eV
Spezifische Wärme	0,7	1,4	0,13	$\frac{\text{J}}{\text{g}\cdot\text{K}}$
Schmelztemperatur $\vartheta_m$	1414	1467	3410	°C
Rel. Dielektrizitätszahl $\epsilon_r$	11,7	3,88		
Bindungsenergie	1,8		1,4	eV
Beweglichkeit $e^-$	1300	20		$\frac{\text{cm}^2}{\text{V}\cdot\text{s}}$
Beweglichkeit Löcher	500	$10^{-7}$		$\frac{\text{cm}^2}{\text{V}\cdot\text{s}}$
Molmasse	28,09	60,06	183,84	g

Tabelle 14: Materialparameter

## G.3 Simulationsparameter

Für die Simulation werden passend zugeschnittene Konstanten bereitgestellt. Fast alle dieser Konstanten beziehen sich auf ein Voxel-Volumen von  $10 \text{ nm} \times 10 \text{ nm} \times 10 \text{ nm}$ .

Die einzige Ausnahme ist die Schicht des Tunneloxids, die etwas feiner diskretisiert ist. Hier beziehen sich die zugeschnittenen Konstanten auf ein Voxel-Volumen von  $10 \text{ nm} \times 10 \text{ nm} \times 9 \text{ nm}$ .

Material	$\tilde{m}^{[X]}/10^{-21}$ kg	$\tilde{R}_{th}^{[X]}/10^{-12}$ $\frac{K}{W}$	$\tilde{c}_p^{[X]}/10^{-18}$ $\frac{J}{K}$	$\tilde{U}_m^{[X]}/10^{-15}$ J
W	19,25	28735,6	2,54446	3,706
SiO <sub>2</sub>	1,9827	362,3188	1,393838	30,069
TOX	2,3841		1,548709	3,615687
Poly	2,330	3,06185	1,63799	4,193
$n^+$	2,330	3,06185	1,63799	4,193
$n^-$	2,330	3,06185	1,63799	4,193
$p^-$	2,330	3,06185	1,63799	4,193

Tabelle 15: Zugeschnittene Materialkonstanten

T/K	Dichte / $\frac{g}{cm^3}$		
	Si	SiO <sub>2</sub>	W
200	2,3304	2,649	
250	2,3298		
300	2,3290		19,25
350	2,3280		
400	2,3269		
500	2,3245		
600	2,3220		
700	2,3192		
800	2,3164		
900	2,3136		
1000	2,3106		
1100	2,3077		
1200	2,3047		
1300	2,3016		
1400	2,2986		
1500	2,2955		

Tabelle 16: Dichten in Abhängigkeit von der Temperatur [73], [81]

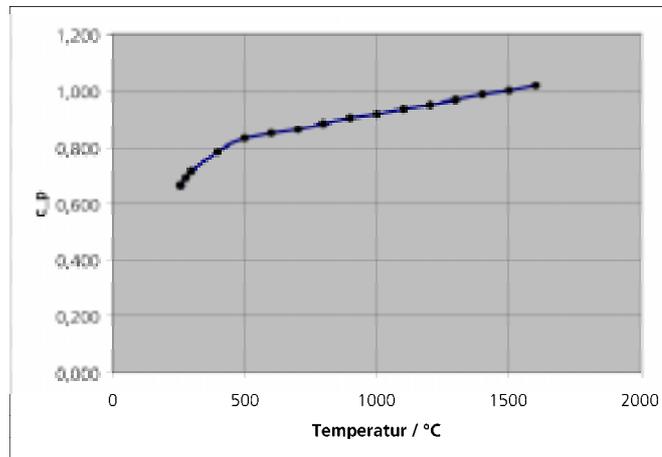


Abbildung 104: Spezifische Wärme  $c_p^{[Si]}$  bei konstantem Druck in  $\frac{J}{g \cdot K}$  [73]

T/K	$c_p / \frac{J}{g \cdot K}$		
	Si	SiO <sub>2</sub>	W
260	0,665		0,133
280	0,691		
300	0,713		
400	0,785		
500	0,832		
600	0,849		
700	0,866		
800	0,883		
900	0,899		
1000	0,916		
1100	0,933		
1200	0,950		
1300	0,967		
1400	0,983		
1500	1,000		
1600	1,017		

Tabelle 17: Spezifische Wärme  $c_p$  bei konstantem Druck [73]

T/°C	$\lambda / \frac{\text{W}}{\text{K} \cdot \text{cm}}$		
	Si	SiO <sub>2</sub>	W
2	0,44		
4	3,11		
6	8,99		
8	16,33		
10	24,0		
20	47,7	0,014	1,74
30	44,2		
40	36,6		
50	28,0		
100	9,13		
150	4,10		

Tabelle 18: Wärmeleitfähigkeit bis 150 °C,  
nach [73], [57]

T/°C	$\lambda / \frac{\text{W}}{\text{K} \cdot \text{cm}}$		
	Si	SiO <sub>2</sub>	W
200	2,66		
300	1,56		
400	1,05		
500	0,80		
600	0,64		
700	0,52		
800	0,43		
900	0,36		
1000	0,31		
1100	0,28		
1200	0,26		
1300	0,25		
1400	0,24		
1500	0,23		
1600	0,22		
1681	0,22		

Tabelle 19: Wärmeleitfähigkeit oberhalb von  
200 °C, nach [80]

Die Lage des Maximums der thermischen Leitfähigkeit und der Verlauf der Kurve hängen im Temperaturbereich bis 200 K (Tabelle 18) von der Größe, der Reinheit, der Dotierstoffkonzentration, dem Dotiertyp, der Sauerstoffkonzentration, der Orientierung und der Oberflächenqualität der Probe ab. Die verwendeten Daten stammen deshalb von einer Beispielmessung an einem Stab der Länge 31,75 mm und einem Querschnitt von  $6,30 \times 6,07 \text{ mm}^2$ , der im Zonenschmelzverfahren hergestellt wurde und mit Bor der Konzentration  $1,0 \cdot 10^{13} \frac{1}{\text{cm}^3}$  dotiert war. Quellen: [73], [80], [83].

Oberhalb von 200 K (Tabelle 19) ist die thermische Leitfähigkeit weitgehend unabhängig von der konkreten Probe ([73]).

Material	$T_m$
Si	1414 °C ([73])
SiO <sub>2</sub>	1467 °C ([81])
W	3410 °C ([79])
Al	660 °C ([79])

Tabelle 20: Schmelztemperaturen  $T_m$ 

Material	$U_m^{[X]} / \frac{\text{kJ}}{\text{mol}}$
Si	50,55 ([73])
SiO <sub>2</sub>	910,86 ([79])
W	35,40 ([94])

Tabelle 21: Erstarrungswärmen

Material	$R_{20^\circ\text{C}} / \frac{\Omega}{\text{m}}$	$\alpha / 10^{-3} \frac{1}{\text{K}}$	$\beta / 10^{-6} \frac{1}{\text{K}^2}$
SiO <sub>2</sub>	—	—	—
W	0,0565	4,8	0,7
Al	0,0278	4,5	1,3
PolySi	16,5	1,07	0,89
n-	7100	4,14	8,36
n+	70		
p+	352,5	0,77	1,16

Tabelle 22: Widerstände und Temperaturkoeffizienten bei 1 mm<sup>2</sup> Leiterquerschnitt,

$$R(20^\circ\text{C} + \Delta T) = R_{20^\circ\text{C}} \cdot (1 + \alpha \cdot \Delta T + \beta \cdot \Delta T^2)$$

#### G.4 Sonstige Konstanten

Konstante	Wert
$\epsilon_0$	$8,854 \cdot 10^{-12} \frac{\text{As}}{\text{Vm}}$
$e$	$1,602 \cdot 10^{-19} \text{As}$

Tabelle 23: Sonstige Konstanten

## G.5 Simulationsbeispiel

Nachfolgende Abbildung (105) zeigt ein Bildschirmfoto während einer Simulation. Dargestellt ist die Aufheizphase, in der sich das Tunneloxid durch den fließenden Tunnelstrom bis zur Schmelze erwärmt.

Im oberen Teil der Abbildung ist ein Querschnitt durch die Tunnelzone eines TOXFET-Devices dargestellt, etwa analog zu Abbildung (26): ganz unten erkennt man das Substrat, darüber das implantierte Oxid, darüber den aktiven Film. Über dem Film befindet sich an der wärmsten Stelle das Tunnelfenster, darüber die Zone als Polysilizium. Weiter rechts und noch weiter oben erkennt man schließlich die Wolfram-Metallisierung, die mit dem Poly verbunden ist.

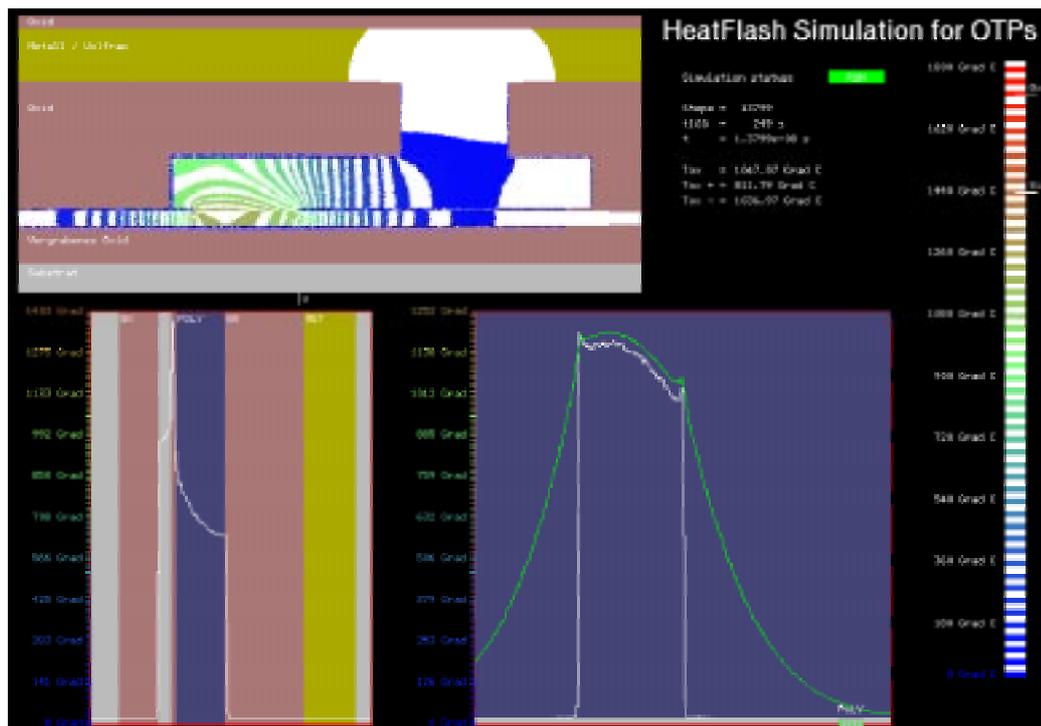


Abbildung 105: TOXFET-Bitzelle während der Erwärmung

Die Wiedergabe der Temperaturverteilung selbst erfolgt in einer Gradientendarstellung. Zonen des gleichen Temperaturbereichs werden dabei in ei-

ner einheitlichen Farbe dargestellt. Weiterhin wurde zur Verdeutlichung jede zweite Farbe des Farbkeils an der rechten Seite durch Weiß ersetzt.

Es ist deutlich erkennbar, daß sich die Wärme in der Teststruktur *nur entlang der auch elektrisch leitfähigen Strukturen ausbreitet*. In das (nur vergleichsweise schlecht wärmeleitende)  $\text{SiO}_2$  dringt die Wärme kaum ein und breitet sich in der Folge auch nicht darin aus; dies steht in auch sehr guter Übereinstimmung mit früheren Untersuchungen ([33]).

Das Diagramm unten links zeigt einen Vertikalschnitt durch die Teststruktur an der Stelle, die im oberen Diagramm mit einem kleinen "V" am dessen unterem Rand markiert ist. Die Hintergrundfarben des unteren Diagramms entsprechen der Schichtfolge entlang der Schnittlinie: auf der linken Seite ist die erste Schicht das Substrat, es folgt wieder das vergrabene Oxid, usw. .

Auch hier erkennt man deutlich, daß die höchste Temperatur im Bereich des Tunneloxids auftritt. Weiterhin ist zu erkennen, daß die Temperatur auf der Poly-Seite des Tunneloxids mit dem Abstand zum Oxid zügig abnimmt, da das Poly dort die Wärme gut und zügig ableitet.

Im Gegensatz dazu gelingt die Wärmeableitung unterhalb des Tunneloxids nicht so schnell: das darunter liegende (vergrabene) Oxid verhindert die Wärmeableitung zum Substrat. Jeglicher Wärmetransport kann daher nur in lateraler Richtung durch den dünnen Siliziumfilm erfolgen. Aus diesem Grund ist die durchschnittliche Filmtemperatur deutlich höher als die des oberhalb liegenden Polysiliziums.

Das Diagramm unten rechts verdeutlicht den letzten Punkt nochmals: dargestellt ist der Temperaturverlauf entlang zweier horizontaler Schnitte durch die Teststruktur. Der Schnitt zur grünen (oberen) Kurve verläuft in geringem Abstand unterhalb des Tunneloxids durch den aktiven Film.

Der Schnitt zur weißen (unteren) Kurve verläuft oberhalb des Tunneloxids durch das Polysilizium, jedoch noch innerhalb der Öffnung für das Tunnel-

oxid. Rechts und links wird die Öffnung durch  $\text{SiO}_2$  begrenzt, was den sofortigen Abfall der Temperatur außerhalb der Tunnelzone erklärt.

Das Diagramm zeigt ebenfalls deutlich, daß die mittlere Temperatur des Films höher als jene im Polysilizium liegt, verursacht durch den langsameren Abtransport der Wärme im dünnen aktiven Film.

## H Verzeichnisse

### Abbildungsverzeichnis

1	Zum Zusammenhang zwischen Strukturgröße und Chipkomplexität. Die Punkte markieren verschiedene, am Markt verfügbare Bauelemente. . . . .	8
2	Die Filmkontakte an der Source-Seite von NMOS-Transistoren . . . . .	18
3	Über das Backgate (Substrat, unten) kann man ebenfalls eine Steuerwirkung auf den Kanalbereich ausüben . . . . .	21
4	Schwellenspannungen von NMOS- (links) und PMOS-Transistoren (rechts) in Abhängigkeit vom Potential des Backgates und der Temperatur (aus [5]). . . . .	22
5	Backgate-Spannung $U_{BS}$ zur Erzielung eines Inversionsstroms von 100 nA am hinteren Interface eines NMOS- und PMOS-Transistors in Abhängigkeit von der Temperatur $\vartheta$ (aus [2]). . . . .	23
6	Multi-Gate-Transistoren in SIMOX-Technologie mit vier Gates. Am beiden Rändern des Aktivgebiets sind die niedrig dotierten Gebiete zu erkennen, die parasitäre Ströme unterdrücken. . . . .	24
7	Links ein einfacher SIMOX-Kondensator mit einem Kapazitätsbelag von $C'_1 = 858,5 \frac{\text{aF}}{\mu\text{m}^2}$ , der aus PolySi, dem aktiven Film und dem Kondensatoroxid gebildet wird. Im rechten Teil ein gestapelter Kondensator, der zusätzlich mit zwei Metall-Schichten abgedeckt ist und dadurch einen Kapazitätsbelag von $C'_2 = C'_a + C'_b + C'_c = 942,5 \frac{\text{aF}}{\mu\text{m}^2}$ erreicht. . . . .	26
8	CMOS Inverter . . . . .	27
9	NMOS Inverter . . . . .	28
10	Verschiedene Varianten von OTP-Technologien; oben eine Aufsicht auf eine "schmale" Al-Leiterbahn, die durch einen hohen Strom <i>unterbrochen</i> (Fuse) werden kann; in der Mitte eine EEPROM-Zelle, bei der Elektronen in Anwesenheit einer hohen Steuerelektroden-Spannung vom Transistorkanal in das Floating Gate tunneln und dort verbleiben; unten die neue OTP-Zelle, bei der der Kontakt durch einen hohen Tunnelstrom <i>hergestellt</i> (Anti-Fuse) wird. . . . .	33
11	Aufbau einer TOXPROM-Zelle, hier ähnlich einer Kelvinstruktur (quasi gekreuzte Leiterbahnen mit einem Tunneloxid dazwischen) realisiert. Oben in der Aufsicht, unten in einer seitlichen Ansicht. . . . .	35

12	Diodenmatrix. Dargestellt sind die horizontalen Zeilenleitungen und die vertikalen Spaltenleitungen. An den dick durchgezogenen Leitungen liegt die Programmierspannung an. Die OTP-Zelle 4 wird durch die anliegende Programmierspannung stark belastet. . . . .	37
13	Transistormatrix. Dargestellt sind die horizontalen Bit- und Auswahlleitungen, sowie die vertikalen Spaltenleitungen. An den dick durchgezogenen Leitungen liegt die Programmierspannung an, deren Polarität oben eingezeichnet ist. Bei der Programmierung von Zelle P1 werden die Zellen P3 und P4 ebenfalls belastet, allerdings deutlich weniger als in der Diodenmatrix aus Abbildung (12). . .	39
14	Eine TOXFET-Zelle als Kombination eines NMOS-Transistors (links) mit einer TOXPROM-Struktur (rechts). Die Anschlüsse für Source (S) und Drain (D) sind markiert. . . . .	42
15	Durchbruch einer TOXPROM OTP-Zelle. Der maximale Strom des Meßaufbaus wurde auf 1 mA begrenzt. . . . .	45
16	Verteilung der ohmsche Widerstände der TOXPROM-Teststrukturen nach der Programmierung. Der Erwartungswert der Widerstandsverteilung liegt bei etwa 165 Ohm. . . . .	47
17	Direktes Tunneln durch die Barriere . . . . .	48
18	Fowler-Nordheim-Tunneln durch die Barriere. Gegenüber Abbildung (17) ist hier die anliegende Spannung $U$ größer. . . . .	50
19	Prinzipielle Darstellung der möglichen Prozesse, die bei hohen Feldstärken neben der FN-Injektion auftreten. In der Darstellung liegt die Polysilizium-Elektrode auf dem höheren Potential; die Injektion der Elektronen erfolgt daher vom Substrat her (nach [65]). . . . .	52
20	Zur Temperaturabhängigkeit des Tunnelstroms (nach [2]). Der Tunnelstrom steigt mit der Temperatur und und der Spannung über dem Oxid an. . . . .	54
21	Primärer Strompfad . . . . .	55
22	Ersatzschaltbild . . . . .	57
23	Elektrisches Ersatzschaltbild für zwei Voxel im thermischen Simulationsmodell.	60
24	Ein Voxel (mittig) im räumlichen 3 D-Simulationsmodell mit seinen 26 Nachbarn	61

25	Ein Voxel (mittig) im ebenen 2 D-Simulationsmodell mit seinen 8 Nachbarn. Im tatsächlichen Modell gibt es natürlich keine Zwischenräume zwischen den Voxeln: die einzelnen Voxel sind hier nur zur Verdeutlichung in der Art einer Explosionszeichnung auseinandergerückt. . . . .	62
26	Simulationsmodell eines TOXPROM-Kontaktes. Die Zahlenangaben auf der rechten Seite bezeichnen die vertikale Dicke der einzelnen Layer in Voxel-einheiten der Kantenlänge $\xi$ . Insgesamt besteht das Modell aus $800 \times 400$ Voxeln. .	64
27	Ausschnitt aus dem elektrischen Ersatzschaltbild des Simulationsmodells. Die Widerstände repräsentieren die Wärmestromwiderstände $\tilde{R}^{[th]}$ , die Spannungen entsprechen den Temperaturen $T$ der Voxel und die Kondensatoren deren Wärmekapazitäten. . . . .	65
28	Mögliche Wärmeabgaberrichtungen eines einzelnen Voxels im Tunneloxid . . . .	70
29	Aufbau einer einzelnen TOXFET-Bitzelle . . . . .	75
30	Aufbau einer Matrix aus TOXFET-Bitzellen . . . . .	76
31	Meßaufbau zur Parameterbestimmung. Die Lage des Tunneloxids ist zur Verdeutlichung nochmals hervorgehoben. . . . .	77
32	Fließende Programmierströme nach erfolgtem Durchbruch. . . . .	79
33	Kennlinien einiger TOXFETs bei fester Gatespannung $U_{GS} = 5$ V. . . . .	80
34	$I_{DS}/U_{DS}$ -Kennlinienfeld eines programmierten TOXFETs . . . . .	81
35	Steuerwirkung des Gates . . . . .	82
36	Belastung des TOXFETs durch hohe $U_{DS}$ -Spannungen . . . . .	83
37	Durchbruch des TOXFETs bei zu hoher $U_{DS}$ -Spannung . . . . .	84
38	Interne Struktur des HTPALs . . . . .	90
39	Struktur der Makrozellen an jedem Ausgang (AR: asynchroner Reset Eingang, SP: synchroner Preset Eingang) . . . . .	91
40	Vollständige Eingangsmatrix. An den Kreuzungspunkten der Matrix befinden sich programmierbare Verbindungen. . . . .	93
41	Ein AND-Gatter mit 3 Eingängen ( $Q = \bar{A} \cdot \bar{B} \cdot \bar{C}$ ) in komplementärer Logik (CMOS). . . . .	94
42	Parallelschaltung von Transistoren zur Realisierung einer vierfachen AND-Verknüpfung. . . . .	96

43	Ein Schmitt-Trigger mit der üblichen Schaltschwelle in der Mitte zwischen den beiden Logikpegeln. . . . .	98
44	Signalverlauf am Ausgang zweier Schmitt-Trigger mit verschiedenen Schaltschwellen. . . . .	99
45	Prinzipschaltung einer aktiven Busbeschleunigung . . . . .	100
46	Einfache Implementierung der Prinzipschaltung . . . . .	102
47	Die endgültige Schaltung für die Feedback-Elemente des HTPALs. . . . .	103
48	Verzögerungsschaltung aus Invertern mit einer Pulsquelle als Eingangsbeschaltung . . . . .	105
49	Signallaufzeiten . . . . .	105
50	Inverterausgangsspannungen über der Zeit. Die einzelnen Signalverläufe entsprechen Abbildung (49). . . . .	106
51	Zunahme der Verzögerungszeit zwischen Eingangssignal und $U_Q$ mit der Temperatur für 0 °C, 50 °C, 100 °C, 150 °C, 200 °C, 250 °C, 300 °C und 350 °C. . . . .	108
52	Verhalten der Beschleunigerschaltung bei hochohmiger Signalquelle und hoher Leitungskapazität: Die Beschleunigerschaltung wird wirksam, wenn die Spannung $U$ am Eingang die Schaltschwelle des Komparators überschreitet. Anschließend steigt die Spannung auf der Leitung während der Zeit $\tau_{Push}$ rasch an. Nach Ablauf von $\tau_{Push}$ erfolgt ggf. noch eine geringe weitere Aufladung aus der hochohmigen Signalquelle, sofern die Maximalspannung am Ausgang noch nicht erreicht wurde. . . . .	109
53	Signalverläufe auf einer der langen Logikleitungen. Simulationsdaten bei 0 °C, 100 °C, 200 °C und 300 °C. . . . .	110
54	Signalverläufe einer der langen Logikleitungen und am Ausgang der zugehörigen Feedback-Einheit. Simulationsdaten bei 0 °C, 100 °C, 200 °C und 300 °C. . . . .	112
55	Floorplan des HTPALs . . . . .	114
56	Lage der Matrixzellen . . . . .	115
57	Struktur einer einzelnen Matrixzelle . . . . .	116
58	Zur Stabilität der Speicherzellen . . . . .	117
59	Layout einer einzelnen Matrixzelle . . . . .	119
60	Lage der Bandgap . . . . .	120

61	Bandgap als Konstantstromquelle mit Startschaltung. Die Zahlenangaben an den Transistoren bezeichnen das Verhältnis $w/l$ entsprechend der gewählten Dimensionierung. . . . .	121
62	Temperaturbedingte Drift des Bandgap-Ausgangsstroms . . . . .	122
63	Lage der Configzellen . . . . .	123
64	Lage der Bus- beschleuniger . . . . .	124
65	Lage der OR-Struktur . . . . .	124
66	OR – Stufe aus einer NAND – Struktur mit invertierten Eingangssignalen . . .	125
67	Verwendetes NAND-Gatter. . . . .	126
68	PMOS-Multigate-Transistor . . . . .	127
69	Laufzeitkompensiertes NOR-Gatter . . . . .	127
70	Lage der Makrozellen . . . . .	128
71	Verschaltung der Ausgangs-Makrozelle. Im linken Teil ist noch der Ausgang der oben beschriebenen NOR-Stufe zu erkennen. . . . .	128
72	Inverter und Multiplexer der Ausgangs-Makrozellen . . . . .	129
73	Lage der Input Driver . . . . .	130
74	Schaltung der Input Driver . . . . .	130
75	Lage der PROM Felder . . . . .	131
76	Ausschnitt aus einer Zeile der PROM-Matrix . . . . .	131
77	LoadDriver zwischen PROM-Matrix und der Logikmatrix . . . . .	132
78	Einbettung des PROMs in das HTPAL (Prinzipschaltung) . . . . .	133
79	Lage der Hochvolt-(HV-)LoadDriver . . . . .	134
80	Hochvolt-LoadDriver zum Programmieren und Auslesen der PROM-Matrix . . .	134
81	Unerwünschte Kopplung der einzelnen OTP-Zeilen beim Auslesen. Die dargestellten Pfeile markieren den Pfad des parasitären Stroms, der das Leseergebnis der oberen Spalte verfälscht. . . . .	136
82	Prinzipschaltung der Reset-Logik . . . . .	140
83	Der verwendete Schmitt-Trigger . . . . .	141
84	Verhalten des RESET-Schmitt-Triggers mit Kippspannungen bei 3 V und 4 V. .	144

85	Die verwendete Schaltung zur RESET-Erzeugung. . . . .	146
86	Prinzipschaltung der BOOT-CLK . . . . .	147
87	Schaltbild des RC-Oszillators der BOOT-CLK . . . . .	148
88	Struktur des HTPALs aus Sicht der Boot-Logik . . . . .	150
89	Phasenlage der Bootsignale LOAD und SHIFT . . . . .	151
90	Schaltung zum Abschalten des Boot-Taktes, nachdem der Boot-Vorgang beendet ist . . . . .	152
91	Innere Struktur des HTPALs aus Sicht des Anwenders (vereinfacht gegenüber Abbildung (88) von Seite 150). . . . .	154
92	Anschlußbelegung eines HTPALs im LCC-Gehäuse . . . . .	158
93	Anschlußbelegung eines HTPALs im DIL-Gehäuse . . . . .	158
94	Schaltung zur Bestimmung der maximalen Toggle-Rate im HTPAL. . . . .	164
95	Einfacher Innovationszyklus . . . . .	167
96	Doppelter Innovationszyklus . . . . .	169
97	Vollständige interne Struktur des HTPALs, vergl. Seite 93 . . . . .	175
98	Vollständige Logikmatrix. An den Kreuzungspunkten der Matrix befinden sich die programmierbare Verbindungen, vergl. Seite 93 . . . . .	176
99	Struktur der Makrozellen an jedem Ausgang (AR: asynchroner Reset Eingang, SP: synchroner Preset Eingang) . . . . .	177
100	Innere Struktur des HTPALs aus Sicht des Anwenders, vergl. Seite 154. . . . .	177
101	Komplettes Layout des HTPALs mit Padframe . . . . .	178
102	Bandgap als Konstantstromquelle mit Startschaltung. Die Zahlenangaben an den Transistoren bezeichnen das Verhältnis $w/l$ entsprechend der gewählten Dimensionierung. . . . .	179
103	Temperaturbedingte Widerstandsdrift. Unten: <i>Poly</i> , mitte: $p^+$ , oben: $n^-$ . . . . .	181
104	Spezifische Wärme $c_p^{[Si]}$ bei konstantem Druck in $\frac{J}{g \cdot K}$ [73] . . . . .	186
105	TOXFET-Bitzelle während der Erwärmung . . . . .	189

## Tabellenverzeichnis

1	Leckstromquellen und ergriffene Maßnahmen . . . . .	19
2	Zeitkonstanten bei der Wärmeausbreitung . . . . .	69
3	Einige Beispiele für die (nicht-normierten) Wahrscheinlichkeiten von achsenparallelen Wärmetransfers . . . . .	71
4	Wahlmöglichkeiten in den Ausgangsmakrozellen . . . . .	92
5	Verzögerungszeiten in Nanosekunden. . . . .	107
6	Externe Signale des HTPALs. Es werden insgesamt 28 Pins benötigt. . . . .	157
7	Technologische Bezeichner . . . . .	170
8	Thermodynamische Formelzeichen . . . . .	170
9	Elektrotechnische Formelzeichen . . . . .	171
10	Schaltsymbole . . . . .	172
11	Abkürzungen und Akronyme . . . . .	173
11	Abkürzungen und Akronyme . . . . .	174
12	Exponenten . . . . .	174
13	Technologische Größenverhältnisse der einzelnen SIMOX-Layer in der Reihenfolge ihres Auftretens auf den Wafern . . . . .	183
14	Materialparameter . . . . .	184
15	Zugeschnittene Materialkonstanten . . . . .	185
16	Dichten in Abhängigkeit von der Temperatur [73], [81] . . . . .	185
17	Spezifische Wärme $c_p$ bei konstantem Druck [73] . . . . .	186
18	Wärmeleitfähigkeit bis 150 °C, nach [73], [57] . . . . .	187
19	Wärmeleitfähigkeit oberhalb von 200 °C, nach [80] . . . . .	187

---

20	Schmelztemperaturen $T_m$ . . . . .	188
21	Erstarrungswärmen . . . . .	188
22	Widerstände und Temperaturkoeffizienten bei 1 mm <sup>2</sup> Leiterquerschnitt, $R(20^\circ\text{C} + \Delta T) = R_{20^\circ\text{C}} \cdot (1 + \alpha \cdot \Delta T + \beta \cdot \Delta T^2)$ . . . . .	188
23	Sonstige Konstanten . . . . .	188

## Literatur

- [1] JTAG (JOINT TEST ACTION AGROUP): *IEEE standard test access port and boundary-scan architecture*,  
IEEE Standard, 1149.1-1990
- [2] D. GOGL: *Untersuchungen zur Realisierung hochtemperaturtauglicher EEPROM-Speicher in SIMOX-Technologie*,  
Dissertation Gerhard-Mercator-Universität Duisburg, ISBN 3-8167-5206-3, Fraunhofer IRB Verlag, 1998
- [3] S. SCHNEIDERS: *Entwicklung einer hochtemperaturtauglichen Band-gap Referenzspannungsquelle in SIMOX-Technologie*,  
Diplomarbeit Gerhard-Mercator-Universität Duisburg, 1996
- [4] A. SIKORA: *Untersuchung der Auswirkungen von dielektrisch isolierten Prozeßtechnologien auf die Eigenschaften digitaler Schaltungen*,  
Dissertation Gerhard-Mercator-Universität Duisburg, 1996
- [5] M. VERBECK: *Hochtemperaturtaugliche, analoge Schaltungskomponenten in SIMOX-Technologie*,  
Dissertation Gerhard-Mercator-Universität Duisburg, 1997
- [6] H. B. ABEL: *Ein Charge-Sheet-Modell des Silicon-on-Insulator MOS-Transistors für die Schaltungssimulation*,  
Dissertation Gerhard-Mercator-Universität Duisburg, 1994
- [7] H.-K. LIM, J. G. FOSSUM: *Threshold Voltage of Thin-Film Silicon-On-Insulator (SOI) MOSFET's*,  
IEEE Trans. on Electron Devices, Vol. ED-30, No. 10, pp. 1244-1251, 1983
- [8] ADVANCED MICRO DEVICES: *Datenblätter zum AmPAL22V10*,  
Datenbuch PAL-Bausteine, 1990

- [9] PHILIPS SEMICONDUCTORS: *LVT22V10 Data sheet and Product specification*,  
1998
- [10] U. S. DEPARTMENT OF ENERGY: *HydroPulse® System Test*,  
Field test report prepared for the U. S. Department of Energy, Federal  
Energy Technology Center by Tempres Technologies Inc., 2000  
Available by [http://www.net1.doe.gov/scng/projects/adv-drill/  
/under-bal/uds34367testreport.PDF](http://www.net1.doe.gov/scng/projects/adv-drill/under-bal/uds34367testreport.PDF)
- [11] CYPRESS SEMICONDUCTOR LTD.: *Flash Erasable, Reprogrammable  
CMOS PAL Device*,  
Cypress Semiconductor Document #38-03027, 9/1996
- [12] M. RADECKER: *Application of Single-Transistor Smart-Power IC for  
Fluorescent Lamp Ballast*,  
IEEE IAS 34th Annual Meeting, Phoenix/Arizona, 04.10.1999, Session 6
- [13] M. RADECKER: *Effiziente Berechnung und Entwicklung energietüber-  
tragender Systeme*,  
Technische Universität Chemnitz, Verlag dissertation.de (als PDF  
verfügbar), 2000
- [14] R. LERCH, I. MACLEAN, O. KESSLER, O. HEUSER, H. KAPPERT, H.-  
L. FIDLER: *A Mixed-Signal CMOS SOI Power Management ASIC with  
Microcontroller Support Functions and a 0 °C to 250 °C Temperature  
Range*,  
International Conference on High Temperature Electronics, Oslo, June  
2001
- [15] A. E. BUCK, C. L. McDONALD, S. H. LEWIS, T. R. VISWANATHAN: *A  
CMOS Bandgap Reference Without Resistors*,  
IEEE Journal of Solid-State Circuits, Vol. 37, No. 1, 01/2002
- [16] M. ALFRING, M. SPITZ, H.-L. FIEDLER: *A stand-alone 32 kbit EE-  
PROM for high-temperature applications*,

- Fraunhofer-Institut für Mikroelektronische Schaltungen und Systeme  
Duisburg/Dresden/München: Annual report, ISSN: 1435-0874, 2000
- [17] CADENCE DESIGN SYSTEMS, INC.: *Cadence Design Environment*,  
Product Reference Manual
- [18] J. P. UYEMURA: *Circuit design for CMOS VLSI*,  
ISBN 0-7923-9184-5, 1992
- [19] R. PAUL: *Elektronische Halbleiterbauelemente*,  
ISBN 3-519-20112-7, Teubner 1992
- [20] P. R. GRAY, R. G. MEYER: *Analysis and Design of Analog Integrated  
Circuits*,  
3rd edition 1993, Wiley & Sons
- [21] F. ZANDMAN, P.-R. SIMON, J. SZWARC: *Resistor theory and Technologie*,  
Vishay Intertechnology, Inc.
- [22] R. v. BENTUM: *Herstellung und Charakterisierung lokaler Silizium-auf-  
Isolator-Substrate*,  
ISBN 3-89820-109-0, Mensch & Buch Verlag, 2000
- [23] N. POHLMANN: *Hochtemperaturtaugliche Standard-Bauelemente für  
eine neue Serie 74xx-HT*,  
Fraunhofer IMS DU, private Mitteilungen, 1999
- [24] O. HEUSER: *ESD-feste Anschlußpads für Hochtemperaturanwendun-  
gen*,  
Fraunhofer IMS DU, interne Mitteilungen, 1999
- [25] R. LERCH: *Hochtemperatur CPU in SIMOX (HT-CORE)*,  
Fraunhofer IMS DU, interne Mitteilungen, 1999
- [26] A. SIKORA: *Design automation of digital circuits for partially depleted  
SOI-technology*,

- International SOI Conference, Sanibel Island, Fla., Proceedings (1996),  
S. 108 - 109
- [27] U. TIETZE, CH. SCHENK: *Halbleiter-Schaltungstechnik*,  
ISBN 3-540-19475-4, 9. Auflage, Springer 1991
- [28] W. WEBER, A. ALEF: *Grundlagen der Datenverarbeitung*,  
Vorlesungsscript Ruhr-Universität Bochum, 1991
- [29] H.-M. REIN: *Integrierte MOS-Schaltungen*,  
Vorlesungsscript Ruhr-Universität Bochum, 1996
- [30] R. H. FOWLER, L. NORDHEIM: *Electron Emission in Intense Electric  
Fields*,  
Proc. Roy. Soc. London, pp. 173-181, 1928
- [31] M. SCHULTEHINK: *Untersuchungen zum Drain-Source-Durchbruch der  
SOI-Transistoren*,  
Diplomarbeit am Fraunhofer IMS DU, 1993
- [32] E. HEMMING: *Stromerfassung und Verlustleistungsbegrenzung bei  
Smart-Power-ICs mit DMOS- und IGBT-Leistungstransistoren*,  
Dissertation Gerhard-Mercator-Universität Duisburg, ISBN 3-8167-  
5245-4, 1998
- [33] M. BERGER: *Funktion und Optimierung vom MOS-  
Feldeffekttransistoren*,  
Habilitation Gerhard-Mercator-Universität Duisburg, 1992
- [34] Y. MANOLI: *Komponenten und Architekturen für schnelle hochauflösen-  
de Analog-Digital- und Digital-Analog-Umsetzer in CMOS-Technologie*,  
VDI Fortschrittsberichte Reihe 9, Nr 74, 1988
- [35] S. M SZE: *Physics of Semiconductor Devices*,  
John Wiley & Sons, 1981

- [36] J. L. MOLL: *Physics of Semiconductors*, McGraw-Hill, New York 1964
- [37] J. KUNZE: *Lehrblätter zur Vorlesung 'Physikalisch-chemische Grundlagen der Wärmebehandlung und Randschichttechnik'*, Skript an der Technischen Universität Bergakademie Freiberg, 02/2000
- [38] HOLLEMAN, WIEBERG: *Lehrbuch der Anorganischen Chemie*, de Gruyter, 100. Auflage, 1985
- [39] J.-P. COLINGE: *Silicon-on-insulator technology: materials to VLSI*, 2. Auflage, Kluwer Academic Publishers, Norwell, 1997
- [40] U. KUHLMANN: *Isomatte im Chip*, Zeitschrift c't, Ausgabe 17/98, S. 28, Heise Verlag
- [41] K. H. KNAPP: *Der Kampf mit den Grenzen der Physik - Teil 1*, Zeitschrift Elektronik 01/1999, S. 40
- [42] L. GEPPERT: *Technology 1999 - Analysis & forecast: Solid state*, IEEE Spectrum 01/1999, S. 52
- [43] B. STECK: *Design Manual CS1640 Version 1.5*, Fraunhofer IMS internes Manual, Mai 2000
- [44] N. QUINTIN: *High Temperature PROM*, Experimentelle Untersuchungen an OTP-Zellen, Praktikumsbericht Fraunhofer IMS 2001
- [45] A. J. WALTON: *Microelectronic test structures*, SEMICON 97, Genua
- [46] W. J. C. ALEXANDER AND A. J. WALTON: *Sources of Error in Extracting the Specific Contact Resistivity From Kelvin Devices Measurements*, IEEE International Conference on Microelectronic Test Structures, pp. 17-22, Los Angeles, USA 1988

- [47] K. W. J. FINDLAY, W. J. C. ALEXANDER, AND A. J. WALTON: *The Effect of Contact Geometry on the Value of Contact Resistivity Extracted from Kelvin Structures*,  
Proc 1989 IEEE International Conference on Microelectronic Test Structures, pp. 133-138, Edinburgh 1989
- [48] M. DEPAS, B. VERMEIRE, P. W. MERTENS, R. L. VAN MEIRHAEGHE, M. M. HEYNS: *Determination of Tunneling Parameters in Ultra-Thin Oxide Layer Poly-Si/SiO<sub>x</sub>/Si Structures*,  
Solid-State Electronics, Vol. 38, Nr. 8, pp. 1465-1471, 1995
- [49] K. F. SCHUEGRAF, D. PARK, C. HU: *Reliability of Thin SiO<sub>x</sub> at Direct-Tunneling Voltages*,  
IEEE IEDM, pp. 609-612, 1994
- [50] K. ANAMI, M. YOSHIMOTO, H. SHINOHARA, Y. HIRATA, T. NAKANO: *Design Considerations of a Static Memory Cell*,  
IEEE J. Solid-State Circuits, Vol. SC-18, No. 4, pp. 414-417, 8/1983
- [51] A. H. SAYLES: *Design of Integrated CMOS Circuits for Parallel Detection and Storage of Optical Data*,  
Ph.D. Dissertation, Georgia Institute of Technology, 8/1990
- [52] INTEL CORP.: *Datasheet for the 85C224*,  
Programmable Logic Devices Databook
- [53] C.-C. SHIH, R. LAMBERTSON, F. HAWLEY, F. ISSAQ, J. MCCOLLUM, E. HAMDY, H. SAKURAI, H. YUASA, H. HONDA, T. YAMAOKA, T. WADA, C. HU: *Characterization and modeling of a highly reliable Metall-to-Metal antifuse for high-performance and High-Density FPGAs*,  
IEEE International Reliability Physics Proceedings, April 1997
- [54] ACTEL CORP.: *Actel FPGA Data Book and Design Guide*,  
Actel 1996

- [55] F. DADFAR: *Untersuchung und Optimierung einer Bandgap-Spannungsreferenz in CMOS-Technologie*,  
Diplomarbeit Elektronische Bauelemente und Schaltungen, UNI/GH  
Duisburg, Mai 1988
- [56] A. HAHN: *Thermodynamik und Statistik*,  
Script zur Vorlesung Physik III, Ruhr-Universität Bochum 1972
- [57] J. W. ROHLF: *Modern Physics from  $\alpha$  to  $Z_0$* ,  
Wiley 1994
- [58] K. R. LAKER, W. M. C. SANSEN: *Design of analog integrated circuits and systems*,  
ISBN 0-07-113458-1, McGraw-Hill, 1994
- [59] J. F. BÖHME: *Stochastische Signale*,  
ISBN 3-519-06160-0, Teubner 1993
- [60] J. SUÑÉ, M. LANZONI, P. OLIVIO: *Temperature Dependence of Fowler-Nordheim Injection from Accumulated n-Type Silicon into Silicon Dioxide*,  
IEEE Transactions on Electron Devices, Vol. 40, No. 5, pp. 1017-1019,  
1993
- [61] M. A. ALAM, B. E. WEIR, J. D. BUDE, P. J. SILVERMAN, D. MONROE: ,  
IEDM Tech Dig 1999;449 and references therein
- [62] E. WU, E. NOWAK, J. AITKEN, W. ABADDER, L. K. HAN, S. LO: ,  
IEDM Tech Dig 1998;187
- [63] B. E. WEIR, M. A. ALAM, P. J. SILVERMAN, F. BAUMANN, D. MONROE,  
J. D. BUDE, G. L. TIMP, A. HAMAD, Y. MA, M. M. BROWN, D. HWANG,  
T. W. SORSCH, A. GHETTI, G. D. WILK: *Ultra-thin gate oxide reliability projections*,  
Solid-State Electronics 46 (2002) 321-328, Pergamon

- [64] T. HORI: *Gate Dielectrics and MOS ULSIs*,  
ISBN 3-540-63182-8, Springer-Verlag Berlin Heidelberg, 1997
- [65] I. C. CHEN, S. HOLLAND, C. HU: ,  
IEEE IEDM (1986) Digest, p. 660
- [66] T. H. DISTEFANO, M. SHATZKES: *Journal of Vacuum Science Technology*,  
Nr. 13, S. 50, 1976
- [67] Y. NISSAN-COHEN, J. SHAPPIR, D. FROHMAN-BENTCHKOWSKY: *Journal of Applied Physics*,  
Nr. 57, S. 2830, 1985
- [68] S. K. LAI, D. R. YOUNG: *Journal of Applied Physics*,  
Ausgabe 52, S. 6231, 1981
- [69] C. T. SAH, J. Y.-C. SUN, J. J.-T. TZOU: *Journal of Applied Physics*,  
Nr. 53, 8886, 1982
- [70] Z. A. WEINBERG, M. V. FISCHETTI: *Journal of Applied Physics*,  
Nr. 57, S. 443, 1985
- [71] B. EITAN, A. KOLODNY: *Applied Physics Letters*,  
Nr. 43, S. 106, 1983
- [72] D. J. DIMARIA, D. W. DONG, C. FALCONY, T. N. THEIS, J. R. KIRTLEY,  
J. C. TSANG, D. R. YOUNG, F. L. PASAVENTO, S. D. BRORSON: *Journal of Applied Physics*,  
Nr. 54, S. 5801, 1983
- [73] INSPEC, THE INSTITUTION OF ELECTRICAL ENGINEERS: *Properties of Silicon*,  
EMIS Datareviews Series No. 4, ISBN 0-85296-475-7, Unwin Brothers,  
1988

- [74] W. E. BEADLE, J. C. C. TSAI, R. D. PLUMMER: *Quick reference manual for silicon integrated circuit technology*, ISBN 0-471-81588-8, John Wiley & Sons, 1985
- [75] AUGUSTUS DE MORGAN: *Formal Logic; or, the Calculus of Inference, Necessary and Probable*, Transactions of the Cambridge Philosophical Society, 1847
- [76] AUGUSTUS DE MORGAN: *On the structure of the syllogism, and on the application of the theory of probabilities to questions of argument and authority*, Transactions of the Cambridge Philosophical Society, vol. 8, pp. 379-408, 1849.
- [77] R. C. JAEGER: *Microelectronic circuit design*, ISBN 0-07-032482-4, McGraw-Hill, 1996
- [78] K. WALDSCHMIDT: *Schaltungen der Datenverarbeitung*, ISBN 3-519-06108-2, Teubner, 1980
- [79] M. W. CHASE: *NIST-JANAF Thermochemical Tables*, 4. Auflage, J. Phys. Chem. Ref. Data, Monograph 9, 1998
- [80] C. J. GLASSBRENNER, G. A. SLACK: *Physical Review (USA)*, Vol. 134 (1964), Seite A1058
- [81] CRYSTRAN LTD: *Datenblätter zu Si und SiO<sub>2</sub>*, Crystran Ltd, 27 Factory Road, Poole, Dorset BH16 5SL. UK
- [82] BRAZETEC GMBH, DEGUSSA LÖTTECHNIK: *Datenblätter*, BrazeTec GmbH · Rodenbacher Chaussee 4 · D-63457 Hanau
- [83] KUBASCHEWSKI, EVANS, ALCOCK: *Metallurgical Thermochemistry*, Pergamon 1967
- [84] S. H. GUNTHER, F. BINNS, D. M. CARMEAN, J. C. HALL: *Managing the Impact of Increasing Microprocessor Power Consumption*, Intel Technology Journal Q1/2001, Intel Corporation

- [85] NASECODE VI: *Proceedings of the Sixth International Conference on the Numerical Analysis of Semiconductor Devices and Integrated Circuits*,  
Volume 13: Conference Series, ISBN 0-906783-85-2, Boole Press Limited, 1989
- [86] Y. OHMURA, T. ISHIYAMA, M. SHOJI, K. IZUMI: *Quantum mechanical transport characteristics in ultimately miniaturized MOSFETs/SIMOX, SOI Technology and Devices*, Electrochem. Soc., Pennington, 199, 1996
- [87] T. FUJII, FURUTA, MOTOMURA, ET AL: *A Dynamically Reconfigurable Logic Engine with a Multi-Context/Multi-Mode Unified-Cell Architecture*,  
1999 IEEE International Solid-State Circuits Conference: Digest of technical papers, IEEE Catalog Number 99CH36278, Feb. 1999
- [88] I. DOBBELAERE ET AL: *Regenerative Feedback Repeaters for Programmable Interconnections*,  
IEEE JSSC, Vol. 30, No. 11, pp. 1246-1253, Nov. 1995
- [89] S. CHIANG, R. FOROUHI, W. CHEN, F. HAWLEY, J. MCCOLLUM, E. HAMDY, C. HU: *Antifuse Structure Comparison for Field Programmable Gate Arrays*,  
IEEE IEDM Technical Digest, pp. 611-614, 1992
- [90] C. HU: *Interconnect Devices for Field Programmable Gate Array*,  
IEEE IEDM Technical Digest, pp. 591-594, 1992
- [91] G. ZHANG, Y. KING, S. ELTOUKHY, E. HAMDY, T. JING, P. YU, C. HU: *On-state Reliability of Amorphous Silicon Antiofuses*,  
IEEE IEDM Technical Digest, pp. 551-554, 1995
- [92] M. VERBECK ET AL.: *A MOS Switched Capacitor Ladder Filter in SIMOX Technology for High Temperature Applications up to 300 °C*,  
European Solid-State Circuits Conference, Lille, September 1995

- [93] CYPRESS DATASHEET: *Flash Erasable, Reprogrammable CMOS PAL Device*,  
Cypress Semiconductor Corporation, Document #38-03027
- [94] P. NARO, P. KREMER, ET AL.: *ChemGlobe*,  
Datenbank der chemischen Elemente, verfügbar unter  
<http://www.vcs.ethz.ch/chemglobe>
- [95] K. MARTIN, L. OZCOLAK, Y. S. LEE: *A Differential Switched-Capacitor Amplifier*,  
IEEE Journal of Solid-State Circuits, Vol. SC-22, No. 1, 1987

# Index

- ξ (Zerlegung), 63
- ζ (Zeitschritt), 68
  
- Abfall, 105
- Abgleich, 30
- Aggregatzustand, 61
- Akkumulation, 22, 54
- Algorithmus, 68
- Aluminium, 32
- Anlaufbereich, 80, 82
- Anschlußbelegung, 158
- Anstieg, 104
- Antifuse, 33
- Arbeits-
  - frequenz, 112
  - punkt, 179
- Architektur, 87
- Asymmetrie, 105
- Aufenthaltswahrscheinlichkeit, 49
- Ausbeute, 31
- Ausbreitung der Wärme, 67
- Ausfallmechanismen, 160
- Ausfallparameteranalyse, 30
- Ausleseströme, 160
  
- Bänderdiagramm, 48
- Backgate, 21, 23
- Bahnwiderstand, 36
- Bandabstand, 10
- Bandlücke, 53
- Barriere, 48, 50, 54
- Bausteine
  - hochintegrierte, 8
- Begrenzung
  - des Programmierstroms, 86
- Belastbarkeit, 83
- Berechnungszeit, 69
- Betriebsfrequenz, 89
- Betriebskosten, 167
- Beweglichkeit, 96
- Beweglichkeiten, 27
- Bias
  - Quelle, 103
  - Ströme, 121
- Bibliothek, 6, 10, 20
- Bindungen, 56
- Bipolarverstärkung, 19
- Bipolartransistor, 127
- Bipolarverstärkung, 10
- Bitdichte, 76
- Bitkette, 162
- Bitleitungen, 116
- Bitmuster, 148, 154, 162
- bitweise, 155
- Bitzellen, 29, 74
- Booten, 139, 155
- Boundary Scan Tests, 1
- Breakdown
  - Hard-, 57
  - Soft-, 55, 57
- burried oxide, 16
  
- Chipfläche, 11, 89
  
- Dichtefunktion, 71
- Dielektrikum, 34
- Diffusionsstrom, 17
- DIL, 157
- Dimensionierung, 121
- Diode, 140
  - Bandgap, 180
  - Flußspannung, 10
- Diskretisierungsdaten, 66
- Distanzen, 65
- Domino-Logik, 41, 97
- Dosis, 16
- Drain-Extension, 75
- Drift, 181
- Durchbruch, 84
- Durchbruchspannung, 56
- Durchgriff, 135
  
- EEPROM, 32, 33
- Effizienz, 167
- Eigenleitungsdichte, 10, 17
- Einheitstransistoren, 20, 145

- Einschwingzeit, 66
- elektrisch äquivalentes Netz, 60
- Elektromigration, 5, 32
- Emissionsströme, 48
- Energie
  - Ionisationsenergie, 82
  - kinetische, 16, 53
  - thermische, 16
- Ersatzschaltbild, 57
- Erwärmung, 46, 83
  - elektrische, 56
- Evaluate-Phase, 97
  
- Factory Calibration, 30
- Factory-Test, 162
- Feedback-Ladestrom, 101
- feldprogrammierbar, 31
- Film
  - dicke, 16, 20
  - dotierung, 20
  - kontakte, 18
- Filmdioden, 80
- Finite Elemente, 66
- Flächenbedarf, 27
- Flipflop, 91
- Funktionen
  - redundante, 31
- Fuses, 32
  - Intermetall-, 34
  
- Garantiezeiten, 30
- Gatespannungen, 82
- Gatteräquivalente, 11
- Gatterbaum, 125
- Gatterzahl, äquivalente, 8
- Gehäuse, 157
  - technik, 1
- Gitter
  - phononen, 53, 56, 83
  - schwingungen, 10
- Glue-Logic, 1
- Grenzfläche, 20, 53
  
- Heizleistung, 56
- Herstellungsverfahren, 5
  
- Hilfsstrom, 102
- hot spots, 5
  
- Implantation, 15, 16
- Individualisierung, 30
- Initialisierung, 88
- Injektion, 50, 53, 55
- Innovationszyklen, 167
- Integrationsdichte, 7, 31, 32
- Interface, 21, 23
- Inversions-
  - schicht, 21
  - strom, 23
- Inverter, 27
  - kette, 107, 111
  - Inverterkette, 104
  - minimaler, 27
  - NMOS, 28
  - statischer, 27
- Investitionsschutz, 31
  
- Kanal, 21
- Kanalstrom, 23
- Kantenlänge, 63
- Kapazität, 102
- Kapazitäten
  - parasitäre, 14, 95, 109
- Kapazitätsbelag, 25, 26
- Kathode, 53
- Kelvinstruktur, 35
- Kennlinien, 80
- Kennlinienfeldes, 82
- Kerntemperatur, 61
- Kombinatorik, 88
- Kommunikationszeit, 69
- Komparator, 103
- Kompatibilität, 1, 88
- Kondensator, 25
- Kondensatoroxid, 26
- Konfiguration, 31
- Konstantstromquelle, 111
- Kontakt
  - Split-Source-, 24
- Koppelmatrix, 66
- Kopplung, 66

- Ladekennlinie, 111
- Ladestrom, 104
- Ladungen
  - ortsfeste, 53
- Ladungs-
  - mengen, 72
  - speicherfähigkeit, 4
  - trägerbeweglichkeit, 10
  - transport, 47
- Langzeit-
  - speicher, 113
  - stabilität, 1
- Laser
  - Cutter, 30
  - Trimmung, 30
- Last
  - kapazitive, 129
- Latch-up, 13
- Laufzeitunterschiede, 127
- Layout, 74
  - kantenloses, 19
  - Matrixzelle, 119
  - Multigate-, 24
  - Transistor-, 18
- LCC, 157
- Lebensdauer, 29, 159
- Leckströme, 10, 13, 17, 135
- Leckstrom, 85
  - Komponenten, 18
  - pn-, 18
  - verstärkende Faktoren, 18
- Leckstromquellen, 18, 19
- Leistungselektronik, 4
- Leitungsführung, 151
- Leitungskapazität, 111
- Lesefrequenz, 161
- Märkte, 167
- Majoritätsladungsträger, 96
- Majoritätsträger, 27
- Makrozellen, 88
- Markt, 87
- Maschenstromverfahren, 60, 66
- Matrixform, 66
- Meßgeschwindigkeit, 84
- Meßzyklus, 46
- Methode der Finiten Elemente, 59
- Migration, 1, 160
- Migrationsweg, 87
- Modelldiskretisierung, 60
- Multigate, 24, 116
- Nennbetriebsspannung, 83
- One-Time Programmables, OTPs, 29
- OP-Struktur, 103
- Ortsabhängigkeit, 72
- Oszillator, 147
- OTP, 2, 29, 33
- Oxid
  - Dicke des, 34
  - vergrabenes, 21, 42
- Packungsdichte, 41, 165
- Parallelisierbarkeit, 60
- Parallelrechner, 62
- Parallelschaltung, 94
- Parameter, 20
  - extraktion, 20
  - vektor, 64
  - veränderungen, 10
- Phasenübergang, 67, 68
- PLCC, 157
- Polarität, 91
- Potentialgefälle, 82
- Precharge, 97
- Preset, 88
- primärer Strompfad, 40
- Produktterme, 88
- Programmier-
  - bits, 91
  - phase
    - primäre, 47
    - sekundäre, 47
  - prozeß
    - unerwünschter, 159
  - zeit, 155
  - zustand, 115
- Programmierart, 155
- Programmieren

- manuelles, 154
- des PROMs, 155
- Programmiergeschwindigkeit, 74
- Programmierung, 154
- Programmierzzeit, 74
- Programmspeicher, 113
- PROM, 29
  - aus Dioden, 37
  - aus Transistoren, 39
- Qualität, 59
- Querströme, 28, 96, 135
- Rückkopplungspfad, 100
- Raumladungszone, 17
- Raumtemperatur, 107
- RC-Glied, 104
- Rechenaufwand, 60
- Referenzquellen, 87
- Referenzspannungen, 120, 121
- Register, 88
- Reset, 88
- Reststrom, 85
- RS-Flipflops, 115
- Sauerstoff, 16
- Schaltsymmetrie, 27
- Schaltungs-
  - simulation, 20
  - technik, 9
- Schichtdicken, 183
- Schmelz
  - temperatur, 32
  - zone, 56, 73
- Schutzdiode, 136
- Schwellenspannung, 10, 14, 22
- Seitenwandeffekte, 19
- Sensortechnik, 31
- Serienprodukten, 166
- Serienschaltung, 94
- Signallaufzeit, 106
- Signalquelle, 101, 109
- Siliziumfilm, 13
- SIMOX, 13, 15
- Simulation
  - Größen der, 65
  - Modell, 20, 60
  - Prozesse, 72
- Smart Sensors, 4, 31
- SOP-Ansatz, 87
- Spaltenselektion, 75
- Spannung
  - $U_{th}^{(BS)}$ , 22
  - Backgate-, 22
  - Betriebs-, 23
  - Programmier-, 24
  - Versorgungs-, 22
- Spannungs-
  - abhängigkeit, 182
  - belastungen, 159
  - festigkeit, 43, 75
  - gradienten, 11
  - puls, 46, 79, 85
- Speicher
  - anforderungen, 60
  - matrix, 37
  - zellen, 115
- Speichermatrix, 85
- Sperrschicht
  - Weite der, 10
- Störabstand, 83
- Stabilisierung, 26
- Standardtechnologie, 32
- Standardzellen, 6
- Startschaltung, 121, 147, 180
- statische Zustände, 97
- Steuergerate, 21
- Steuerwirkung, 21, 82
- Stoßionisation, 53
- stochastisches Verhalten, 67
- Ströme
  - parasitäre, 25
- Streß, 159
- Streßbelastung, 38, 160
- Streukapazitäten, 77
- Strom
  - Begrenzung, 46
  - Generation-, 17
  - Precharge-, 41

- Quelle, 140
- Rekombinations-, 17
- Versorgung, 11
- Verteilung, 72
- Stromdichte
  - Fowler-Nordheim-, 50
- Strompfad, 47
  - parasitärer, 40
  - primärer, 159
- Strukturbreite, 7
- Strukturbreiten, 89
- Strukturgröße, 88
- Substrat, 21
- Subthreshold Swing, 14
- Systemmatrix, 66
- Takt, 150, 151
- Temperatur, 65
  - erhöhung, 162
  - verhalten, 17
  - verteilung, 67
- Temperaturerhöhung, 83
- Temperaturfestigkeit, 87
- Temperung, 16
- Test
  - funktionen, 163
  - struktur, 36
- thermisches Oxid, 34
- Toggle-Rate, 164
- Toleranzen, 182
- Topologie, 10
- TOXFET, 42
- TOXPROM, 36
- Transistor
  - PMOS, 23
- Traps, 55, 159
- Trends, 3
- Tunnel
  - Oxid, 34, 38
  - Strom, 38, 163
    - Dichte des, 49
    - direkter, 48
    - Fowler-Nordheim-, 48, 50
  - Wahrscheinlichkeit, 25
  - Widerstand, 57
- tunneln, 25
- Umschaltpunkt, 27
- Umwandlungsenergien, 68
- Verarmung, 22
- Verlustleistung, 11, 90
- Verteilungsfunktion, 72
- Verzögerung
  - digitale, 104
- Vorlaufzeiten, 31
- Voxel, 60
- Voxelmasse, 64
- Wärme
  - Übergänge, 70
  - Ableitung, 76
  - Fluß, 65
  - Kapazität, 64
    - Modellierung der, 60
  - Kontakt, 60
  - Leitfähigkeit, 64
  - Quellen, 3
  - Ströme, 67
  - Verteilung, 59, 65, 76
  - Widerstand, 71
- Wärmeleitfähigkeit, 84
- Wärmetransport, 84
- Wahrscheinlichkeiten, 70
  - normierte, 71
- Wannen
  - Isolations-, 13
- Wertebereich, 72
- Widerstände, 181
  - Wärmewiderstände, 71
- Widerstand, 81
- Wolfram, 32
- Zeilen
  - auswahl, 75
  - leitung, 133, 135
- Zeit
  - konstanten, 69, 95
    - Realisierung von großen, 26
  - schritte, 68
  - verzögerungsglied, 103

Zellenfläche, 76

Zenereffekt, 25

Zerlegung, 63

zerstörungsfrei, 163

Zielkonflikt, 89

Zufall

    Generator, 67

    Zufallszahlen, 67, 72

Zuverlässigkeit, 162, 167