

6 Die Schaltungstechnik des Lichtmodulators

In diesem Kapitel wird die realisierte Schaltung zur aktiven Adressierung der in Kapitel 3 ausführlich beschriebenen dynamischen Pixelzellen vorgestellt.

In Kapitel 6.1 wird zunächst ein Überblick über die einzelnen Funktionseinheiten gegeben. Die mit dem Schaltungskonzept realisierbaren Adressierzeiten und Bildwiederholraten sind in Kapitel 6.2 und die resultierende Ansteuergenauigkeit in Kapitel 6.3 dargestellt. Die Eignung der entwickelten Flächenlichtmodulatoren für die bereits erwähnten Anwendungsgebiete wird anhand von hergestellten Demonstratoren in Kapitel 6.4 nachgewiesen.

6.1 Realisierung der aktiven Adressierung

In diesem Kapitel wird die schaltungstechnische Realisierung eines Flächenlichtmodulators beschrieben. Der entwickelte Schaltkreis ist dazu geeignet, mit verschiedenen Oberflächenspiegeltechnologien ausgestattet zu werden. Die elektrische Funktionalität und das Layout des Chips sind modular ausgeführt, so dass eine kundenspezifische Anpassung der Pixelanzahl einfach zu realisieren ist.

Das Einsatzgebiet des entwickelten Lichtmodulators liegt in der Mikrolithographie, deren Anforderungen bereits in Kapitel 2.2 erläutert wurden. Das Dateninterface wurde auf die maximal mögliche Bildwiederholrate optimiert. Die Adressierung erfolgt in einem kompletten Zyklus für alle Pixel. Der Lichtmodulator wird im „flash-mode“ betrieben und ist während des Adressierzyklusses unbeleuchtet und wird erst nach der vollständigen Adressierung aller Pixel beleuchtet. Im Vergleich zum Adressierzyklus ist der Zeitraum der Beleuchtung sehr kurz, so dass für eine maximale Bildrate der Adressierzyklus zu optimieren ist und an die Speicherzeit der analogen Pixelzellen vergleichsweise geringe Anforderungen gestellt werden.

Abbildung 6.1 zeigt den Aufbau des entwickelten Lichtmodulators.

- Der Block *Aktive Matrix* enthält die Spiegelemente mit Ansteuerelektrode und analoger Speicherzelle (siehe Kapitel 3).
- Die *Spaltenadressierung* beinhaltet das Dateninterface (hier 4 Bit digital und seriell), den Digital-Analog-Umsetzer und den Spaltendemultiplexer.
- Die *Zeilenadressierung* besteht aus einem Schieberegister zur sukzessiven Aktivierung der Zeilen (aktive Adressierung) sowie die Treiber für die Zeilenauswahl- (Gate-) und Kompensationsleitungen (K-Gateleitung). Die Spannungspegel können extern vorgeben werden, um eine Anpassung an die verwendete Pixelgeometrie zu ermöglichen.
- In der *Steuereinheit* werden die Spalten- und Zeilentakte erzeugt und die Spalten- und Zeilenadressierung synchronisiert. Der Block enthält das Steuerinterface zur externen Synchronisation des Adressierzyklusses. Die Steuereinheit ist in der Lage, eine beliebige Anzahl von Spalten- und Zeilenblöcken

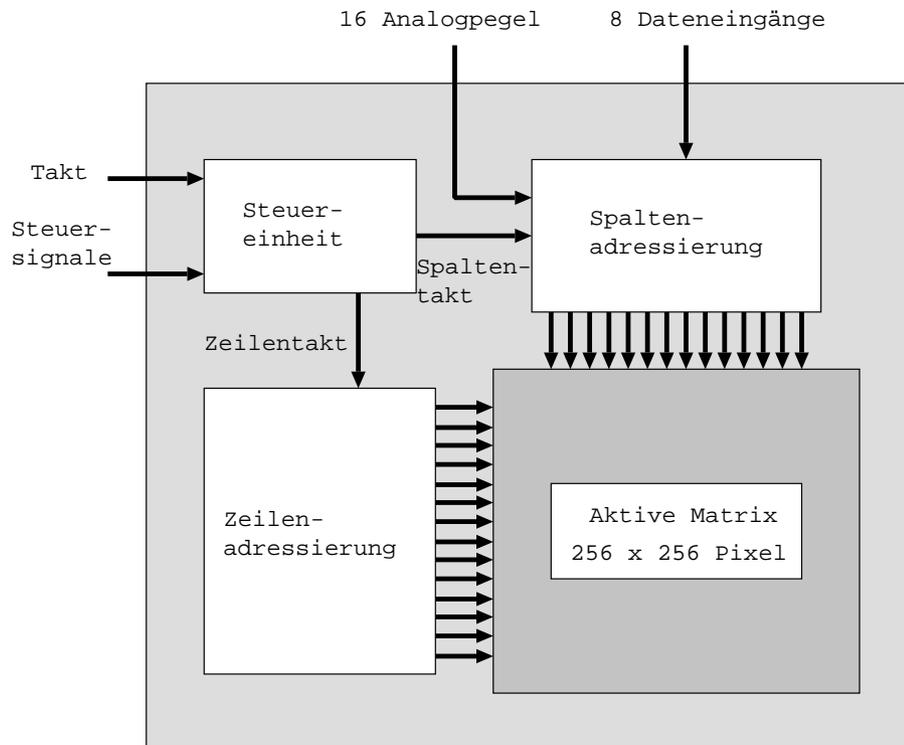


Abbildung 6.1: Blockschaltbild des Lichtmodulators mit aktiv angesteuerten Pixeln

anzusteuern, um einen modularen Aufbau mit kundenspezifischer Pixelkonfiguration zu ermöglichen.

In den folgenden Kapiteln wird der Aufbau der einzelnen Funktionsblöcke genauer beschreiben. Das Design der Pixelzellen wird anschließend im Kapitel 6.3 zusammen mit einer Abschätzung der Adressiergenauigkeit erläutert.

6.1.1 Die Spaltentreiber und das Dateninterface

In Abbildung 6.2 ist der logische Aufbau des Dateninterfaces und der Spaltentreiber dargestellt.

Der Spaltentreiber der aktiven Matrix besteht aus einem oder mehreren Funktionsblöcken, die jeweils über einen digitalen Dateneingang und über 32 Spaltenanschlüsse verfügen. Diese Blöcke können parallel geschaltet werden, so dass eine Matrix mit beliebiger Spaltenanzahl modulo 32 realisiert werden kann. In Abbildung 6.1 ist eine Konfiguration mit 256 Spalten dargestellt, die im folgenden weiter betrachtet wird.

Der entwickelte Spaltentreiber unterstützt 16 verschiedene Ansteuerspannungen, die für jedes Pixel individuell ausgewählt werden können. Die Auswahl dieser 16 Ansteuerspannungen erfolgt durch einen 4-bit Digitalwert, der über den Dateneingang

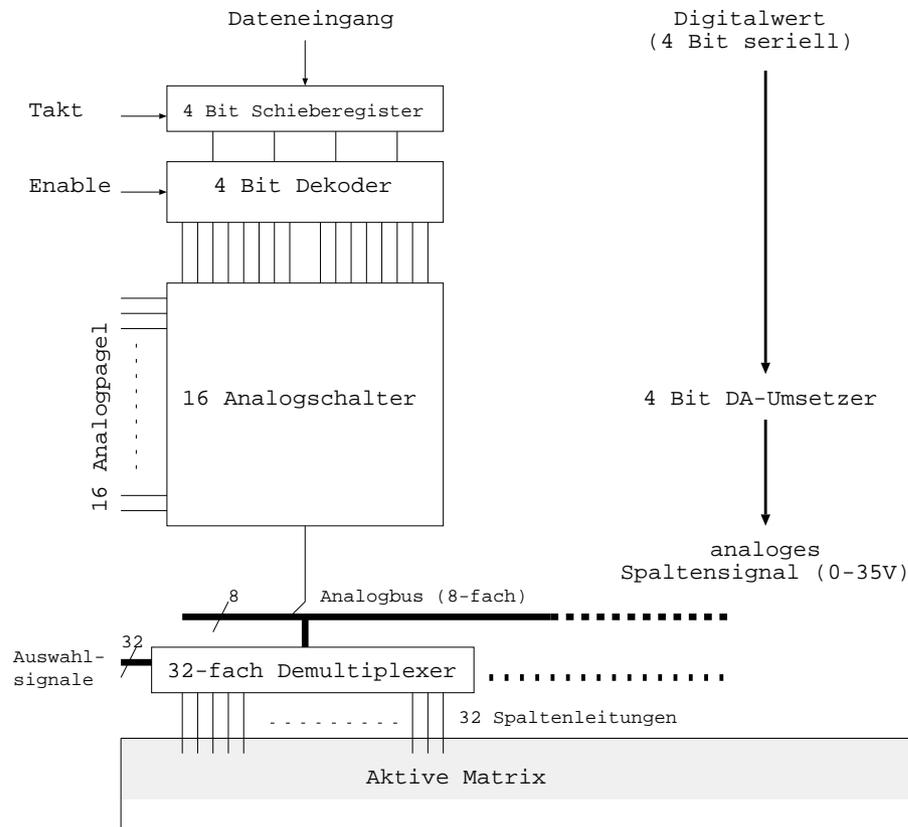


Abbildung 6.2: Blockschaltbild des Datenpfades

seriell eingelesen wird. Dieser Dateneingang ist kompatibel zu externer 5V-CMOS- und TTL-Logik. Der digitale Logikteil des Spaltentreibers arbeitet intern ebenfalls mit 5V-CMOS-Pegeln.

Die digitalen Daten werden über ein Schieberegister synchron zur Taktfrequenz eingelesen und parallel an den 4-bit Decoder (siehe Abbildung 6.2) ausgegeben. Der Eingang des Decoders ist mit 4 Latches versehen, so dass während des Decodierens des Digitalwertes bereits die nächsten 4 Bit eingelesen werden können. Dieses Pipelining ermöglicht einen konstanten Datenfluss während der Adressierung der gesamten Matrix und somit eine hohe Bildwiederholrate, wie sie für eine Anwendung in der Mikrolithographie notwendig ist.

Der Decoder stellt 16 Auswahl-signale zur Selektion einer Ansteuerspannung für jeweils ein Bildelement zur Verfügung. Die Selektion der Ansteuerspannung geschieht in einem 4-bit Digital-Analog-Umsetzer. Der logische Aufbau dieses Umsetzers ist in Abbildung 6.3 dargestellt.

Die Auswahl der Ansteuerspannung erfolgt über eine Schaltermatrix, die jeweils eine der extern bereitgestellten Analogpegel auf den analogen Ausgang schaltet. Jeder Schalter besteht aus einem CMOS-Transmissiongate. Um mit den Transmissiongates hohe Spannungen bis 40 V schalten zu können, müssen entsprechend ho-

he Auswahlssignale bereitgestellt werden. Hierzu dienen Pegelwandler, die aus den 5 V Pegeln des Decoderausganges 40 V Signale erzeugen. Die Pegelwandler stellen ebenfalls ein invertiertes Auswahlssignal zur Verfügung, das zum Schalten der P-Kanal-Transistoren notwendig ist. Dieses invertierte Signal ist in Abbildung 6.3 der Übersichtlichkeit halber nicht enthalten. Die externe Bereitstellung der Analogpegel ermöglicht eine einfache Anpassung der Ansteuerspannungen an verschiedene Spiegeltchnologien, die über recht unterschiedliche Spannungs-Deformationskennlinien verfügen (siehe Kapitel 5.5).

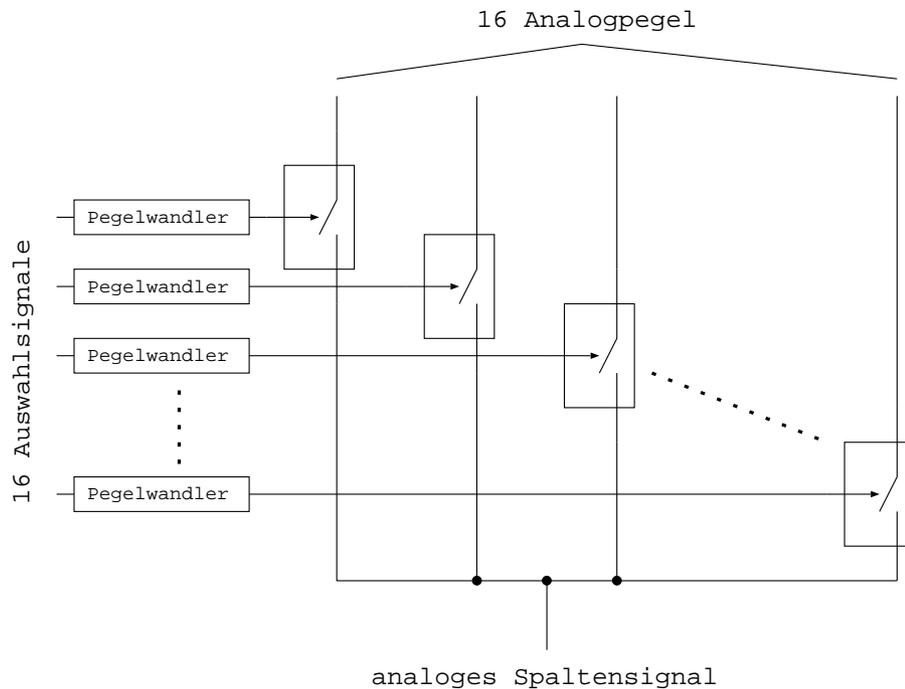


Abbildung 6.3: Blockschaltbild des Digital-Analog-Umsetzers

Der Ausgang des Digital-Analog-Umsetzers wird auf einen Analogbus geführt, der sämtliche Analogausgänge parallel angeordneter Spaltenblöcke führt. Dies hat den Vorteil das der anschließende Demultiplexer gleichzeitig eingelesene Daten auf benachbarte Spalten schalten kann. Dadurch entfällt ein aufwendiges Umsortieren der erzeugten Layoutdaten, da die Raster- und Kompressionsalgorithmen, die in der Mikrolithographie zur Berechnung der Pixeldaten verwendet werden, Daten lokal benachbarter Pixel gleichzeitig verarbeiten.

6.1.2 Die Zeilenadressierung

Die Zeilenadressierung ist ebenfalls modular aufgebaut, um verschiedene Matrixkonfigurationen zu ermöglichen. Abbildung 6.4 zeigt den Aufbau als Schieberegister. Da der Lichtmodulator immer in einem kompletten Zyklus adressiert wird, ist die Zeilenansteuerung über ein Schieberegister sinnvoll, bei dem sukzessive Zeile für Zeile

aktiviert wird. Aufgrund der variablen Länge des Schieberegisters ist mit demselben Schaltungskonzept eine beliebige Anzahl von Zeilen realisierbar.

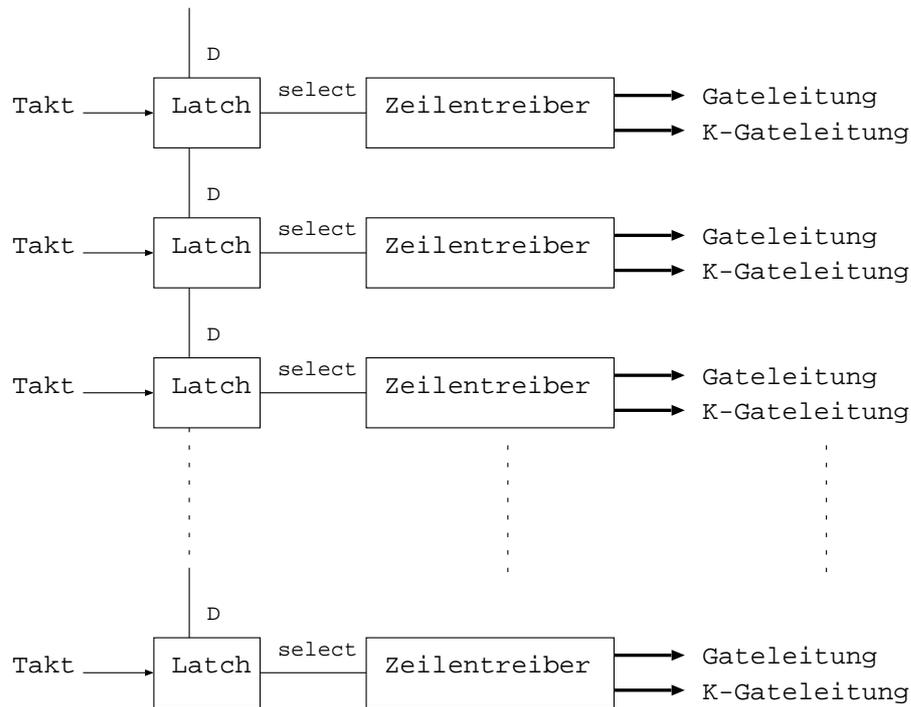


Abbildung 6.4: Blockschaltbild des Zeilenschieberegisters

Ähnlich wie die Spaltentreiber ist auch die Zeilenadressierlogik in einen 5 V Digitalteil und in einen Hochvoltteil unterteilt. Wie in Abbildung 6.5 zu erkennen ist, dient auch hier ein Pegelwandler zur Erzeugung der Auswahlsignale für die CMOS-Transmissionsgates, die die vorgegebenen Pegel auf die Zeilen- und Kompensationsleitungen schalten. Die entsprechenden analogen Pegel werden aufgrund der größeren Flexibilität extern erzeugt und dem Lichtmodulator zugeführt.

6.1.3 Die Steuereinheit

Die Steuereinheit (Abbildung 6.6) besitzt ein Interface mit mehreren Steuerein- und -ausgängen. Diese dienen dazu, den Adressierzyklus mit der Umgebung zu synchronisieren. Außerdem stehen Signale zur Verfügung, die bestimmte Testmodi aktivieren. Die Steuereinheit stellt die Taktsignale für die Spaltentreiber zur Verfügung, die die oben beschriebenen Schieberegister und Latches ansteuern. Die Steuereinheit ist in der Lage mehrere parallel angeordnete Spaltenblöcke zu versorgen, um auch größere Pixelkonfigurationen realisieren zu können.

Sämtliche benötigten Takte für das Zeilenschieberegister und die Datendecodierung werden aus dem extern zugeführten zentralen Takt durch entsprechende Teiler

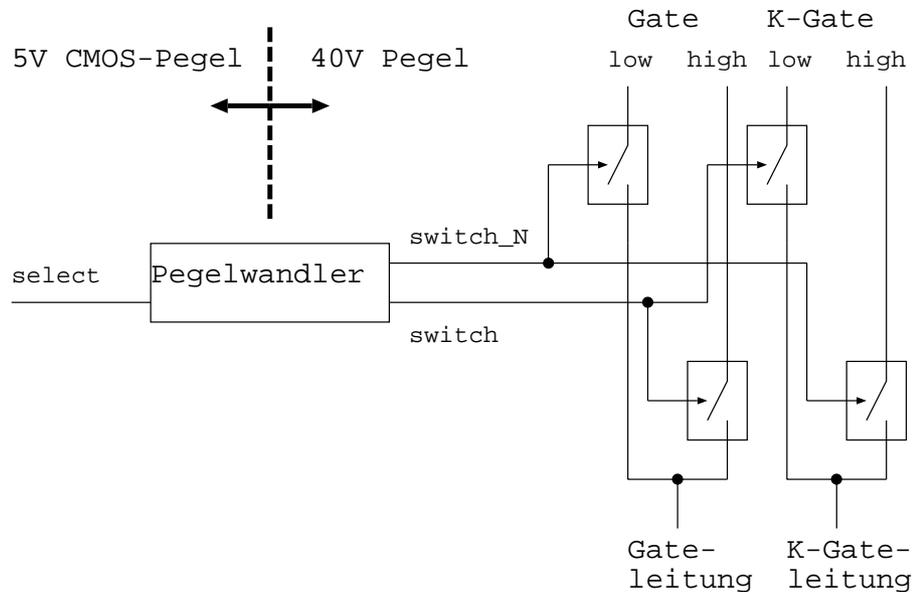


Abbildung 6.5: Blockschaltbild des Zeilentreibers

abgeleitet. Die Ansteuerung des Spaltendemultiplexers geschieht über einen 5-bit-Zähler, der nacheinander alle 32 Spalten eines Blockes adressiert. Der Logikblock gibt bei einer Adressieranforderung (durch das externe Signal ADRESSIER ausgelöst) die Takte für den Dateneingang und den Multiplexer der angeschlossenen Spaltenblöcke und den Takt für das Zeilenschieberegister frei. Wird durch den Ausgang des Zeilenregisters das Ende eines Adressierzyklusses angezeigt, so werden die Takte wieder abgeschaltet und der 5-bit-Zähler zurückgesetzt. Erst durch ein erneutes Setzen des ADRESSIER-Signals wird der nächste Adressierzyklus ausgelöst. Der Ausgang SYNC dient der Datensynchronisation zeigt die Übernahme der aktuellen Bits an den Dateneingängen an. Mit dem RESET-Signal wird die Steuereinheit und die angeschlossenen Spalten- und Zeilenblöcke in einen definierten Zustand zurückgesetzt.

6.2 Bestimmung der maximalen Adressiergeschwindigkeit

Die Zeit, die zum Adressieren der gesamten Matrix benötigt wird, wird im Wesentlichen von 2 Faktoren beeinflusst:

1. Die zur Adressierung einer kompletten Matrix notwendigen Daten müssen extern zur Verfügung gestellt werden und über das Dateninterface eingelesen werden. Beispielsweise für eine 256×256 Pixel große Matrix und einer Auflösung von 4 Bit pro Bildpunkt ist eine Datenmenge von $4 \times 256 \times 256 \text{ Bit} = 32 \text{ kByte}$ bereitzustellen. Bei einer Bildwiederholrate von 1 kHz ergibt sich dadurch eine kontinuierliche Datenrate von mindestens 32 MByte/s .

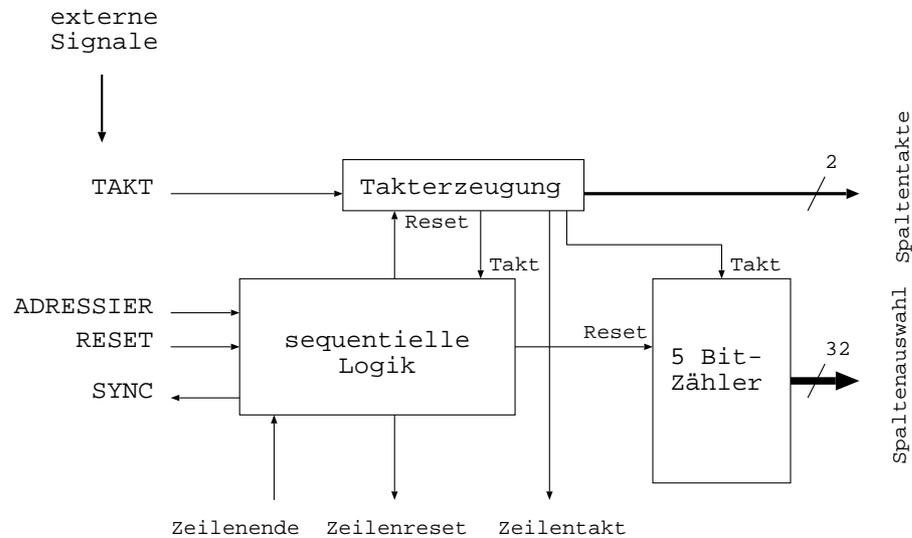


Abbildung 6.6: Blockschaltbild der Steuereinheit

2. Während des Adressierzyklusses müssen die Spalten- und Zeilenleitungen des Lichtmodulators mehrfach umgeladen werden. Die Zeitkonstante dieser bei großen Matrizen sehr langen Leitungen wirkt begrenzend auf die maximal mögliche Wiederholrate.

Da der erste Faktor hauptsächlich von der externen Beschaltung und von der zur Verfügung stehenden Datenquelle abhängt, wird im folgenden der zweite Faktor näher betrachtet, da er beim Entwurf des Schaltkreises berücksichtigt werden muss.

Für die gesamte Adressierzeit gilt:

$$T_{Adr} = T_{Zei} \cdot N_{Zei} . \quad (6.1)$$

Hierbei bezeichnet T_{Adr} die gesamte Adressierzeit, T_{Zei} die Zeit, die zum Adressieren einer Zeile benötigt wird und N_{Zei} die Anzahl der Zeilen. T_{Zei} wird zum einen durch die RC -Konstante der Zeilenauswahlleitung begrenzt, zum anderen durch die Zeit, die notwendig ist, um alle Spaltenleitungen auf den einzuschreibenden Spannungswert aufzuladen (Im folgenden als T_{Sp} bezeichnet).

$$T_{Zei} = 2,2 \cdot (N_{sp,mux} \cdot \tau_{Sp} + \tau_{Zei}) \quad (6.2)$$

Der Faktor 2,2 ergibt sich für eine Schaltzeit von 10 % bis 90 % des elektrischen Schaltpegels. τ_{Zei} und τ_{Sp} bezeichnen jeweils die Zeitkonstanten, die sich beim Umladen der Zeilen- und Spaltenleitungen ergeben, und $N_{sp,mux}$ den Spaltendemultiplexfaktor, also wieviele Spalten nacheinander umgeladen werden müssen. Voraussetzung für die Gültigkeit von (6.2) ist die Tatsache, dass während des Aufladens der Spaltenleitung die Zeile bereits aktiviert ist und daher nur noch eine Abschaltflanke berücksichtigt werden muss. Dies wird dadurch realisiert, dass beim Adressieren einer Zeile, die nachfolgende bereits aktiviert wird.

Die in dieser Arbeit behandelten aktiven Lichtmodulatoren verfügen über sehr niederohmige Spaltenleitungen, die in einer Metallebene realisiert werden, und über relativ hochohmige Zeilenleitungen, die als Polysiliziumleitung ausgeführt sind. Aus diesem Grund ist der elektrische Widerstand der Spaltenleitungen gegenüber dem Innenwiderstand der aufladenden Spannungsquelle zu vernachlässigen:

$$\tau_{Sp} = R_S \cdot N_{Zei} \cdot C_{Sp,pix} . \quad (6.3)$$

Abbildung 6.7 zeigt das vereinfachte Ersatzschaltbild des Spaltentreibers. U_{ADR} und R_Q stellt die Spannungsquelle mit Innenwiderstand dar, die die externe analoge Adressierspannung bereit stellt (siehe Kapitel 6.1.1). Die Widerstände des Digital-Analog-Umsetzers und des Spaltendemultiplexers werden durch R_{DAU} und R_{Demux} repräsentiert. Wie bereits erläutert werden die beiden letztgenannten Funktionsblöcke mit Hilfe von Transmissiongates realisiert. Transmissiongates, die aus einem CMOS-Transistorpaar bestehen, zeichnen sich durch einen konstanten „ON“-Widerstand über den gesamten Spannungsbereich der Ansteuerspannung aus. Aus diesem Grund ist die Modellierung durch einen ohmschen Widerstand in Abbildung 6.7 zulässig. Für den Widerstand R_S aus (6.3) gilt:

$$R_S = R_Q + R_{DAU} + R_{Demux} \approx R_{DAU} + R_{Demux} . \quad (6.4)$$

In der Regel ist der Innenwiderstand R_Q der verwendeten Spannungsquelle sehr klein im Verhältnis zu den Widerständen innerhalb des Schaltkreises, so dass die Näherung in (6.4) sinnvoll ist.

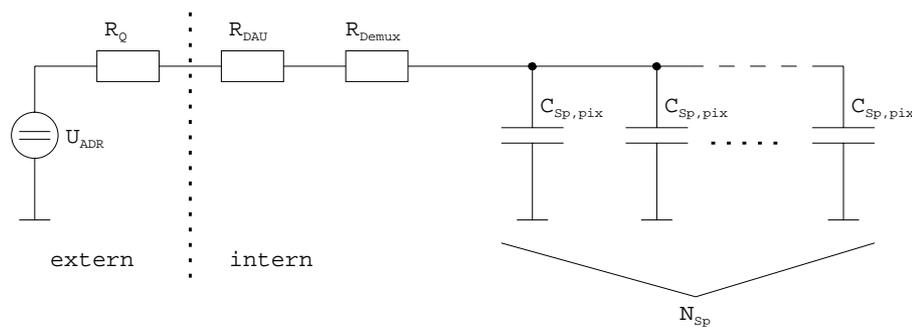


Abbildung 6.7: Vereinfachtes Ersatzschaltbild des Spaltentreibers

Wie in Kapitel 3.3.1 bereits gezeigt, gilt für die Zeitkonstante einer Zeilenauswahlleitung folgender Zusammenhang:

$$\tau_{Zei} = R_{Zei} C_{Zei} \frac{N_{Sp} (N_{Sp} - 1)}{2} . \quad (6.5)$$

Um bei großen Pixelkonfigurationen die resultierenden Zeitverzögerungen, die durch die langen Zuleitungen innerhalb des aktiven Matrixgebietes entstehen, zu

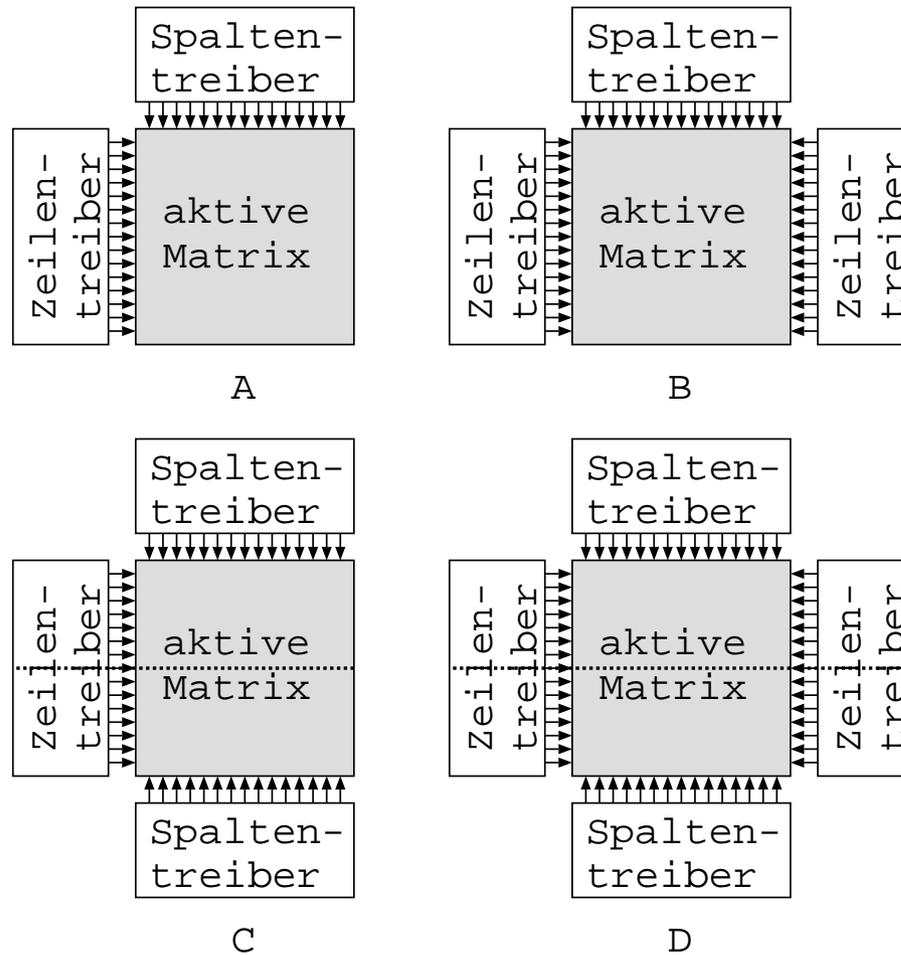


Abbildung 6.8: Mögliche Treiberkonfigurationen der aktiven Matrixansteuerung

vermindern, werden die Zeilen- und Spaltentreiber mehrfach um das Pixelgebiet herum angeordnet. Abbildung 6.8 zeigt mögliche Kombinationen der Treiberanordnung.

Typ A stellt den einfachsten Fall dar, wie er auch im Blockschaltbild 6.1 gezeigt worden ist. An jede Spalte und Zeile ist jeweils ein Spalten- bzw. Zeilentreiber angeschlossen. Wie aus (6.5) zu erkennen ist, hängt die Zeitkonstante τ_{Zei} quadratisch von der Anzahl der Bildelemente jeder Zeile ab. Bei einer hohen Spaltenanzahl ist daher diese Zeitkonstante begrenzend für die maximale Bildwiederholrate. Werden die Zeilenleitungen von beiden Seiten mit separaten Treibern versehen, so halbiert sich die Anzahl der Spalten pro Treiber und damit reduziert sich die Zeitkonstante der Zeilenleitungen um den Faktor 4 (Typ B).

$$\tau'_{Zei} = R_{Zei} C_{Zei} \frac{N_{Sp} (N_{Sp} - 1)}{8} \quad (6.6)$$

Werden die beiden Zeilentreiberblöcke synchron betrieben, so ist keine Auftrennung der Zeilenleitungen notwendig und die Zeilentreiber sind redundant vorhanden. Bei Ausfall eines Treibers ist ein Betrieb bei verminderter Bildwiederholrate weiterhin möglich.

Stellt das Dateninterface die Begrenzung der maximalen Bildwiederholrate dar, so lässt sich diese durch die Konfiguration C verdoppeln. Dieses ist meist bei Lichtmodulatoren mit einer hohen Spaltenanzahl und einer hohen Graustufenauflösung der Fall. Bei Vorhandensein zweier unabhängiger Spaltentreiber samt Dateninterface (siehe Abbildung 6.2) können während einer Zeilenzeit T_{Zei} zwei Zeilen gleichzeitig beschrieben werden. Hierbei ist allerdings eine Durchtrennung der Spaltenleitungen notwendig, die in Abbildung 6.8 durch eine gepunktete Linie angedeutet ist. Das bedeutet, dass sich für die Zeitkonstante der Spaltenleitung folgender Zusammenhang ergibt:

$$\tau'_{Sp} = R_S \cdot \frac{N_{Zei}}{2} \cdot C_{Sp,pix} . \quad (6.7)$$

Für die resultierende Adressierzeit gilt in diesem Fall:

$$T'_{Adr} = T_{Zei} \cdot \frac{N_{Zei}}{2} . \quad (6.8)$$

Die Treiberkonfiguration D ist eine Kombination von B und C und stellt die Variante mit der maximal möglichen Bildwiederholrate dar.

Eine weitere Einschränkung der maximal möglichen Bildwiederholrate kann in einer zu hohen Verlustleistung während des Adressierzyklusses liegen. Eine zu starke Erwärmung der aktiven Matrix kann zu einer Veränderung der mechanischen Eigenschaften der mikromechanischen Spiegel oder sogar zu deren Zerstörung führen (siehe Kapitel 5.5.1, 5.5.2 und 5.5.3).

Für integrierte CMOS-Schaltkreise, die rein kapazitive Belastungen enthalten, gilt folgende Näherungsformel für die erzeugte Verlustleistung [53]:

$$P_{Verlust} = C_{gesamt} \cdot \frac{U^2}{T_{Periode}} . \quad (6.9)$$

Hierbei ist C_{gesamt} die Summe aller Kapazitäten, die umgeladen werden müssen, U der Spannungshub, um den die Kapazitäten umgeladen werden und $T_{Periode}$ das Zeitintervall, in dem die Umladung stattfindet. Die Verlustleistung während eines Adressierzyklusses setzt sich wie folgt zusammen:

$$P_{Verlust} = P_{V,Zei} + P_{V,Sp} + P_{V,Logik} . \quad (6.10)$$

Hierbei bezeichnet $P_{V,Zei}$ die Verlustleistung, die bei der Zeilenadressierung entsteht, $P_{V,Sp}$ die durch das Umladen der Spaltenleitungen verursacht wird und $P_{V,Logik}$ die Verlustleistung, die in der Steuerlogik des Lichtmodulators entsteht.

Das Schaltverhalten der Zeilenleitungen und ggf. der Kompensationsleitungen ist bereits in Kapitel 3 ausführlich behandelt worden. Für die Verlustleistung ergibt sich daraus:

$$P_{V,Zei} = N_{Sp} \cdot C_{Gate} \cdot \frac{U_{High}^2}{T_{Zei}} + N_{Sp} \cdot C_{KGate} \cdot \frac{U_{KG,High}^2}{T_{Zei}}. \quad (6.11)$$

Analog dazu gilt für das Umladen der Spaltenleitungen bei einer maximalen Spannungsänderung U_{Adr} :

$$P_{V,Sp} = N_{Zei} \cdot C_{Sp} \cdot \frac{U_{Adr}^2}{T_{Sp}}, \quad (6.12)$$

wobei für T_{Sp} folgender Zusammenhang gilt:

$$T_{Sp} = 2, 2 \cdot \tau_{Sp}. \quad (6.13)$$

Die zusätzliche Verlustleistung $P_{V,Logik}$ ist in der Regel gegenüber den Leistungen $P_{V,Zei}$ und $P_{V,Sp}$ vernachlässigbar, da der Spannungspegel in die Rechnung quadratisch eingeht und die Steuerlogik mit einem Pegel von $U_{Logik} = 5V$ betrieben wird, im Gegensatz zu dem aktiven Pixelgebiet, in dem Spannungen im Bereich von $30 \dots 40V$ geschaltet werden.

$$P_{V,Logik} = C_{Logik,ges} \cdot \frac{U_{Logik}^2}{T_{Takt}}. \quad (6.14)$$

T_{Takt} ist die Periode der zentralen Taktfrequenz und $C_{Logik,ges}$ die Summe aller Kapazitäten des Steuerblockes.

Die maximal zulässige Verlustleistung wird durch den Einbau des Modulators in die restliche Systemumgebung begrenzt. So muss ein Lichtmodulator mit VCL-Technologie auf jeden Fall auf Raumtemperatur gehalten werden, um eine Zerstörung des Aktors zu verhindern. Eine übermäßige Erwärmung des Systems ist auch aus optischen Gründen nicht wünschenswert. Im Falle einer hohen Verlustleistung, muss der Lichtmodulator passiv und im Extremfall, wie bei der VCL-Technologie sogar aktiv gekühlt werden. Ist eine Kühlung aufgrund der Systemumgebung nicht möglich, so ist die Verlustleistung während des Betriebes zu minimieren, was eine Herabsetzung der maximal möglichen Bildwiederholrate erforderlich macht.

Tabelle 6.1 zeigt die Zeitkonstanten, Adressierzeiten und die Verlustleistungen einiger ausgewählter Pixelkonfigurationen, die im Rahmen dieser Arbeit untersucht worden sind. Die Tabelle berücksichtigt die schnellstmögliche Adressierzeit für eine Ansteuerkonfiguration D nach Abbildung 6.8. Für die elektrischen Größen wie Widerstände und Kapazitäten sind Werte angenommen worden, wie sie für eine aktive Matrix mit $16 \times 16 \mu m^2$ großen Bildelementen typisch sind (siehe Tabelle 6.2). Dem Dateninterface liegt ein Demultiplexfaktor $N_{Sp,mux} = 16$ zugrunde.

Die Pixelkonfigurationen wurden so gewählt, dass alle aktiven Matrizen eine identische optisch aktive Fläche besitzen und sich nur in ihrem Längen- und Breitenverhältnis unterscheiden. Wie aus Tabelle 6.1 zu erkennen ist, ergibt sich hinsichtlich der maximal möglichen Bildrate eine optimale Konfiguration. Diese optimale

Matrixgröße		Zeitkonstanten		Zeilenzeit	Adressierzeit	Verlustleist. ^a
N_{Sp}	N_{Zei}	τ_{Sp}	τ_{Zei}	T_{Zei}	T_{Adr}	$P_{Verlust}$
192	2048	20,48 ns	6,876 ns	736,02 ns	753,68 μs	148,8 mW
256	1600	16 ns	12,24 ns	590,128 ns	472,1 μs	153,6 mW
320	1250	12,5 ns	19,14 ns	482,11 ns	301,32 μs	159 mW
720	560	5,6 ns	97,07 ns	410,67 ns	114,99 μs	151 mW
800	500	5 ns	119,85 ns	439,67 ns	109,92 μs	143 mW
1024	400	4 ns	196,42 ns	572,92 ns	114,58 μs	120 mW
1600	256	2,56 ns	479,7 ns	1,145 μs	146,56 μs	78,1 mW
2048	192	1,92 ns	786,05 ns	1,797 μs	172,51 μs	59,9 mW

Tabelle 6.1: Adressierzeiten und Verlustleistungen für ausgewählte aktive Matrizen mit $16 \times 16 \mu m^2$ großen Bildelementen und einer optisch aktiven Fläche von ca. $100 mm^2$

^aZur Abschätzung der Verlustleistung wurde vereinfachend eine identische Gate- und Kompensationsgateleitung angenommen $C_{Gate} = C_{KGate} = C_{Zei}$. Der Einfluss der Steuerlogik auf die gesamte Verlustleistung ist vernachlässigbar.

Symbol	Wert	Erläuterung
R_{Zei}	100 Ω	Widerstand der Zeilenleitung innerhalb einer Matrixzelle
C_{Zei}	15 fF	Kapazität der Zeilenleitung innerhalb einer Matrixzelle
R_S	1 k Ω	Innenwiderstand der Spaltentreiber
C_{Sp}	20 fF	Kapazität der Spaltenleitung innerhalb einer Matrixzelle
U_{Adr}	35 V	maximale Ansteuerspannung
U_{High}	40 V	Schaltspannung der Zeilenauswahl

Tabelle 6.2: Parameter, die in Tabelle 6.1 verwendet worden sind

Konfiguration ist durch die Eigenschaften der Zeilen- und Spaltentreiber sowie der angeschlossenen Matrixleitungen gegeben. Die Werte in Tabelle 6.2 ergeben sich für eine Pixelgröße von $16 \mu m \times 16 \mu m$. Diese Maße begrenzen auch den zur Verfügung stehenden Platz für die Spalten- und Zeilenleitungen und sind somit bestimmend für die Leitungskapazitäten und -widerstände. Das Layout der verwendeten Pixelzelle ist in Anhang B.2 dargestellt.

Eine weitere Randbedingung für die mögliche Adressierzeit stellt die Anzahl der zur Verfügung stehenden Datenleitungen dar, die im allgemeinen durch die zur Verfügung stehende Aufbautechnik und die Datenquelle selber begrenzt wird. Für die Konfiguration D (siehe Abbildung 6.8) gilt für die benötigten Dateneingänge der Zusammenhang (6.15).

$$N_{Data} = 2 \cdot \frac{N_{Sp}}{N_{Sp,mux}} \quad (6.15)$$

Bei einem Demux-Faktor von $N_{Sp,mux} = 16$ ergibt sich beispielsweise für eine Matrix mit 2048 Spalten ein Dateninterface mit 256 digitalen Dateneingängen. Dies

stellt hohe Anforderungen an das zu verwendende Chipgehäuse und an den Entwurf der gesamten Systemumgebung. Eine Verringerung der Dateneingänge ist in diesem Fall durch eine Erhöhung des Multiplexfaktors in dem Spaltendemultiplexer möglich, wodurch sich jedoch ebenfalls eine geringere Bildrate ergibt, die anhand der oben angeführten Zusammenhänge berechnet werden kann: (6.2), (6.6), (6.7) und (6.8).

6.3 Abschätzung der Adressiergenauigkeit

Ausgehend von den theoretischen Betrachtungen in den Kapiteln 3 und 4 wird in diesem Kapitel die Ansteuergenauigkeit eines aktiv adressierten Mikrospiegelarrays abgeschätzt.

In Kapitel 3.2 wurde das elektrische Verhalten einer analogen Speicherzelle wie sie zur Ansteuerung der Mikrospiegel verwendet wird, untersucht. Abbildung 6.9 zeigt das Schaltbild einer solchen Zelle inklusive der parasitären Kapazitäten.

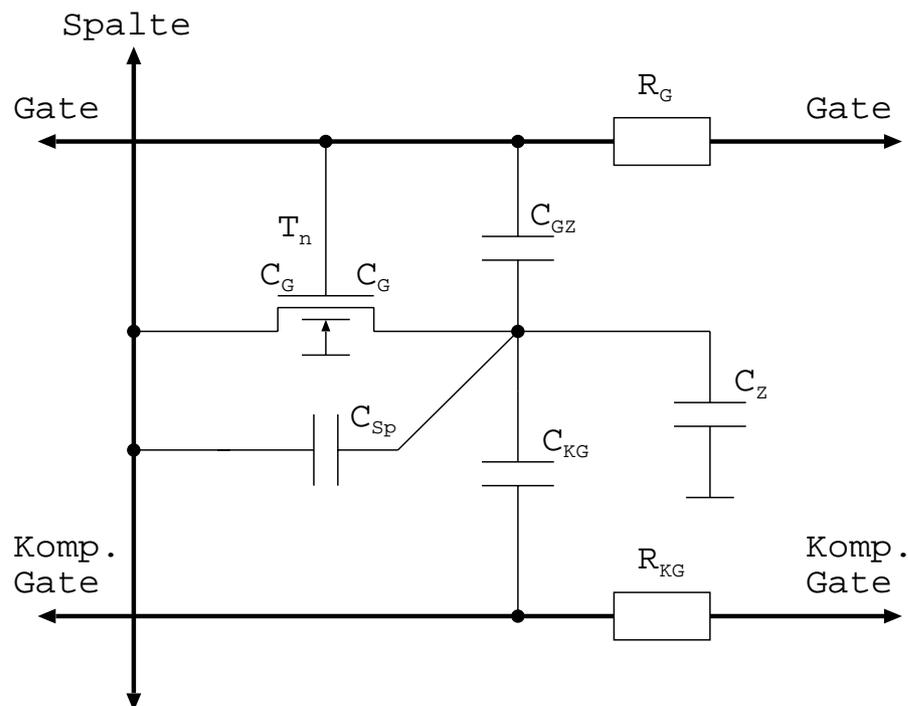


Abbildung 6.9: Schaltplan der Pixelzelle mit parasitären Elementen

Tabelle 6.3 zeigt die Kapazitäts- und Widerstandswerte für Pixelzellen mit den Größen $16 \mu\text{m} \times 16 \mu\text{m}$, $17 \mu\text{m} \times 17 \mu\text{m}$ und $20 \mu\text{m} \times 20 \mu\text{m}$. Diese Werte sind durch Extraktion aus dem Layout (siehe Kapitel B.2) der jeweiligen Speicherzelle gewonnen worden. Zum Einsatz kam das Programm DIVA innerhalb des Cadence Design-Systems. Die Werte für die Flächen- und Randkapazitäten sowie die spezifischen Widerstände der Leitungen sind Kennwerte der CMOS-Technologie und werden anhand von speziellen Teststrukturen gewonnen. Bei diesen kleinen Pixelzellen wird

die Speicherkapazität C_Z durch das Drain-Gebiet des Auswahltransistors gebildet. Die Koppelkapazitäten entstehen durch Überlappungen der jeweiligen Leitungen. Die parasitären Kapazitäten des Auswahltransistors (C_{gd} , C_{ds} und C_{db}) sind bereits in den Werten der Koppelkapazitäten in Tabelle 6.3 enthalten.

Pixelgröße	Zellkap.	Koppelkapazitäten			Leitungswiderst.	
	C_Z	C_G	C_{KG}	C_{Sp}	R_G	R_{KG}
$16 \times 16 \mu\text{m}^2$	2,34 fF	2,003 fF	7,343 fF	2,518 fF	96,82 Ω	100,08 Ω
$17 \times 17 \mu\text{m}^2$	2,801 fF	2,054 fF	8,625 fF	2,777 fF	72,82 Ω	95,32 Ω
$20 \times 20 \mu\text{m}^2$	3,329 fF	2,873 fF	17,35 fF	5,961 fF	102,72 Ω	56,13 Ω

Tabelle 6.3: Tabelle mit den extrahierten Kapazitäts- und Widerstandswerten ausgesuchter Pixelzellen

Aus den Werten von Tabelle 6.3 kann der verbleibende Adressierfehler bestimmt werden, der sich aufgrund der parasitären Koppelkapazitäten und der Signallaufzeiten ergibt (siehe (3.23)). Abbildung 6.10 zeigt den resultierenden Fehler in der Ansteuerspannung für die Pixelzellen aus Tabelle 6.3.

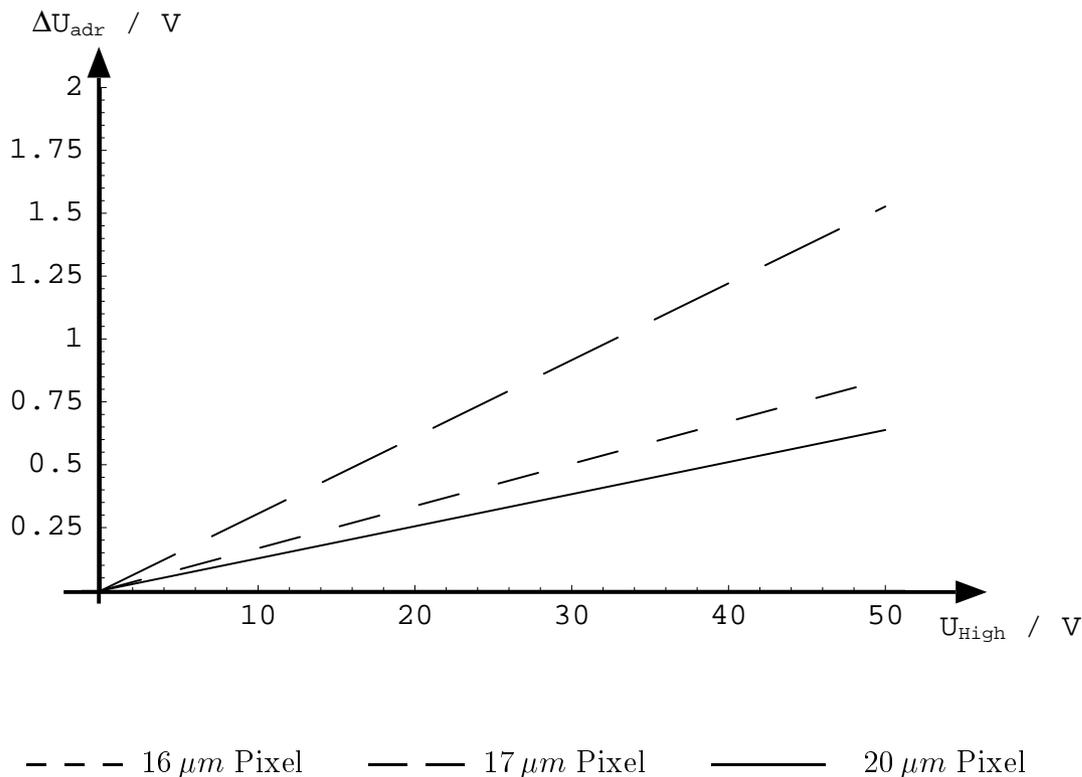


Abbildung 6.10: Graph mit dem verbleibenden Spannungsfehler bei Kompensation mit Hilfe einer einfachen Kapazität

Wie in Abbildung 6.10 zu erkennen ist, steigt der Spannungsfehler in der Speicherzelle mit zunehmender Schaltspannung U_{High} und somit mit steigender Adressierspannung der Spiegelemente. Aufgrund der Transistorschwellenspannung ist beispielsweise für eine Adressierspannung von $32V$ eine Schaltspannung auf der Gateleitung von $U_{High} = 40V$ notwendig.

Der oben dargestellte Spannungsfehler entsteht durch die nicht angepassten Zeitkonstanten der Gate- und Kompensationsgateleitungen (siehe Kapitel 3.3). In Abbildung 6.10 sind die Spannungsfehler der Pixelzellen aus Tabelle 6.3 dargestellt. Anhand der Steigung der Graphen lässt sich erkennen, dass die $20\mu m$ große Zelle (durchgezogene Linie) die Zeilenleitungen mit der besten Anpassung besitzt, während sich bei der kleineren $17\mu m$ Zelle (oberste gestrichelte Linie) ein schlechteres Verhalten ergibt. Die $16\mu m$ Zelle ist wiederum speziell auf angepasste Zeitkonstanten optimiert und zeigt daher einen etwas geringeren Adressierfehler (untere gestrichelte Linie). Dieser Spannungsfehler ist zunächst konstant über dem gesamten Bildfeld und lässt sich durch ein optisches Auslesen der Spiegelauslenkung und anschließendes Kalibrieren mit Hilfe der Kompensationsspannung verringern.

Wie bereits in Kapitel 3.3.2 erläutert, bewirken technologische Schwankungen auch eine Schwankung des Adressierfehlers, der eine erfolgreiche Kalibrierung des gesamten Bildfeldes einschränkt. Die folgenden Graphen zeigen die Streuung des Adressierfehlers in Abhängigkeit der technologischen Streuungen der Oxiddicke σ_{dox} und der Kantenverschiebungen σ_b bzw. $\sigma_{b'}$.

Wird nur die Streuung der Oxiddicke von Transistorgate und Kapazität betrachtet, so ergibt sich eine Spannungsstreuung wie sie in Abbildung 6.11 dargestellt ist. Deutlich ist zu sehen, dass die $16\mu m$ große Zelle aufgrund der kleinsten absoluten Kapazitätswerten die höchste Empfindlichkeit gegenüber Streuungen der Oxiddicke besitzt. Der Unterschied, der sich bei den $17\mu m$ und $20\mu m$ großen Zellen ergibt, lässt sich durch das ungleichere Verhältnis $\frac{C_{GS}}{C_{KG}}$ erklären¹⁷. Ein Kapazitätsverhältnis $\ll 1$ bewirkt ebenfalls eine höhere Empfindlichkeit des Kompensationsmechanismus gegenüber absoluten Kapazitätsschwankungen.

In Abbildung 6.12 ist die Streuung der Adressierspannung in Abhängigkeit von der 2-dimensionalen Kantenverschiebung σ_b und in Abbildung 6.13 von der 1-dimensionalen Kantenverschiebung $\sigma_{b'}$ dargestellt. Die 2-dimensionale Kantenverschiebung bedeutet eine Streuung der absoluten Widerstands- und Kapazitätswerte, so dass die Adressierspannung mit sinkender Zellgröße stärker streut. Die relative Streuung nimmt mit abnehmenden Kapazitäts- und Widerstandswerten der Zeilenleitungen und Kapazitäten innerhalb der Pixelzelle zu. Die Streuung durch die 1-dimensionale Kantenverschiebung ist sehr stark von der Geometrie der einzelnen Layoutebenen abhängig, so dass eine generelle Abhängigkeit von der Zellgröße nicht zu erkennen ist. Die Streuung kann durch bestimmte Layoutrichtlinien verringert werden, die jedoch insbesondere bei den hier vorliegenden Speicherzelle aufgrund der eingeschränkten Größe häufig nicht angewendet werden können [61].

¹⁷ $17\mu m \rightarrow \frac{C_{GS}}{C_{KG}} = 0,32$ und $20\mu m \rightarrow \frac{C_{GS}}{C_{KG}} = 0,17$ (siehe Tabelle 6.3)

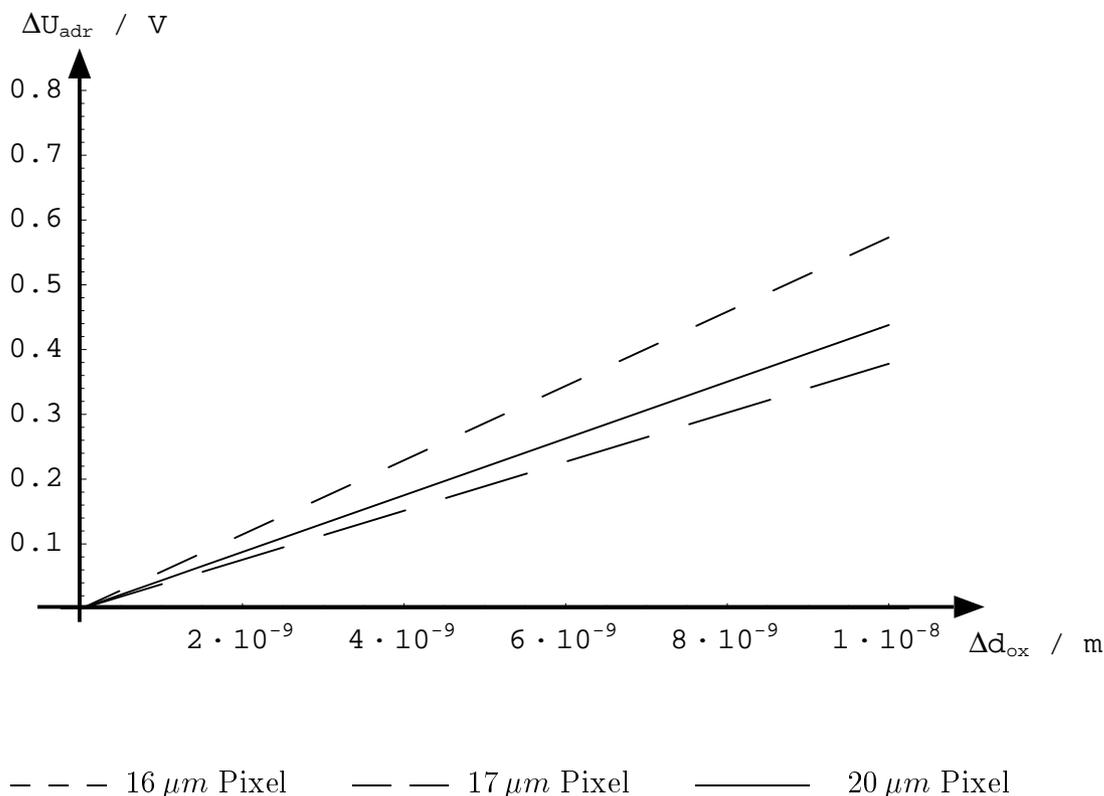


Abbildung 6.11: Graph des Spannungsfehlers in Abhängigkeit von der Gateoxidicke $\sigma_{d_{ox}}$

Standardabweichung	$3 \sigma_{d_{ox}}$	$3 \sigma_b$	$3 \sigma_{b'}$	$3 \sigma_{\rho_{poly}}$
Technologiewert	5 nm	80 nm	200 nm	1,5 Ω

Tabelle 6.4: Standardabweichungen der technologischen Streuungen .

Der Einfluss der Schwankung des spezifischen Widerstandes der Polysilizium-Leitungen kompensiert sich aufgrund des Kompensationsmechanismus, wie bereits in Kapitel 3.3.2 in (3.55) beschrieben.

Die verwendete Technologie ist hinsichtlich der oben angeführten Parameter untersucht worden. Als Ergebnis liegen die Streuungen der Oxidicke $\sigma_{d_{ox}}$ und der Kantenverschiebungen σ_b und $\sigma_{b'}$ vor. Tabelle 6.4 zeigt die Werte für die dreifache Standardabweichung 3σ der verwendeten Technologie. Aus diesen Werten ergibt sich für die betrachteten Pixelzellen ein resultierender Adressierfehler, wie er in Tabelle 6.5 dargestellt ist. Die aufgeführten Spannungswerte beschreiben die Streuung der in die Speicherzellen eingeschriebenen elektrischen Spannungen über das gesamte Bildfeld. Der Abschätzung liegen die technologischen Streuungen aus Tabelle 6.4 zugrunde.

Der gesamte Fehler aus Tabelle 6.5 wird durch quadratische Addition der Einzel-

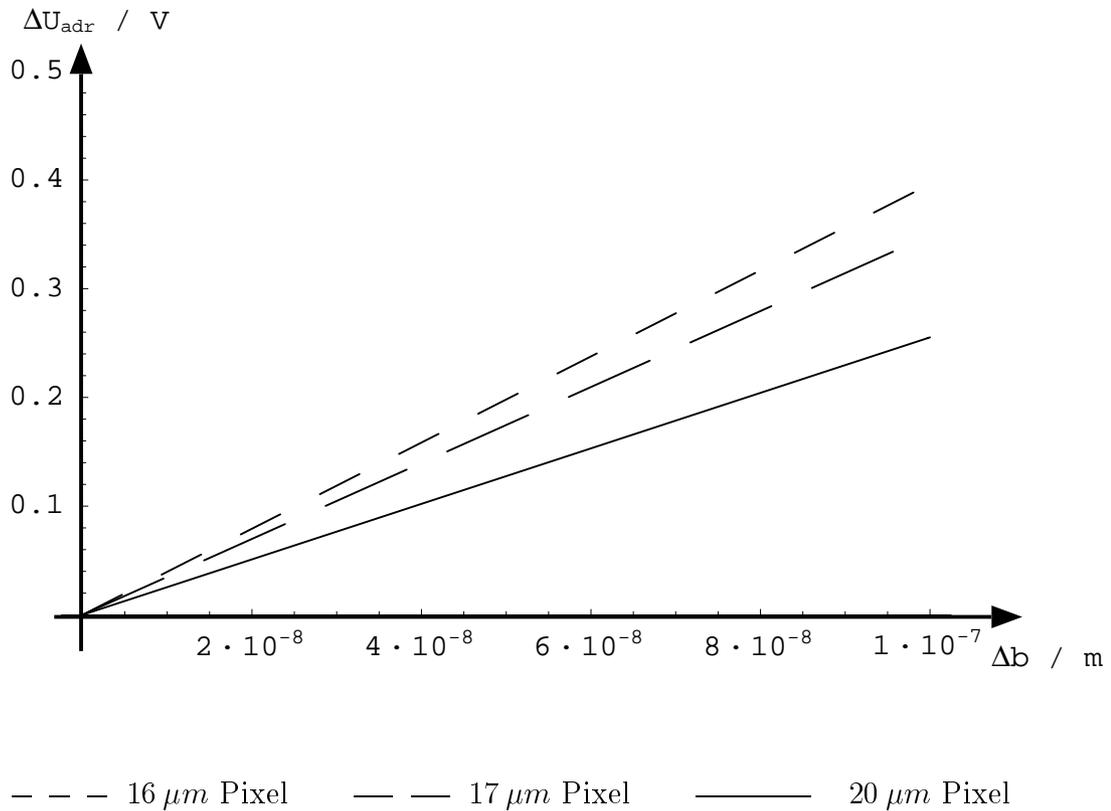


Abbildung 6.12: Graph des Spannungsfehlers in Abhängigkeit von der Kantenverschiebung σ_b

Pixelgröße	16 $\mu\text{m} \times 16 \mu\text{m}$	17 $\mu\text{m} \times 17 \mu\text{m}$	20 $\mu\text{m} \times 20 \mu\text{m}$
$3 \sigma_{U_{adr}}$	0,76 V	0,53 V	0,54 V

Tabelle 6.5: Standardabweichung der Adressierspannung bei den technologischen Streuungen aus Tabelle 6.5

fehler, verursacht durch Oxiddickenschwankung und Kantenverschiebung, gebildet.

Wie in Kapitel 4 gezeigt, ist die Speicherzeit abhängig von den herrschenden Leckströmen und der zur Verfügung stehenden Speicherkapazität. Die resultierende Speicherkapazität ergibt sich aus der Summe der Zellkapazität C_Z und den Koppelkapazitäten C_G , C_{KG} und C_{Sp} . In Tabelle 6.6 sind die herrschenden Kapazitäten für die realisierten Pixelzellen aufgeführt.

Um die auftretenden Leckströme abzuschätzen, wird der Flächenanteil pro Pixelelement berechnet, der nicht durch eine vorhandene Abschirmung der Verdrahtungsebenen geschützt ist. Dies entspricht genau den Flächen, in denen das einfallende Licht ungehindert bis ins Substrat eindringen kann und dort entsprechende Leckströme verursacht.

In Tabelle 6.7 sind die entsprechenden Flächenverhältnisse von $16 \mu\text{m} \times 16 \mu\text{m}$,

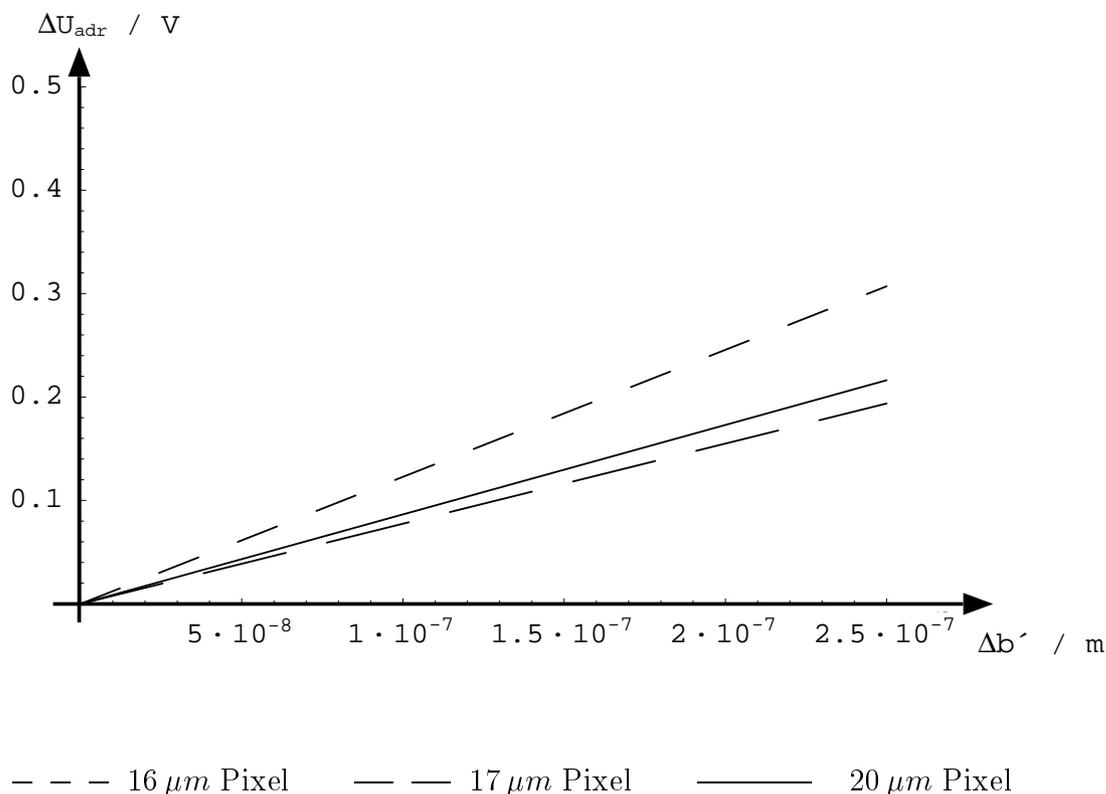


Abbildung 6.13: Graph des Spannungsfehlers in Abhängigkeit von der Kantenverschiebung σ_b

Pixelgröße	16 $\mu m \times 16 \mu m$	17 $\mu m \times 17 \mu m$	20 $\mu m \times 20 \mu m$	24 $\mu m \times 24 \mu m$
C_{Store}	14,204 fF	16,257 fF	29,513 fF	45,06 fF

Tabelle 6.6: Speicherkapazitäten der einzelnen Pixelvarianten

17 $\mu m \times 17 \mu m$, 20 $\mu m \times 20 \mu m$ und 24 $\mu m \times 24 \mu m$ großen Pixelzellen aufgeführt. Die Layouts dieser Zellen sind in Anhang B.2 dargestellt.

Zwar treten an den Rändern der abdeckenden Metallebenen Beugungseffekte auf, die eine Verbreiterung des Lichtes auch jenseits der offenen Flächen verursachen. Zum einen sind diese Beugungseffekte in der Praxis sehr gering und zum anderen werden im folgenden die Strahlungsleistungen betrachtet, die in die entsprechenden Öffnungen eindringen. Die resultierende in das Substrat einfallende Leistung ist jedoch von etwaigen Beugungseffekten unbeeinflusst, da dadurch zwar die geometrische Verteilung der Leistung verändert wird der Betrag jedoch konstant bleibt. Im folgenden wird eine Abschätzung der erreichbaren Speicherzeit für verschiedene Strahlungsleistungen und Pixellayouts durchgeführt.

Wie in Kapitel 4.3 gezeigt, treten die höchsten Leckströme bei der größten Adresserspannung auf. Aus der maximalen Ansteuerspannung und den Dotierungskonzentrationen der Diffusions- und Wannengebiete ergibt sich die maximale Ausdeh-

Pixelgröße	$16 \mu m \times 16 \mu m$	$17 \mu m \times 17 \mu m$	$20 \mu m \times 20 \mu m$	$24 \mu m \times 24 \mu m$
A_{Pixel}	$256 \mu m^2$	$289 \mu m^2$	$400 \mu m^2$	$576 \mu m^2$
A_{offen}	$19,2 \mu m^2$	$22,32 \mu m^2$	$25,92 \mu m^2$	$16 \mu m^2$

Tabelle 6.7: Lichtabschirmung der einzelnen Pixelvarianten

nung der Raumladungszone W_S . Abbildung 6.14 zeigt die Abhängigkeit der Raumladungszone des Drain-Wannen-Überganges von der anliegenden Ansteuerspannung. Die Werte für die Störstellenkonzentrationen N_A und N_D sind der Spezifikation der verwendeten CMOS-Technologie entnommen.

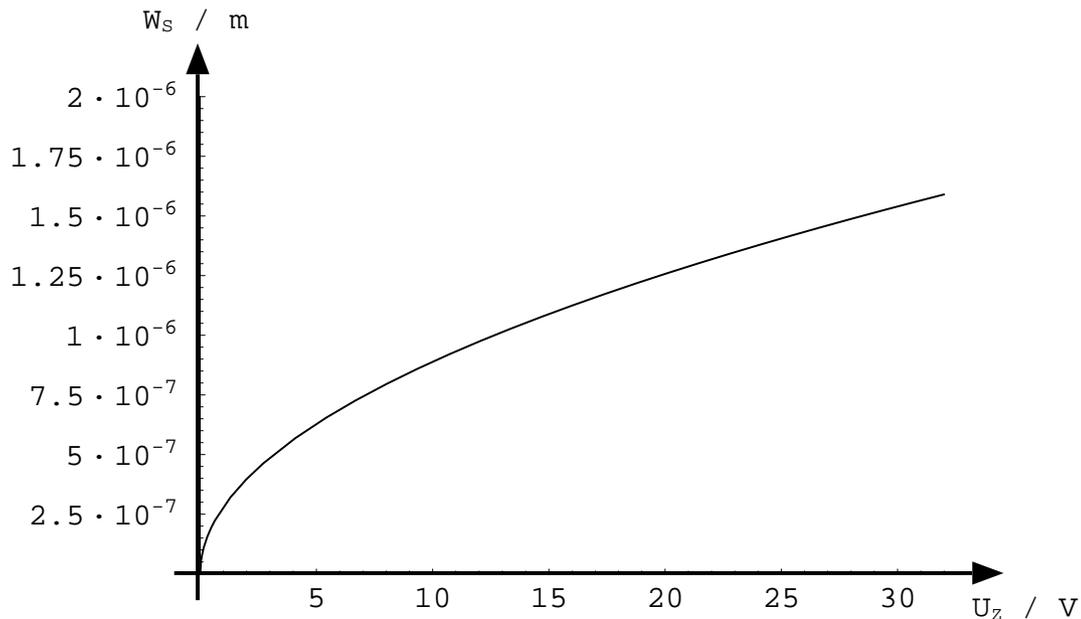


Abbildung 6.14: Graph der Raumladungsausdehnung in Abhängigkeit von der Spannung auf dem Speicherknoten der Pixelzelle für $N_A = 1,4 \cdot 10^{16} cm^{-3}$ und $N_D = 4,9 \cdot 10^{16} cm^{-3}$

Wie zu erkennen ist, beträgt die Breite der Raumladungszone bei maximalen Ansteuerspannungen von $U_z = 32 V$ bis zu $2 \mu m$. Da die Dotierung der Wanne N_A deutlich niedriger ist, als die Dotierung des Drain-Gebietes, dehnt sich die Raumladungszone auch hauptsächlich in Richtung der Wanne aus.

Für die Diffusionslänge L_n der Elektronen in der p-dotierten Wanne ergeben sich Werte von einigen $100 \mu m$. Daraus folgt, dass bei den betrachteten Pixelgrößen sämtliche innerhalb der Pixelzelle erzeugten Ladungsträger zu dem Leckstrom des Speicherknotens beitragen können.

Die optische Leistung $P_{opt,0}$, die letztendlich zum Leckstrom in einer Pixelzelle beiträgt, ergibt sich aus der Bestrahlungsstärke E_{Matrix} und der aktiven Matrixfläche

A_{Matrix} .

$$P_{opt,0} = \frac{A_{Pixel}}{A_{offen}} \cdot \frac{E_{Matrix} A_{Matrix}}{N_{Pixel}} \quad (6.16)$$

Unter der hier zutreffenden Annahme, dass die gesamte auf die Substratoberfläche auftreffende optische Strahlungsleistung $P_{opt,0}$ Ladungsträger erzeugt, ergeben sich maximale Leckströme nach den Zusammenhängen aus Kapitel 4.3. Abbildung 6.15 zeigt die auftretenden Leckströme für die in Tabelle 6.7 beschriebenen Layouts. Es wird dabei eine Bestrahlungsstärke von $E_{Matrix} = 500 \frac{mW}{cm^2}$ bei $\lambda = 250 \text{ nm}$ angenommen.

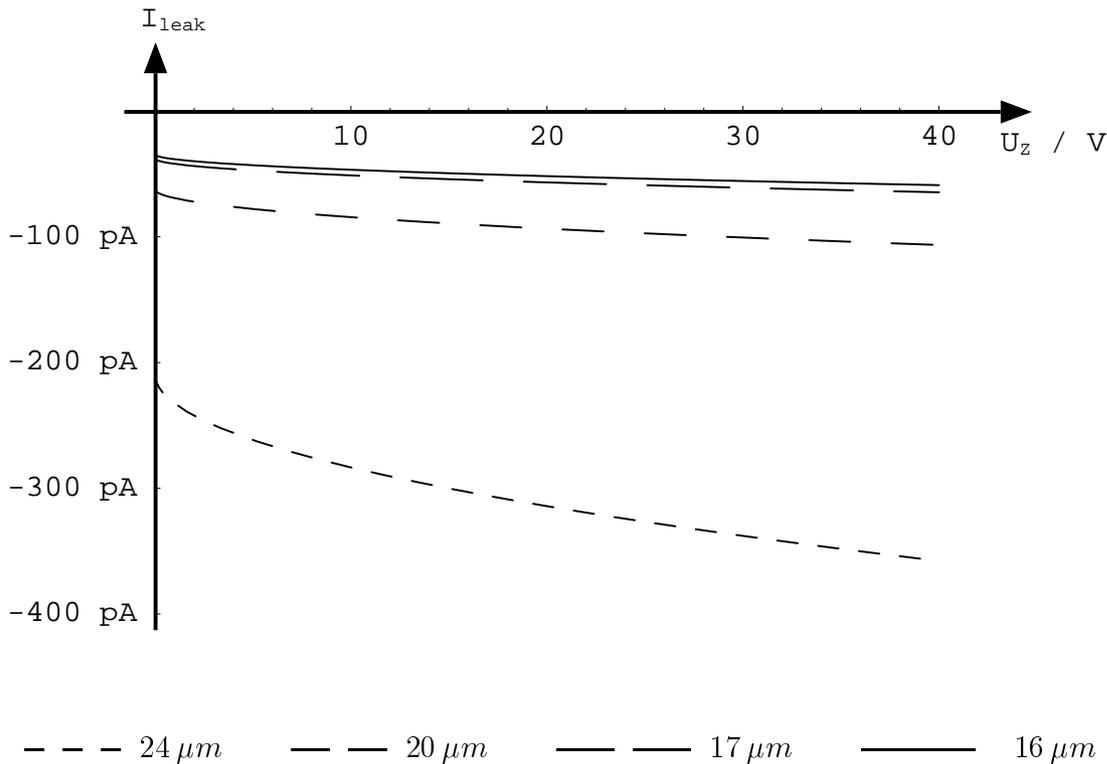


Abbildung 6.15: Graphen der Leckströme für verschieden große Pixellayouts

Anhand der resultierenden Leckströme für die Speicherzellen, kann der Spannungsabfall bestimmt werden. Da hier nur kleine Änderungen der Spannung betrachtet werden, ist ein linearer Ansatz des auftretenden Spannungsabfalls sinnvoll:

$$\Delta U_Z = \frac{I_{leak}}{C_{Store}} \quad (6.17)$$

Der entsprechende dynamische Spannungsverlauf für die betrachteten Pixelgrößen ist in Abbildung 6.16 dargestellt.

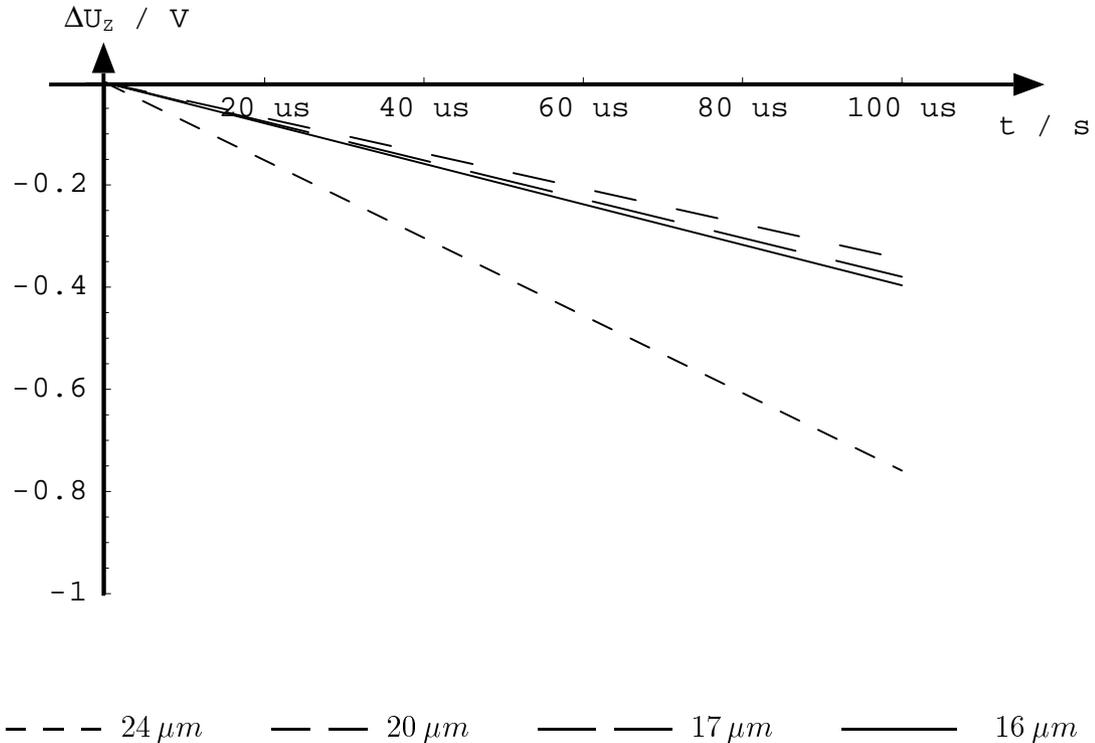


Abbildung 6.16: Graphen der Spannungsverläufe für verschieden große Pixellayouts

Pixelgröße	16 $\mu m \times 16 \mu m$	17 $\mu m \times 17 \mu m$	20 $\mu m \times 20 \mu m$
$3 \sigma_{U_{adr}}$	0,77 V	0,54 V	0,55 V

Tabelle 6.8: Resultierende Streuung der elektrischen Ansteuerspannung von Flächenlichtmodulatoren mit verschiedenen Pixelgrößen

Aus den dargestellten Graphen kann nun für eine vorgegebene Speicherzeit die erreichbare Ansteuergenauigkeit bestimmt werden. Die Streuung der Ansteuerspannungen ergibt sich aus der zeitlichen Differenz, des Einschreibens der Adressierspannung der ersten und der letzten Speicherzelle.

Das heißt die resultierende Streuung der Ansteuerspannung ergibt sich aus der statistischen Summe der Fehler aus Tabelle 6.5 und den Spannungsfehlern, die sich aus der Entladung ergeben. Der Spannungsabfall durch die Zellentladung ist abhängig von der Zeitspanne, die während eines Adressierzyklusses verstreicht und der Beleuchtungsstärke, mit der der Lichtmodulator bestrahlt wird. In Tabelle 6.8 sind die resultierenden Spannungsfehler für die realisierten Lichtmodulatoren aufgeführt. Zugrunde gelegt ist eine Adressierzeit von $T_{Matrix} = 1,6 ms$, eine maximale Ansteuerspannung von $U_{adr,max} = 32 V$ und eine Bestrahlungsstärke von $E_{Matrix} = 0,1 \frac{W}{cm^2}$.

Ein weiteres Beleuchten des Lichtmodulators ohne erneute Adressierung der Pi-

xelemente, führt zu einer weiteren gleichmäßigen Entladung aller Pixel. Da Bildelemente mit hoher Ansteuerspannung stärker entladen werden als andere, macht sich dieser Effekt in einem verminderten Kontrast bemerkbar.

Zusammengefasst ist die Ansteuergenauigkeit und damit die maximal mögliche Zeitspanne bis zum erneuten Adressieren (Refresh) von folgenden Größen abhängig:

Pixelgröße und -layout: Durch das Pixellayout wird zum einen die Einkopplung von Takten in den analogen Speicherknoten bestimmt. Zum anderen legt die zur Verfügung stehende Speicherkapazität die Empfindlichkeit der Pixelzelle gegenüber der Beleuchtungsstärke fest.

Adressierspannung: Die maximal notwendige Adressierspannung ist durch die Spiegeltechnologie und die für die Applikation benötigte Auslenkung der Aktoren vorgegeben. Die maximale Adressierspannung bestimmt den absoluten Spannungsfehler, der durch Takteinkopplung entsteht. Der Einfluss auf die Leckströme und damit auf die Speicherzeit der Pixelzelle ist in der Regel gering.

Bildfeldgröße: Die Bildfeldgröße bestimmt die minimale Adressierzeit aufgrund der auftretenden Leitungskapazitäten. Hohe Adressierzeiten vergrößern den Einfluss von lichtinduzierten Leckströmen auf die Genauigkeit.

Bestrahlungsstärke: Die Bestrahlungsstärke begrenzt bei zeitkontinuierlicher Beleuchtung die Speicherzeit der Pixelelemente und somit bei regelmäßigem Refresh der eingeschriebenen Bildinformation die notwendige Refreshrate bzw. die erreichbare Genauigkeit.

Neben den Leckströmen spielt das elektronische Rauschen für die Ansteuergenauigkeit der dynamischen Bildelemente jedoch keine Rolle:

Beim Aufladen der Speicherkapazität C_{Store} ergibt sich aufgrund des elektronischen Rauschens des Auswahltransistors folgende Rauschspannung:

$$U_N = \frac{kT}{C_{Store}}. \quad (6.18)$$

Anhand der bekannten Speicherkapazitäten (siehe Tabelle 6.6) läßt sich die Streuung der Ansteuerspannung durch elektronisches Rauschen abschätzen. Diese Streuung liegt weit unter den Werten, die sich durch die bereits analysierten Effekte, wie technologische Streuungen und dem Lichteinfluß ergeben (Tabelle 6.8 und 6.9).

6.4 Messergebnisse

Die im vorigen Kapitel beschriebenen Pixelvarianten sind im Rahmen dieser Arbeit in einem Design realisiert worden. Die entwickelten Schaltungen sind mit den drei verfügbaren Spiegeltechnologien ausgerüstet worden (siehe Kapitel 5.5). Die

Pixelgröße	$16 \mu m \times 16 \mu m$	$17 \mu m \times 17 \mu m$	$20 \mu m \times 20 \mu m$
U_N	$540 \mu V$	$505 \mu V$	$375 \mu V$

Tabelle 6.9: Streuung der elektrischen Ansteuerspannung, die sich durch das elektronische Rauschen der integrierten Ansteuerschaltung ergibt

Flächenlichtmodulatoren besitzen ein digitales Dateninterface, das eine einfache Ansteuerung des ICs mit Hilfe eines handelsüblichen PC ermöglicht. Eine ausführliche Auflistung der technischen Daten ist in Anhang B.1 aufgeführt. Die Verbindung zum Rechner erfolgt mit Hilfe eines PCBs¹⁸ und einer Einsteckkarte im Rechner (siehe Abbildungen 6.17 und 6.18).

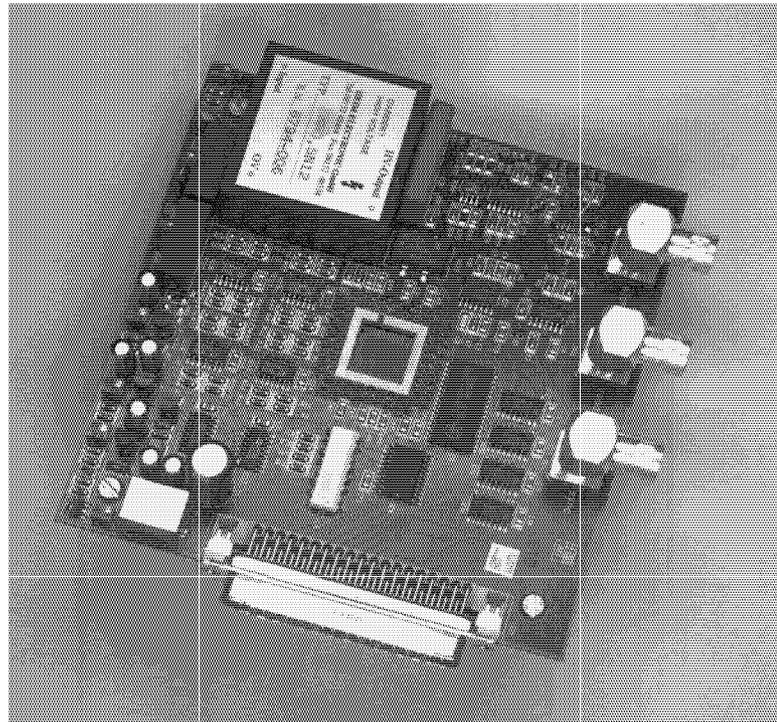


Abbildung 6.17: Board zur Ansteuerung der entwickelten Lichtmodulatoren über einen PC

Auf dem Rechner erfolgt die Steuerung mit Hilfe eines Programms, das die automatische Einstellung der Analogpegel und die Bereitstellung der Daten organisiert. In dem board-internen Speicher (RAM) können bis zu 4 verschiedene Bilder abgelegt werden, die dann nacheinander in den Lichtmodulator eingeschrieben werden. Die Auswahl der abgespeicherten Bilder erfolgt ebenfalls durch das Programm. Alternativ dazu kann ein sogenannter Film in die aktive Matrix eingeschrieben werden, der mehr als 4 Bilder umfasst. Hier fungiert das RAM als Pufferspeicher zwischen PC und Matrix. Die Daten sowohl für die Einzelbildadressierung als auch für den

¹⁸PCB: Printed Circuit Board

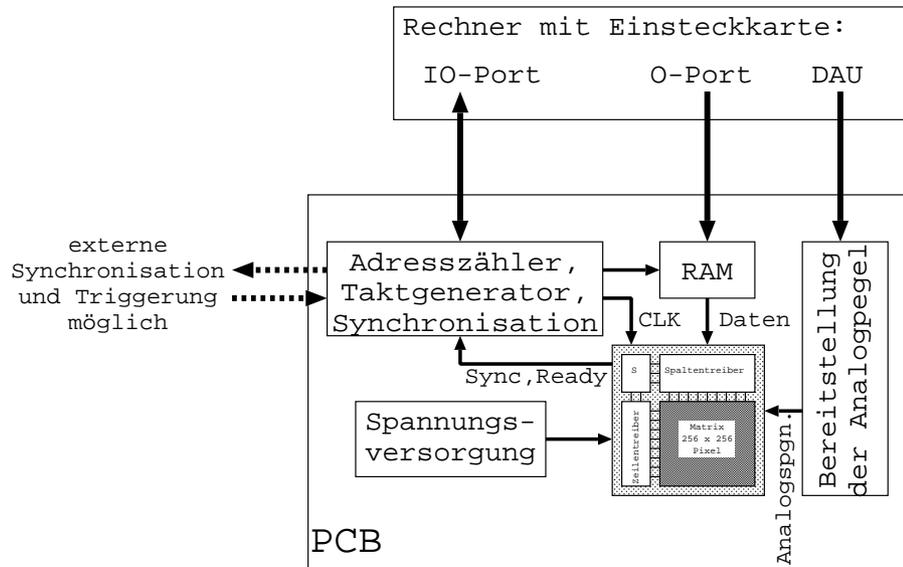


Abbildung 6.18: Blockschaltbild der Ansteuerung der Flächenlichtmodulatoren mit Hilfe eines Rechners

Versorgungsspannung, digital	5 V
Versorgungsspannung, analog	40 V
mögliche Ansteuerspannung	0 ... 32 V
Anzahl Spannungspegel	16
maximale Taktfrequenz	20 MHz

Tabelle 6.10: Elektrische Parameter des Flächenlichtmodulators

Film können in Form von Bitmap-Dateien bereitgestellt werden, die kompatibel zum Standard des Betriebssystems MS-Windows sind. Einen Screenshot des Programms zur Ansteuerung der Flächenlichtmodulatoren zeigt Abbildung 6.19.

Werden Bilder aus dem RAM in den Lichtmodulator geladen, so kann die minimal mögliche Adressierzeit des angesteuerten Modulators erreicht werden.

Durch Implementierung des in Kapitel 6.1.1 dargestellten Pipeline-Konzeptes können Wartezyklen beim Einlesen und Dekodieren der Ansteuerdaten vermieden werden. Die maximale Taktrate der digitalen Dateneingänge und Dekodierlogik wird durch einen Test mit digitalen Testpattern bestimmt und verifiziert. Aus der maximalen Datenrate der digitalen Eingänge ergibt sich die minimale Adressierzeit, wie in Kapitel 6.2 bereits hergeleitet.

Das realisierte Design ist für eine maximale Taktrate von 20 MHz und 16 verschiedenen Ansteuerspannungen für jedes Pixel ausgelegt. Diese und weitere elektrische Parameter sind in Tabelle 6.10 angegeben.

Für eine Anzahl von 256×256 Bildelementen ergibt sich so eine Datenrate von 32 MByte/s und damit eine minimale Adressierzeit von 1,64 ms. Tabelle 6.11 fasst die wichtigsten Eigenschaften und Messwerte des Dateninterfaces zusammen.

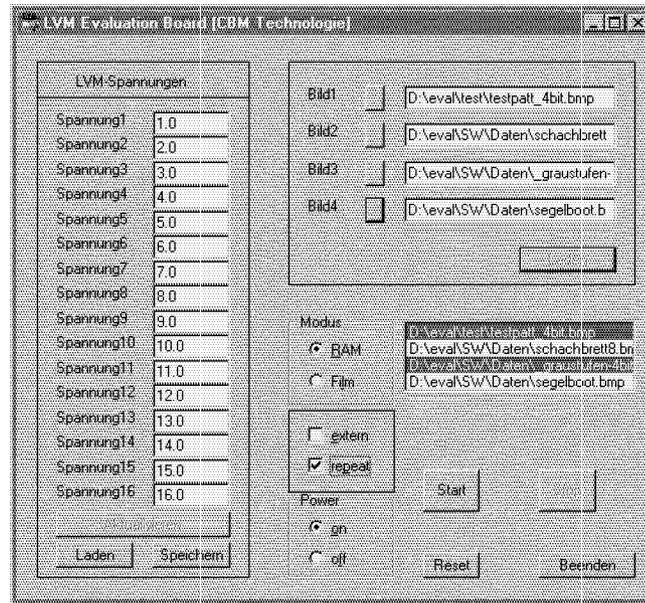


Abbildung 6.19: Screenshot des Programms zur Ansteuerung der entwickelten Lichtmodulatoren

Matrixgröße	256 × 256 Pixel
Taktfrequenz	20 MHz
Anzahl Dateneingänge	8
Adressierzeit	1,64 ms
maximale Bildwiederholrate	600 Hz

Tabelle 6.11: Bestimmung der Adressierzeit für die realisierte Matrixkonfiguration

Im Fall der realisierten Flächenlichtmodulatoren mit 256 Spalten und Zeilen bei 8 Dateneingängen ist die Adressierzeit durch das Dateninterface vorgegeben und wird noch nicht durch Signallaufzeiten auf den Zeilenleitungen begrenzt.

Mit Hilfe des entwickelten Rechnerinterfaces sind mehrere Messungen und Belichtungstests durchgeführt worden. Die nachfolgend dargestellten Belichtungstest sind mit einem System durchgeführt worden, wie es in Abbildung 2.1 bereits dargestellt wurde. Dabei ist mit Hilfe der Flächenlichtmodulatoren ein Bild auf einen mit Photolack versehenen Wafer belichtet worden. Die entwickelten Strukturen sind anschließend in einem Raster-Elektronen Mikroskop (REM) hinsichtlich der Abbildungseigenschaften untersucht worden.

In Abbildung 6.20 ist die Oberfläche eines Flächenlichtmodulators mit verbundenen Pyramidenelementen der CBM-Technologie dargestellt. Das Oberflächenprofil ist mit Hilfe eines Weißlichtinterferometers gemessen und anschließend in ein 3-dimensionales Oberflächenprofil umgesetzt worden. Dieses Mess- und Analyseprinzip ist speziell für die Charakterisierung von Flächenlichtmodulatoren am IMS entwickelt worden [68]. Wie gut zu erkennen ist, konnte durch die in Kapitel 5.4

beschriebenen Verfahren eine signifikante Verbesserung der Oberflächenplanarität erreicht werden, die zur Modulation von kleinen Wellenlängen notwendig ist.

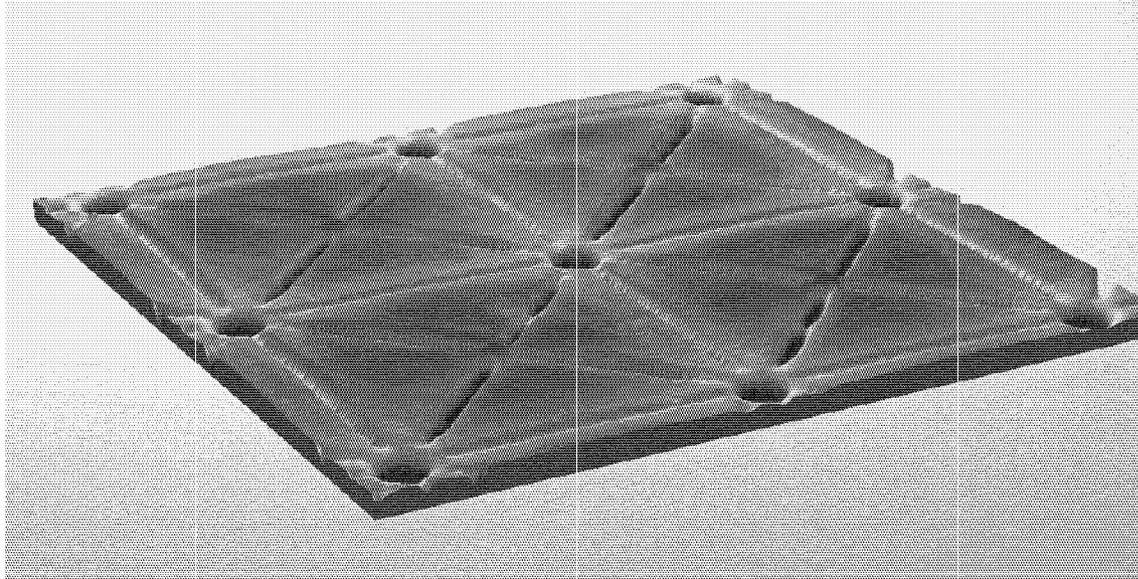


Abbildung 6.20: Oberfläche nicht ausgelehter Mikrospiegel

Das Oberflächenprofil von ausgelehten Mikrosiegeln in der gleichen Technologie zeigt Abbildung 6.21. Hier ist eine einzelne Reihe von Pixeln voll angesteuert worden. Die erreichte Deformation liegt in Bereich von 150 nm , wie anhand der Legende abgelesen werden kann. Anhand dieser Messung ist auch zu erkennen, dass ein Übersprechen zwischen benachbarten ausgelehten und nicht ausgelehten Pixeln nicht nachweisbar ist.

In Abbildung 6.22 ist die belichtete Lackstruktur eines eingeschriebenen schwarz-weiß Bildes dargestellt. Die hellen Figuren stellen die unbelichteten Lackstrukturen dar.¹⁹ Verwendet wurde ein Lichtmodulator mit $20\text{ }\mu\text{m}$ großen Pixelelementen. Deutlich ist zu erkennen, dass sich aus dem Verkleinerungsmaßstab $1 : 100$ eine minimale Auflösung von 200 nm ergibt. So zeigt die mittlere Spitze des Buchstaben *M*, die aus einem nicht angesteuerten Pixel besteht, genau die minimale Strukturgröße von 200 nm . Die inversen Daten, deren Belichtung in Abbildung 6.23 dargestellt ist, zeigen, dass die minimale Auflösung auch bei einzelnen angesteuerten Pixeln erreicht wird.

Die bereits erwähnte Verbesserung der lithographischen Auflösung durch Verwendung von Graustufen ist in der nächsten Abbildung dargestellt (Abbildung 6.24). Die beiden unteren waagerechten Balken haben jeweils drei Ausbuchtungen nach unten. Der rechte Teil ist dabei voll angesteuert, das heißt die Pixel besitzen die gleiche Ansteuerspannung wie die Pixel innerhalb des waagerechten Balkens. In der

¹⁹Es wurde ein Negativlack verwendet, so dass die hellen Figuren den nicht angesteuerten Pixeln entsprechen.

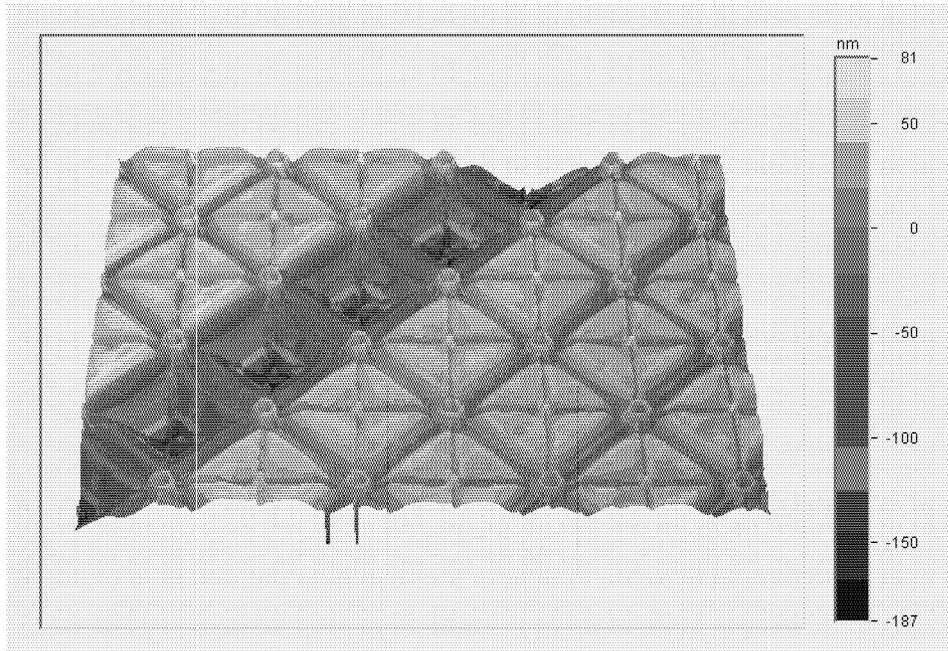


Abbildung 6.21: Oberflächenprofil bei einer angesteuerten Pixelreihe

Mitte liegt $\frac{2}{3}$ und am linken Rand dann $\frac{1}{3}$ der elektrischen Spannung an. Deutlich ist zu erkennen, dass die Strukturbreite der belichteten Figur mit zunehmender Ansteuerung größer wird. Dieser Effekt tritt aufgrund der Verschiebung des Verlaufes der Bestrahlungsstärke auf dem Belichtungstarget auf. Da der verwendete Photolack bei einer definierten Bestrahlung belichtet wird, verschiebt sich mit der Kante der Bestrahlungsstärke auch die Kante der belichteten Figur im Photolack. Wie bereits in Kapitel 2.2 erläutert, wird die Graustufenmodulation zur Verbesserung der lithographischen Auflösung in zukünftigen Belichtungssystemen Verwendung finden.

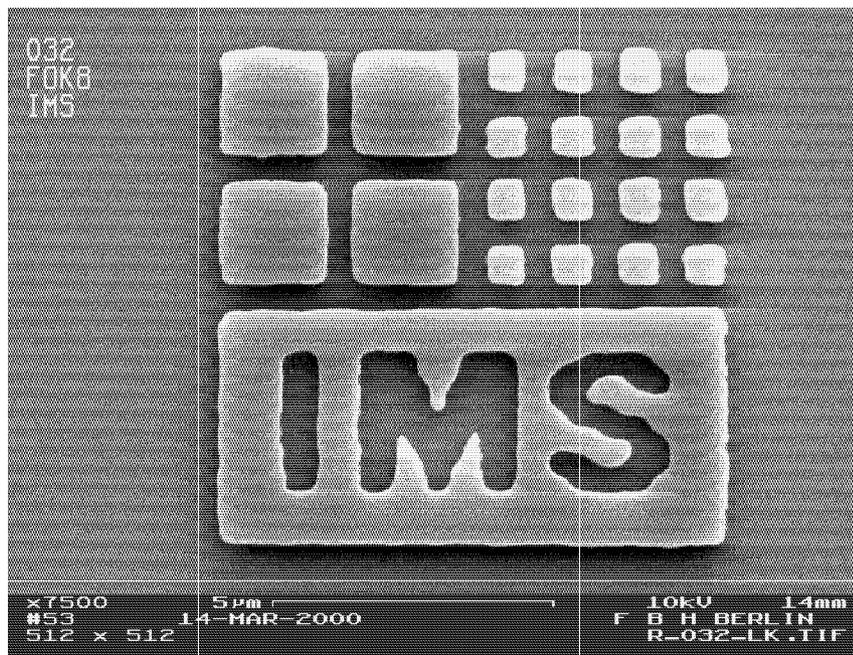


Abbildung 6.22: REM Aufnahme von belichteten Strukturen im Photolack

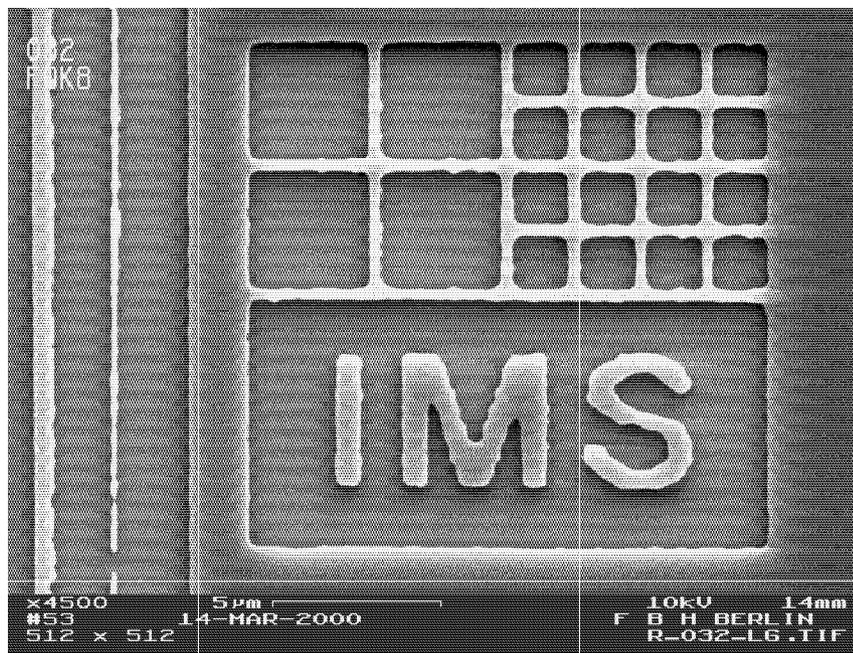


Abbildung 6.23: REM Aufnahme der invertierten Strukturen im Photolack

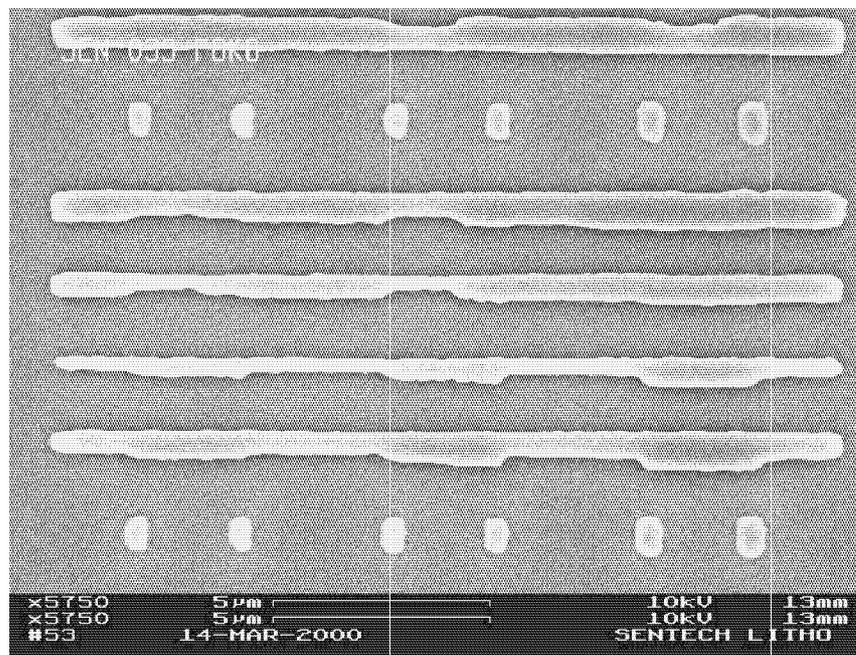


Abbildung 6.24: REM Aufnahme einer hochauflösenden Graustufenabbildung

