

## 5 Die Technologie des mikromechanischen Lichtmodulators

In diesem Kapitel wird die verwendete Herstellungstechnologie der Flächenlichtmodulatoren beschrieben. Im ersten Teil werden die grundsätzlichen Anforderungen an eine solche Technologie dargestellt. Zunächst wird die im Rahmen dieser Arbeit weiterentwickelte Hochvolt-CMOS-Technologie beschrieben. Besonderes Gewicht liegt dabei auf der Verbesserung der Oberflächenplanarität, die für einen Einsatz der mikromechanischen Lichtmodulatoren in der Lithographie entscheidend ist. Hier sind auch seitens des Layoutentwurfes wichtige Entwicklungen zu leisten. Im Anschluss daran werden die im IMS entwickelten Spiegeltechnologien in ihren wichtigsten Eigenschaften beschrieben und hinsichtlich ihrer Eignung für verschiedene Anwendungsgebiete charakterisiert.

### 5.1 Anforderungen an die Technologie zur integrierten Ansteuerung elektrostatischer Aktoren

Zu Beginn dieser Arbeit stand im IMS eine Hochvolt CMOS-Technologie zur Verfügung, die bereits speziell für die Verwendung eines Lichtmodulators entwickelt worden ist [8]. Dieser Lichtmodulator basiert auf der Spiegeltechnologie Viscoelastic-Control-Layer (VCL) die ebenfalls am IMS entwickelt wurde (siehe Kapitel 5.5.1). Das Anwendungsgebiet solcher Lichtmodulatoren ist die Projektion von Fernsehbildern nach dem HDTV Standard [8, 10, 11].

Der Lichtmodulator verfügt über ein Array von maximal  $576 \times 768$  Pixeln mit einer Größe von  $72\mu\text{m} \times 72\mu\text{m}$ . Die aktive Ansteuerschaltung stellt eine maximale Pixelspannung von  $20\text{V}$  bereit und verfügt über einen Analogeingang, der kompatibel zum HDTV-Standard ist. Eine abgewandelte Variante dieser Matrix mit  $512 \times 464$  Pixeln (Größe:  $20\mu\text{m} \times 20\mu\text{m}$ ) konnte bereits die prinzipielle Einsatzfähigkeit solcher Ansteuerschaltungen für die Mikrolithographie unter Beweis stellen.

Allerdings zeigte sich, dass für einen praktischen Einsatz noch weitere Entwicklungsarbeiten zu leisten waren [8]. So ist die maximale Adressierspannung von  $20\text{V}$  nicht ausreichend für den benötigten Kontrast. Auch die in der HDTV-Matrix realisierte Oberflächenplanarität von  $\pm 100\text{nm}$  wirkt sich begrenzend auf den Kontrast aus bzw. begrenzt die maximal mögliche Auflösung des mikrolithographischen Systems. Eine Anforderung an einen Direktbelichter für die Mikrolithographie ist ein hoher Durchsatz. Hier wirkt die VCL-Technologie mit ihrer hohen Einschwingzeit begrenzend und auch die Entkoppelung benachbarter Pixel ist konstruktionsbedingt nicht sehr gut (siehe Kapitel 5.5.1).

Aus diesem Grund war es notwendig sowohl die Hochvolt-CMOS-Technologie weiter zu entwickeln als auch neue Spiegeltechnologien in den Prozess zu integrieren.

Kapitel 5.2 gibt zuerst einen allgemeinen Überblick der verwendeten Technologien. Die Weiterentwicklung der CMOS-Technologie wird in Kapitel 5.3 beschrieben. Die unterschiedlichen Aktortechnologien sind in Kapitel 5.5 näher erläutert.

## 5.2 Prinzipieller Aufbau der Technologie

Bei den entwickelten aktiven Flächenlichtmodulatoren dient eine CMOS-Schaltung sowohl dem mechanischen Unterbau der Mikrospiegel als auch zur Bereitstellung der Ansteuerspannungen. Die Steuerelektrode, die das elektrostatische Kraftfeld zur Bewegung der Aktoren erzeugt, wird durch die oberste Metallisierung der CMOS-Schaltung realisiert.

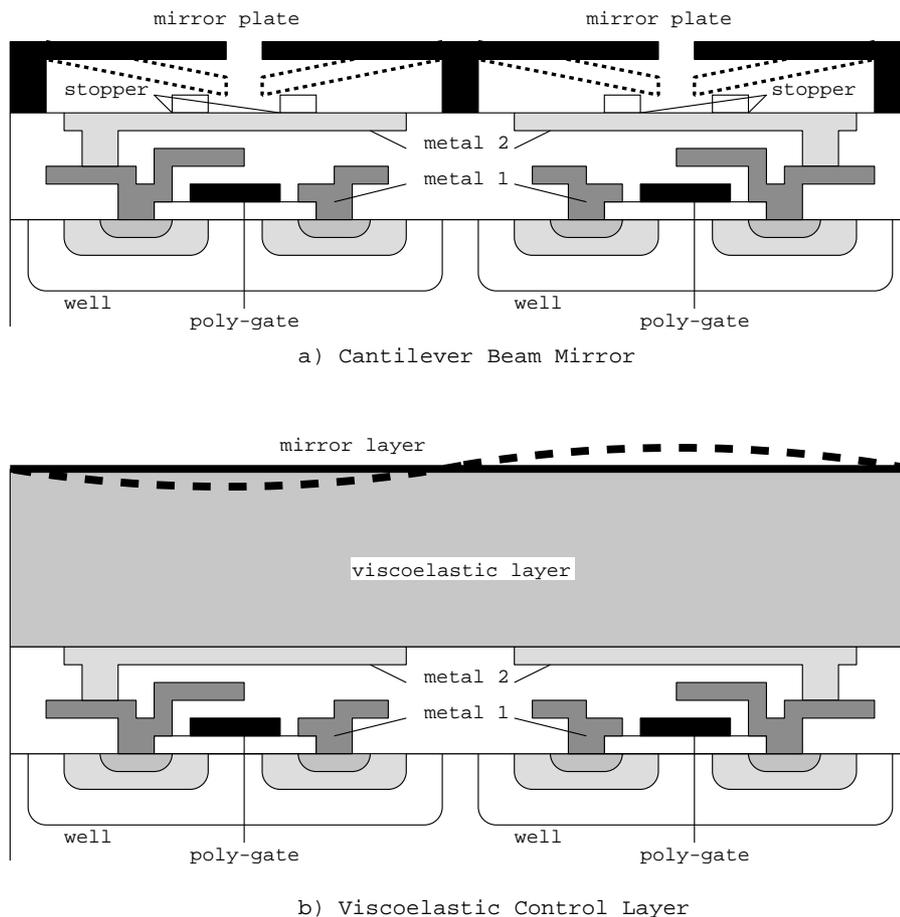


Abbildung 5.1: Prinzipskizze der realisierten Lichtmodulatoren basierend auf a) der Cantilever-Beam-Mirror Technologie oder b) auf der Technologie der Viscoelastic-Control-Layer

In Abbildung 5.1 ist der prinzipielle Aufbau eines Lichtmodulators dargestellt. Deutlich ist zu erkennen, dass die zweite Metallisierungsebene nicht passiviert ist und dadurch als Steuerelektrode für die elektrostatisch bewegten Spiegelflächen fungiert. Ein Schutzoxid zwischen Ansteuerelektrode und Aktor würde bei angelegter elektrischer Spannung Ladungen sammeln und so das elektrische Feld vermindern.

Die verwendete CMOS-Hochvolt Technologie beinhaltet zu Beginn dieser Arbeit ein N- und P-Kanal Transistorpaar für eine maximale Spannung von 30V. Die Span-

nungsfestigkeit wird durch ein entsprechend dickes Gateoxid und sogenannte Drain- (und Source-) Extensions gewährleistet. Die genaue Funktion dieser Extension wird in Kapitel 5.3 erläutert. Um den parasitären Widerstand, der durch diese Extensions verursacht wird, gering zu halten, gibt es die Möglichkeit, wahlweise Drain- oder Drain- und Source-Gebiete damit auszustatten.

Da die bisherigen Planarisierungsverfahren nicht ausreichend waren (siehe Kapitel 5.1), wird der bisherige Planarisierungsprozess durch das Chemisch-Mechanische Polieren (Chemical-Mechanical-Polishing CMP) ersetzt.

Neben der Erhöhung der Spannungsfestigkeit stieg auch die Anforderung an den Logikteil der Lichtmodulatoren, so dass die Einführung neuer Bauelemente für Digitalschaltungen im Niedervoltbereich 5V notwendig war, da mit den bisherigen Hochvolt-Transistoren die erforderliche Komplexität der Logikfunktionen mit nicht mehr vertretbarem Aufwand (Chipfläche) zu realisieren war.

### 5.3 Der Hochvolt-CMOS Prozess

Bei der weiterentwickelten Hochvolt-Technologie handelt es sich um einen Doppelwanne-CMOS-Prozess. Grundlage ist ein p-dotiertes niederohmiges Substrat mit einer hochohmigen Epitaxie-Schicht, die ebenfalls p-dotiert ist. Der Vorteil des niederohmigen Substrates ist eine hohe latchup-Stabilität. Parasitäre Ströme durch das Substrat führen nur zu kleinen Spannungsabfällen, so dass die Schaltschwelle von bipolaren Transistor- und Thyristor-Strukturen auch bei hohen Versorgungsspannungen nicht erreicht wird [56, 57]. An der Substratoberfläche befindet sich eine circa  $15\mu\text{m}$  tiefe hochohmige Epitaxieschicht, in die die jeweilige Wanne zur Herstellung eines n-Kanal- bzw. p-Kanal-Transistors diffundiert wird. Mit der Wannendotierung wird auch die Schwellenspannung der Transistoren eingestellt, so dass eine separate Schwellenspannungsimplantation entfallen kann.

Das Gate der MOS-Transistoren ist als Polysiliziumgate ausgeführt mit einer Gateoxiddicke von  $90\text{nm}$ . Als die maximal zulässige Feldstärke innerhalb des Gateoxides gilt ein Wert von  $E_{krit} \approx 10^7 \text{ V/cm}$  [58]. In Relation (5.1) ist der Zusammenhang zwischen zulässiger Feldstärke und angelegter Spannung einer MOS-Konfiguration dargestellt. Zur einfachen Abschätzung der Gate-Spannungsfestigkeit kann diese Formel verwendet werden.

$$U_{G,max} \leq \frac{d_{ox}}{2} \cdot E_{krit} \quad (5.1)$$

Bei einer Oxiddicke von  $90\text{ nm}$  ist also eine Spannungsfestigkeit von über  $40\text{ V}$  zu erwarten, die für die angestrebten Anwendungen ausreichend ist.

Abbildung 5.2 zeigt den Querschnitt eines n-Kanal-Transistors mit Hochvolt-Drain. Die zusätzliche pinch Implantation ist hochohmiger als die eigentliche Source-Drain Implantation und bewirkt dadurch eine Feldstärkeverminderung des pn-Übergangs zwischen Drain und p-dotierter Wanne. Die kritischen Orte für pn-Durchbrüche des Drains zur Wanne liegen an der Substratoberfläche sowohl auf der Feldseite als auch auf der Seite des Transistorkanals. Der pn-Durchbruch im Bereich des

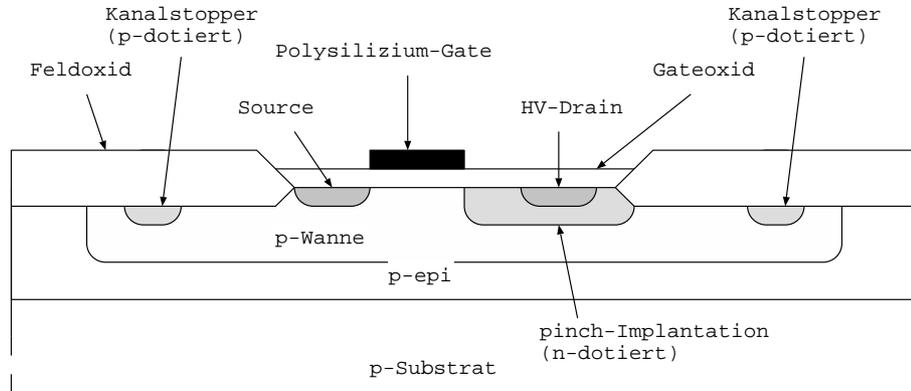


Abbildung 5.2: Querschnitt eines NMOS-Transistors mit Hochvolt-Drain

Kanals wird zusätzlich durch das Gatepotential beeinflusst und kann sowohl oberhalb als auch unterhalb des Durchbruchs auf der Feldseite auftreten [63, 64, 65]. Neben dem in Abbildung 5.2 dargestellten Transistor mit einer Drain-Extension, gibt es auch Bauelemente in der Hochvolt-Technologie mit Drain- und Source-Extension, die zwar hohe Spannungen an Drain und Source erlauben, jedoch Nachteile gegenüber der unsymmetrischen Variante besitzen (siehe unten).

Wichtige Parameter zur Optimierung der Spannungsfestigkeit stellen die Dotierungskonzentration der Drainextensions (pinch-Gebiete) und die Überlappungen der Extensions über die Drainkontakte (plus-Gebiete) in Richtung Kanal und Feldoxid dar.

Um den Hochvolttransistor wird ringförmig ein sogenannter Kanalstopper angeordnet (siehe Abbildung 5.2). Hierbei handelt es sich um eine weitere Implantation innerhalb der p- bzw. n-Wanne, um die Dotierungskonzentration an der Oberfläche zu erhöhen. Dadurch erhöht sich die Feldeinsatzspannung unter dem Feldoxid, so dass parasitäre Feldtransistoren zwischen benachbarten Bauelementen auch bei hohen Spannungen der darüberliegenden Leitbahnen nicht einschalten.

Analog zu dem bereits dargestellten n-Kanaltransistor wird der p-Kanal Typ realisiert. Abbildung 5.3 zeigt einen Querschnitt. Die Spannungsfestigkeit des Drains ist ebenfalls durch eine zusätzliche pinch-Implantation realisiert. Das Gateoxid besitzt die gleiche Dicke wie beim NMOS-Transistor, so dass auch hier hohe Gatespannungen gegenüber der n-dotierten Wanne zulässig sind.

Ein allgemein bekannter Nachteil der niedrigdotierten Drain- und Source-Extensions ist der erhöhte Reihenwiderstand der Drain- und Sourcegebiete [59]. Abbildung 5.4 zeigt das Ersatzschaltbild eines n-Kanal Transistors mit Hochvolt-Drain und Hochvolt-Source bzw. nur mit Hochvolt-Drain. Der Spannungsabfall über die Reihenwiderstände  $R_{Source}$  und  $R_{Drain}$  bewirkt zum einen eine geringere Drain-Source-Spannung  $U_{ds}$  des „inneren“ Transistors, zum anderen auch eine geringere Steuerspannung  $U_{gs}$ , die sich negativ auf die Transistorsteilheit auswirkt. Aus diesem Grund werden neben den Transistoren mit sowohl Hochvolt-Drain als auch

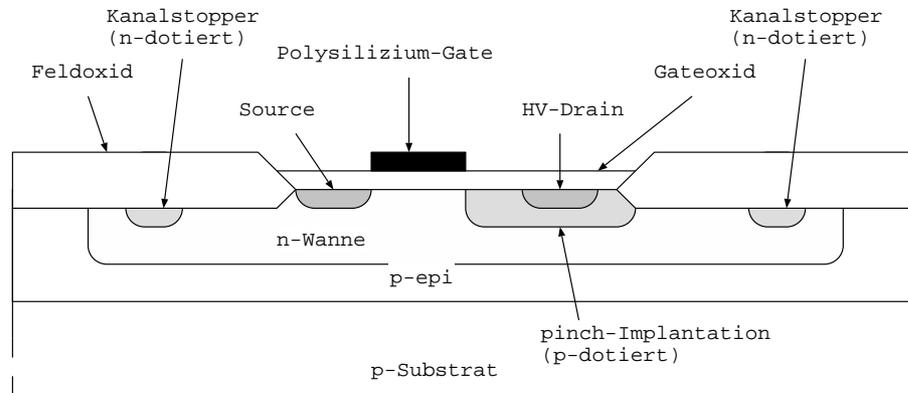


Abbildung 5.3: Querschnitt eines PMOS-Transistors mit Hochvolt-Drain

Hochvolt-Source auch Bauelemente mit niederohmig angeschlossenen Source (wie bereits in Abbildung 5.2 und 5.3 gezeigt) verwendet [66]. Bei diesen unsymmetrischen Bauelementen dürfen dann allerdings am Source nur geringe Spannungen gegenüber der Wanne angelegt werden. Unsymmetrische p- und n-Kanal-Transistoren sind daher besonders gut für Hochvolt-Inverter und Buffer geeignet, bei denen in der Regel das Source auf dem gleichen Potential liegt, wie die entsprechende Wanne des jeweiligen Transistors. Der niederohmige Source-Anschluss wirkt sich positiv auf Treiberfähigkeit und Schaltgeschwindigkeit solcher Schaltungselemente aus (siehe auch [66]). Der Einsatz in Transmissiongates und als einfache Passtransistoren bleibt jedoch der symmetrischen Variante vorbehalten, da sowohl Drain als auch Source hohe elektrische Potentiale gegenüber den Wannen führen können.

## 5.4 Maßnahmen zur Verbesserung der Planarität

Wie bereits in Kapitel 5.1 erläutert, ist die Oberflächenplanarität der CMOS-Schaltung ein kritischer Parameter für die Qualität des Flächenlichtmodulators. Bei Betriebswellenlängen bis zu  $250\text{ nm}$  ist eine Ebenheit des Mikrosystems von mindestens einem Zehntel der Wellenlänge notwendig. Das bedeutet, dass die Oberfläche höchstens eine Topologie von  $\pm 25/2\text{ nm}$  besitzen darf.

Bei den bisher entworfenen Lichtmodulatoren wurde bisher nur eine Planarität von circa  $\pm 100\text{ nm}$  erreicht. Mit dem bestehenden Planarisierungsverfahren konnte eine weitere Verbesserung der Ebenheit nicht erreicht werden [8, 10, 11].

Die Oberflächentopologie einer integrierten CMOS-Schaltung entsteht hauptsächlich durch die Verdrahtungsebenen und durch unterschiedliche Isolatordicken, wie Gate- und Feldoxid. Abbildung 5.5 zeigt einen typischen Querschnitt der relevanten technologischen Ebenen.

Wie gut zu erkennen ist, ergibt sich aufgrund der unterschiedlichen Dicken von Gate- und Feldoxid, sowie durch die geometrische Anordnung der Verdrahtungsebenen, eine resultierende Oberflächentopologie. Die maximale Stufenhöhe ist abhängig

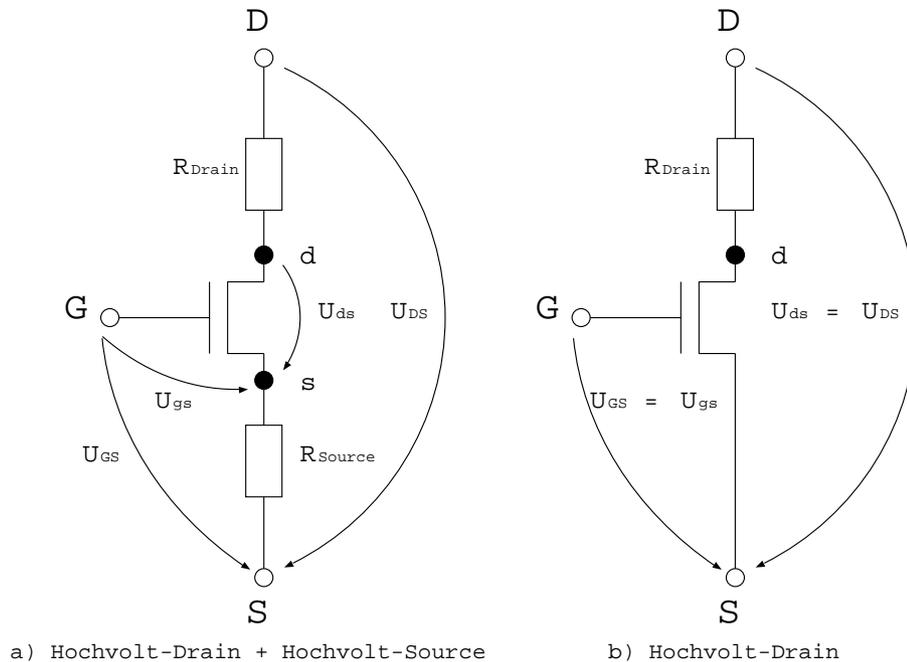


Abbildung 5.4: Ersatzschaltbild eines NMOS mit a) Hochvolt-Drain und Hochvolt-Source und b) nur mit Hochvolt-Drain

von den Dicken der einzelnen Verdrahtungsebenen und von der Bedeckung durch die dazwischenliegenden Isolationsebenen [21].

Um eine weitere Verbesserung der Planarität zu erreichen wurde das Chemisch-Mechanische-Polieren (CMP) innerhalb des CMOS-Prozesses eingeführt [19]. Hierbei wird das Isolationsoxid zwischen den Metall-Ebenen planarisiert, so dass sich für die nachfolgenden Prozessschritte eine planare Oberfläche ergibt. Das CMP-Verfahren wird zunehmend in deep-sub-micron-Technologien<sup>9</sup> verwendet. Hier ist eine planare Oberfläche zur Strukturierung notwendig, da aufgrund der verwendeten Belichtungs-wellenlängen nur eine sehr begrenzte Tiefenschärfe in den Lithographieprozessen erreicht wird.

Beim chemisch-mechanischen Polieren wird die Wafer-Oberfläche mit Hilfe einer Polierscheibe, dem sogenannten Polierpad planarisiert. Neben dem mechanischen Materialabtrag, der sich aus der Rotation und dem Anpressdruck des Pads ergibt, sorgt eine Flüssigkeit, die sogenannte Slurry, zusätzlich für einen chemischen Abtrag der Waferoberfläche. Das Abtragverhalten wird hauptsächlich durch die Oberflächenbeschaffenheit und das abzutragende Material, durch die mechanischen Parameter und durch die Slurry beeinflusst. Die Einflüsse dieser Parameter auf das Polierergebnis sind sehr komplex, so dass an dieser Stelle auf die zahlreiche Literatur zu diesem Thema verwiesen wird.

<sup>9</sup>Mit deep-sub-micron werden Technologien bezeichnet, die über minimale Strukturbreiten verfügen, die im Bereich von unter  $0,5 \mu\text{m}$  liegen.

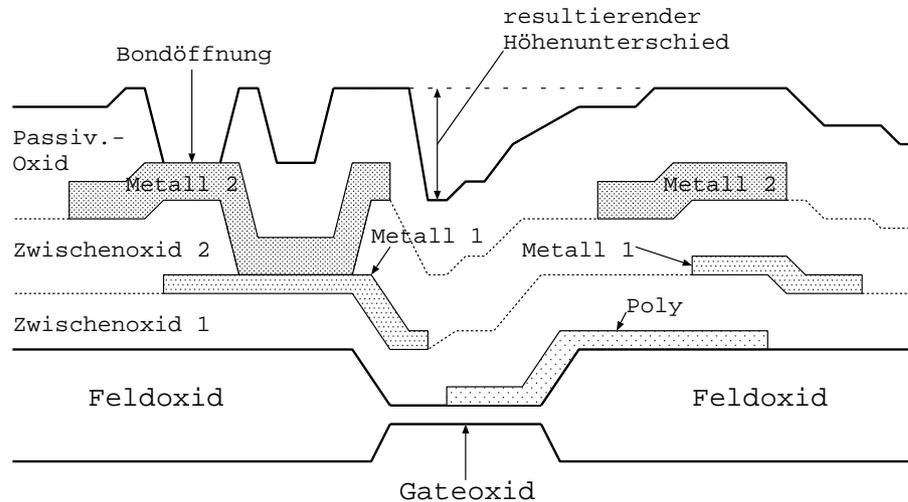


Abbildung 5.5: Oxid und Verdrahtungsebenen einer CMOS-Technologie

Neben dem hier dargestellten Oxid- oder ILD-CMP<sup>10</sup>, wird häufig auch ein Metall-CMP zur Planarisierung und Strukturierung der Metallebenen<sup>11</sup> angewendet. Diese Technologie findet aber im Fall der integrierten Lichtmodulatoren keine Anwendung.

Um die oben angegebene Planarität zu erreichen, werden zwei CMP-Prozessschritte in die CMOS-Technologie integriert:

1. Nach Abscheiden des 2. Zwischenoxids wird eine Planarisierung mittels CMP durchgeführt, bevor die 2. Metallebene abgeschieden wird.
2. Nach Abscheiden des Passivierungs-Oxids wird ein zweiter CMP-Schritt durchgeführt, bevor die mikromechanischen Aktoren aufgebracht werden.

Abbildung 5.6 zeigt das Ergebnis nach erfolgreicher Planarisierung durch den ersten CMP-Schritt. Bei dem Schichtaufbau ist jedoch zu beachten, dass das abgeschiedene Zwischenoxid bei Anwendung des CMP-Verfahrens zur Planarisierung eine größere Dicke besitzen muss, damit vorhandene Gräben vollständig aufgefüllt werden. In Abbildung 5.6 ist dies beispielhaft für den durch das Gateoxid entstehenden Graben dargestellt.

Nach dem Aufbringen und Strukturieren der zweiten Metallebene ist ein erneuter CMP-Schritt notwendig, um die hohen Anforderung an die Ebenheit des optischen Modulators zu erfüllen. Während der Entwicklung und Integration der neuen Planarisierungsschritte in die Hochvolt-CMOS Technologie zeigte sich, dass ein einzelner

<sup>10</sup>ILD: Inter Layer Dielectricum

<sup>11</sup>Dieses Verfahren wird auch Damascene-Technologie genannt und dient sowohl der Planarisierung als auch der Strukturierung der Metallebenen und Kontakte.

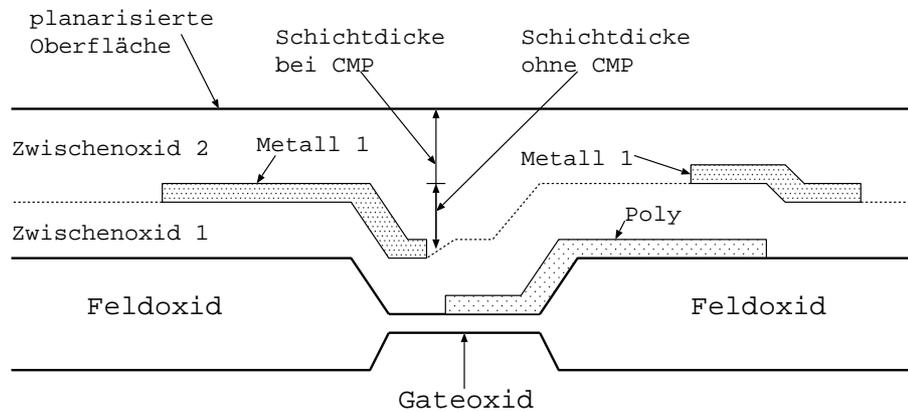


Abbildung 5.6: Schichtaufbau nach dem ersten CMP-Prozess vor der Abscheidung der 2. Metallebene

Prozessschritt, keine ausreichende Planarisierung gewährleisten kann [19]. In Abbildung 5.7 ist der komplette Schichtaufbau der CMOS-Technologie mit zweifacher CMP-Planarisierung dargestellt.

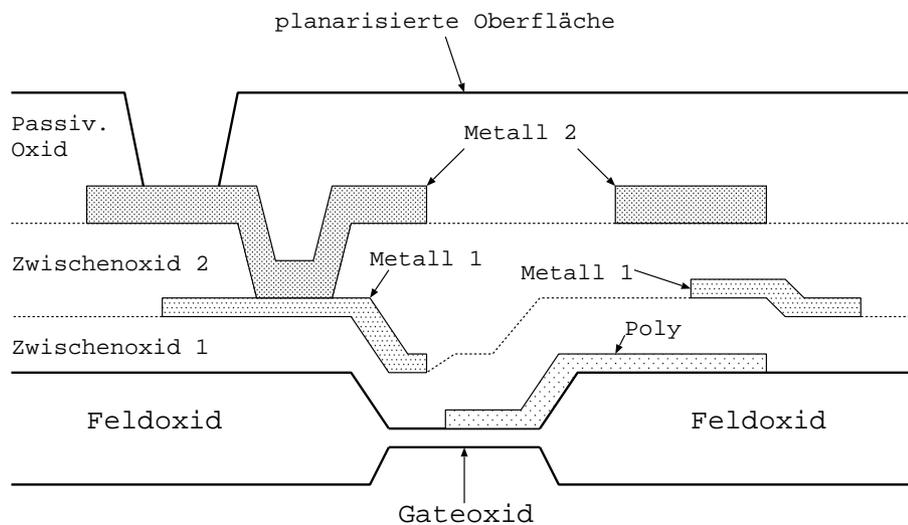


Abbildung 5.7: Schichtaufbau nach dem zweiten CMP-Prozess vor dem Aufbringen der Spiegelebenen

Ein zu lösendes Problem bei der Planarisierung durch CMP, ist die hohe Layout-abhängigkeit des Planarisierungsvorgangs [22, 25]. Eine wichtige Kenngröße ist der Bedeckungsfaktor oder Füllfaktor und die dazugehörige Stufenhöhe der Oberfläche. Der Bedeckungs- oder Füllfaktor beschreibt das Flächenverhältnis von oben liegenden Flächen zu tieferliegenden, die Stufenhöhe ist die entsprechende Höhendifferenz. Der Füllfaktor bestimmt maßgeblich die Abtragraten während des Polierens. Die Stufenhöhe bestimmt die erreichbare absolute Planarität bzw. die für eine vorgegebene

Ebenheit notwendige Oxiddicke, wie oben bereits erwähnt. Der genaue Einfluss des Füllgrades auf das Planarisierungsverhalten ist sehr komplex und wird an dieser Stelle nicht ausführlicher behandelt. Ein wichtiges Kriterium für eine ebene Oberfläche ist ein gleichmäßiger Füllgrad über die Oberfläche des zu planarisierenden Designs [19, 21].

Eine Besonderheit der entwickelten Ansteuerschaltungen ist der lokal sehr unterschiedliche Füllgrad, insbesondere in den oberen Verdrahtungsebenen der CMOS-Technologie. Dieser unterschiedliche Füllgrad verursacht eine sehr ungleichmäßige Abtragsrate während des CMP-Prozesses über den Lichtmodulator. Abbildung 5.8 zeigt den lokalen Bedeckungsgrad eines Lichtmodulators<sup>12</sup> in der Polysilizium-Ebene.

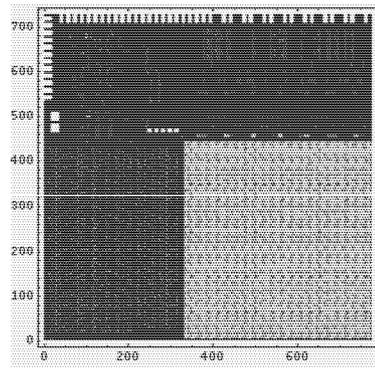


Abbildung 5.8: Höhenprofil der Polysiliziumebene ohne Füllstrukturen

Flächen mit hohem Bedeckungsgrad sind hell dargestellt und Flächen mit niedrigerem Grad dunkel. Schwarz entspricht einer Fläche, die keine Layoutfigur in der Polysilizium-Ebene enthält, und weiß ist eine Fläche, die vollständig vom Polysilizium bedeckt ist. Deutlich ist zu erkennen, dass das Pixelgebiet, das im rechten unteren Teil des Layouts angeordnet ist, einen höheren Bedeckungsgrad besitzt als die Schaltungsteile drumherum, die die Steuerlogik und die Spalten- und Zeilentreiber enthalten. Eine genauere Beschreibung der einzelnen Schaltungsteile enthält Kapitel 6. Die starke Variation der Poliertrate aufgrund der globalen Unebenheit verursacht das sogenannte Dishing, das heißt es entstehen weiträumige „Täler“, in denen die Oxidschicht schneller abgetragen wird als an anderen Stellen. In den konkreten Designs verursachte das auftretende Dishing, dass am Rande des Pixelgebietes bereits die Oxidschicht vollständig abgetragen und die darunterliegende Metallebene beschädigt wurde, während an anderen Stellen des Layouts noch Stufen in der Oxidschicht vorhanden waren.

Um diesen Effekt zu verhindern oder zumindest stark zu vermindern, werden in den topologisch relevanten Ebenen (Polysilizium, Metall 1 und Metall 2) zusätzliche Figuren erzeugt, die in den Gebieten mit niedrigem Füllgrad diesen erhöht. In Abbildung 5.9 ist das gleiche Layout wie zuvor dargestellt. Diesmal sind in der

<sup>12</sup>Es handelt sich hier um eine Schaltung mit  $256 \times 256$  Pixeln der Größe  $16 \mu\text{m} \times 16 \mu\text{m}$ .

Umgebung des Pixelgebietes zusätzliche Figuren eingefügt worden, die den Füllgrad erhöhen und somit die globale Ebenheit des Designs verbessern.

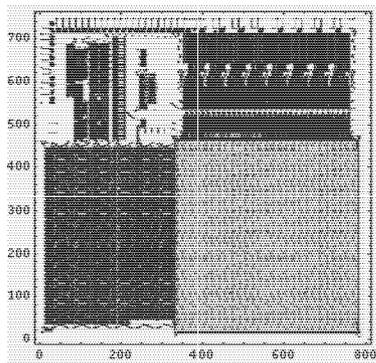


Abbildung 5.9: Höhenprofil der Polysiliziumebene mit Füllstrukturen

Um die zuvor genannten Anforderungen an die Planarität der Flächenlichtmodulatoren zu erfüllen, werden in sämtlichen Verdrahtungsebenen Füllstrukturen erzeugt. Es handelt sich bei der verwendeten CMOS-Technologie, wie bereits erwähnt um die Ebenen Polysilizium, Metall 1 und Metall 2.

Da der Bedeckungsgrad im Fall der entwickelten Schaltungen über den Chip sehr stark schwankt, ist eine Bestimmung des resultierenden Füllgrades über die gesamte Schaltung wie in (5.2) in diesem Fall nicht sinnvoll.

$$F_{Ebene} = \frac{1}{A_{Design}} \cdot \sum_{Design} A_{Ebene} \quad (5.2)$$

Der Index *Ebene* steht hier entweder für Polysilizium (poly), Metall 1 (met1) oder Metall 2 (met2). Um den lokalen Bedeckungsgrad einer Layoutebene zu erfassen, ist ein erweiterter Ansatz notwendig:

$$F_{Ebene}(x, y) = \frac{1}{\Delta x \Delta y} \cdot \int_y^{y+\Delta y} \int_x^{x+\Delta x} Z_{Ebene}(x', y') dx' dy' . \quad (5.3)$$

Die Funktion  $Z_{Ebene}(x', y')$  beschreibt, ob an der Stelle mit den Koordinaten  $x'$  und  $y'$  eine Figur in der entsprechenden Ebene vorhanden ist:

$$Z_{Ebene}(x, y) = \begin{cases} 1 & \text{falls } (x, y) \text{ innerhalb einer Figur von } Ebene \text{ liegt} \\ 0 & \text{falls } (x, y) \text{ nicht innerhalb einer Figur von } Ebene \text{ liegt} \end{cases} \quad (5.4)$$

Auf diese Weise lässt sich die lokale Flächenbedeckung automatisch mit Hilfe eines Rechners aus den Layoutdaten bestimmen. Dabei werden die Intervalle  $[x, x + \Delta x]$  und  $[y, y + \Delta y]$  durch diskrete Werte ersetzt, die je nach Bedarf ein mehr oder weniger feines Raster bilden. Die beiden Abbildungen 5.8 und 5.9 sind jeweils mit

$\Delta x = \Delta y = 10 \mu m$  und einer Schrittweite von jeweils  $1 \mu m$  erzeugt worden. Das bedeutet, es ist innerhalb eines Rasters von  $1 \mu m$  die Flächenbelegung der Polyebene für jeweils  $10 \mu m \times 10 \mu m$  große lokale Bereiche bestimmt worden. Jeder Bereich wird durch einen Bildpunkt mit entsprechendem Grauwert dargestellt.

Anhand der so gewonnenen Daten lassen sich Anforderungen an die zu erzeugenden Füllstrukturen formulieren, um eine geforderte Planarität zu erreichen. Neben den Anforderungen, die sich aus dem CMP-Prozess ergeben, muss jedoch beachtet werden, dass zusätzlich eingefügte Layoutfiguren auch das elektrische Verhalten der Schaltung beeinflussen können.

Zusätzliche Figuren erzeugen eine kapazitive Kopplung zwischen bestehenden Leitungen. Dieser zusätzliche parasitäre Effekt muss bei der Erzeugung der Füllstrukturen berücksichtigt werden, damit die zugrunde liegende Schaltung gemäß ihrer Spezifikation arbeitet. Um ein fehleranfälliges und langwieriges Erzeugen der Füllstrukturen zu vermeiden, sollte das Einfügen von zusätzlichen Figuren automatisch durch einen Rechner erfolgen können. Dies setzt voraus, dass für die Generierung von Figuren Regeln aufgestellt werden, die in Form eines Algorithmus formuliert werden können. Abbildung 5.10 zeigt den entwickelten Designflow für die automatische Layoutgenerierung von CMP-Füllstrukturen.

Ausgegangen wird von einem fertigen Layout, das zunächst noch keine Füllstrukturen beinhaltet. Als erster Schritt wird anhand eines Algorithmusses die Füllstrukturen in einer Ebene in das bestehende Layout eingefügt. Im Anschluss daran erfolgt die Überprüfung, ob die Generierung erfolgreich war. Zuerst wird erneut das elektrische Verhalten des Design überprüft. Dies geschieht in der Regel durch Layoutextraktion und Netzlistenvergleich bzw. durch eine Post-Layout-Simulation. Anschließend erfolgt eine Überprüfung, ob der erreichte Füllgrad den Anforderungen an den CMP-Prozess genügt. Dies kann mit dem oben beschriebenen Ansatz zur Bestimmung des lokalen Bedeckungsgrades erfolgen. Im Falle, dass beide Verifikationen erfolgreich sind, liegt am Ende ein verifiziertes Layout mit Füllstrukturen vor. Andernfalls muss die Generierung mit angepassten Parametern erneut durchgeführt werden.

Dieser Designflow wird für jede Ebene, in der Füllstrukturen erzeugt werden müssen, durchgeführt. Während der Verifikation müssen jedoch auch Einflüsse auf den anderen Ebenen des Layouts berücksichtigt werden, wie zum Beispiel das elektrische Übersprechen zwischen Leitungen verschiedener Ebenen. Um die Anzahl der Iterationen möglichst gering zu halten, sollten möglichst viele Entwurfsregeln für die Füllfiguren in dem erzeugenden Algorithmus eingearbeitet werden. Der speziell für die mikromechanischen Flächenlichtmodulatoren entwickelte Algorithmus wird im folgenden näher beschrieben.

Prinzipiell gibt es zwei verschiedene Strategien beim Einfügen von Layoutfiguren, die lokal den Füllgrad erhöhen [23]:

1. Verbundene Figuren, die ein festes elektrisches Potential besitzen.
2. Einzelne unverbundene Figuren, die elektrisch voneinander isoliert sind.

Abbildung 5.11 zeigt das mögliche Layout solcher Figuren. Die Streifen auf der linken Seite sind miteinander verbunden und stellen somit den ersten Fall dar, während die einzelnen Rechtecke auf der rechten Seite unverbunden sind und daher kein festes elektrisches Potential haben (zweiter Fall).

Hinsichtlich des elektrischen Verhaltens unterscheiden sich die oben beschriebenen Arten von Füllstrukturen:

Bei Verwendung der elektrisch verbundenen Figuren ergibt sich eine parasitäre Kapazität der benachbarten Leitungen zu dem Schaltungsknoten der Füllstrukturen. Zu den benachbarten Leitungen gehören sowohl Leitungsführungen, die in derselben Ebene liegen und an die Füllfiguren angrenzen (laterale Koppelkapazität) als auch elektrische Netze, die in einer anderen Ebene ober- oder unterhalb der Füllfigur liegen (vertikale Koppelkapazität). Üblicherweise werden die Füllfiguren an ein Bezugspotential wie Masse angeschlossen. Es ergibt sich dadurch immer eine zusätzliche Kapazität gegen Masse. Diese zusätzlichen Kapazitäten können zu einer Erhöhung der Leitungskapazitäten führen und somit zu einer Erhöhung der Signallaufzeiten.

Werden dagegen die Füllstrukturen aus einzelnen unverbundenen Figuren erzeugt, wie im rechten Teil von Abbildung 5.11, so tritt hauptsächlich ein zusätzliches Übersprechen zwischen einzelnen Leitungen auf. Die Koppelkapazitäten setzen sich wie oben beschrieben ebenfalls aus vertikalen und lateralen Strukturen zusammen. Im Gegensatz zu dem ersten Fall, liegen zwischen einzelnen elektrischen Netzen häufig Reihenschaltungen von Kapazitäten vor. Die resultierenden Koppelkapazitäten sind daher in der Regel niedriger als die zusätzlichen Leitungskapazitäten, die sich aufgrund der elektrisch verbundenen Figuren ergeben können.

Der zweite Ansatz besitzt noch einen weiteren Vorteil. Da die Notwendigkeit entfällt, jede eingefügte Figur mit benachbarten zu verbinden, ist ein Algorithmus zur automatischen Erzeugung solcher Figuren wesentlich einfacher und bietet daher gerade bei großen zu bearbeitenden Flächen Geschwindigkeitsvorteile, die aufgrund der iterativen Vorgehensweise (siehe Abbildung 5.10) nicht zu vernachlässigen sind. Außerdem ist bei elektrisch getrennten Füllstrukturen eine höhere Ausbeute zu erwarten, da einzelne Kurzschlüsse zwischen Füllstrukturen und anderen Figuren nicht notwendigerweise den Ausfall der gesamten Schaltung nach sich ziehen müssen [20]. Bei dem Entwurf von Flächenlichtmodulatoren im Rahmen dieser Arbeit wurde daher der zweite Ansatz zur Erzeugung der Füllstrukturen bevorzugt.

In den Beispiellayouts in Abbildung 5.11 sind die wichtigsten Parameter zur Erzeugung der Füllfiguren eingezeichnet. *Periode* bezeichnet das Raster, in dem eine Wiederholung des jeweiligen Füllmusters auftritt, *Spacing* den Abstand der Füllfiguren untereinander und *Abstand* den Abstand der erzeugten Figuren zu anderen Figuren. Es können verschiedene Abstände zu mehreren Figuren unterschiedlicher Ebenen definiert werden. Dies ist zum Beispiel notwendig für Füllstrukturen in der Polysiliziumebene, die sowohl einen Abstand zu anderen Figuren der Polysiliziumebene besitzen müssen als auch zu den Diffusionsgebieten der CMOS-Transistoren. Eine genaue Beschreibung des entwickelten Algorithmus ist in Anhang A.3.1 vorhanden, die Implementierung der Berechnung des lokalen Füllgrades ist ebenfalls im

Anhang aufgeführt (siehe Anhang A.3.2).

Um das elektrische Verhalten der Schaltung verifizieren zu können, wie in Abbildung 5.10 gezeigt, ist eine genaue Analyse der entstehenden Koppelkapazitäten notwendig. Zur genauen Extraktion der parasitären, lateralen und vertikalen Kapazitäten zwischen den Verdrahtungsebenen ist ein dreidimensionaler Ansatz notwendig. Speziell für die Verdrahtungssysteme integrierter Schaltkreise und mikromechanischer Systeme existieren mittlerweile mehrere Ansätze, die eine dreidimensionale Extraktion verfolgen [29, 31, 32].

Aus den so gewonnenen dreidimensionalen Geometriedaten können dann durch eine elektrische Feldberechnung die Koppelkapazitäten zwischen den einzelnen Layoutfiguren bestimmt werden. Neben den traditionellen Finite-Element Methoden, ist der sogenannte Multipol-Algorithmus des Programms FastCap verbreitet [30, 33].

Die dreidimensionale Analyse des Schaltungslayouts ist jedoch nur bei kleinen Flächen praktikabel. Insbesondere bei den großen Flächen der entworfenen Flächenlichtmodulatoren ist der Aufwand bezüglich Speicherplatz und Rechenanforderung nicht mehr handhabbar. Ein Vergleich zwischen einem dreidimensionalen Layout und der Analyse durch FastCap und einer konventionellen zweidimensionalen Extraktion zeigt, dass die zweidimensionale Analyse ausreichend für die Verifikation des elektrischen Verhaltens ist. Im vorliegenden Fall wurde zur Verifikation des Layouts das Tool DIVA des Cadence Design Systems verwendet. Moderne zweidimensionale Extraktionsalgorithmen berücksichtigen sowohl vertikale Koppelkapazitäten als auch laterale und nähern sich damit der Funktionalität der dreidimensionalen Extraktoren an.

In Tabelle 5.1 sind die Mittelwerte und Standardabweichungen eines Flächenlichtmodulator-Layouts dargestellt. Wie deutlich zu erkennen ist, bewirkt das Einfügen von Füllstrukturen in den Ebenen Metall 1 und Metall 2 eine deutliche Verminderung der Standardabweichung. Durch das Einfügen zusätzlicher Figuren erhöht sich zwangsläufig der Mittelwert des Bedeckungsgrades, und somit der globale Füllfaktor des Layouts, jedoch ist für die resultierende Oberflächenplanarität in erster Linie die lokale Variation der Flächenbelegung ausschlaggebend.

Ebene	met1		met2	
	o. Füllf.	m. Füllf.	o. Füllf.	m. Füllf.
Mittelwert	42 %	51 %	45 %	65 %
Standard-Abweichung	29 %	25 %	32 %	24 %

Tabelle 5.1: Tabelle mit den Mittelwerten und Varianzen der Füllfaktoren eines realisierten Layouts

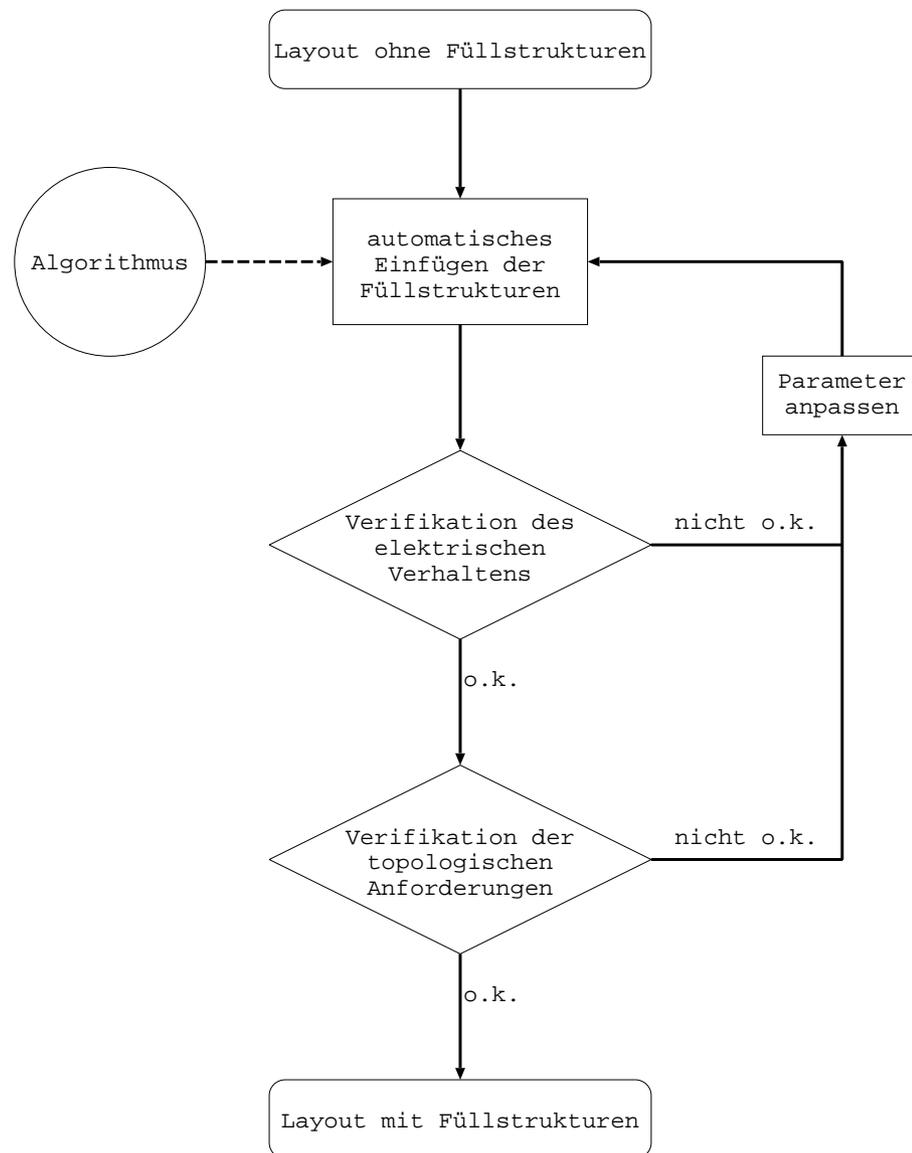


Abbildung 5.10: Flussdiagramm zur automatisierten Erzeugung von Füllstrukturen

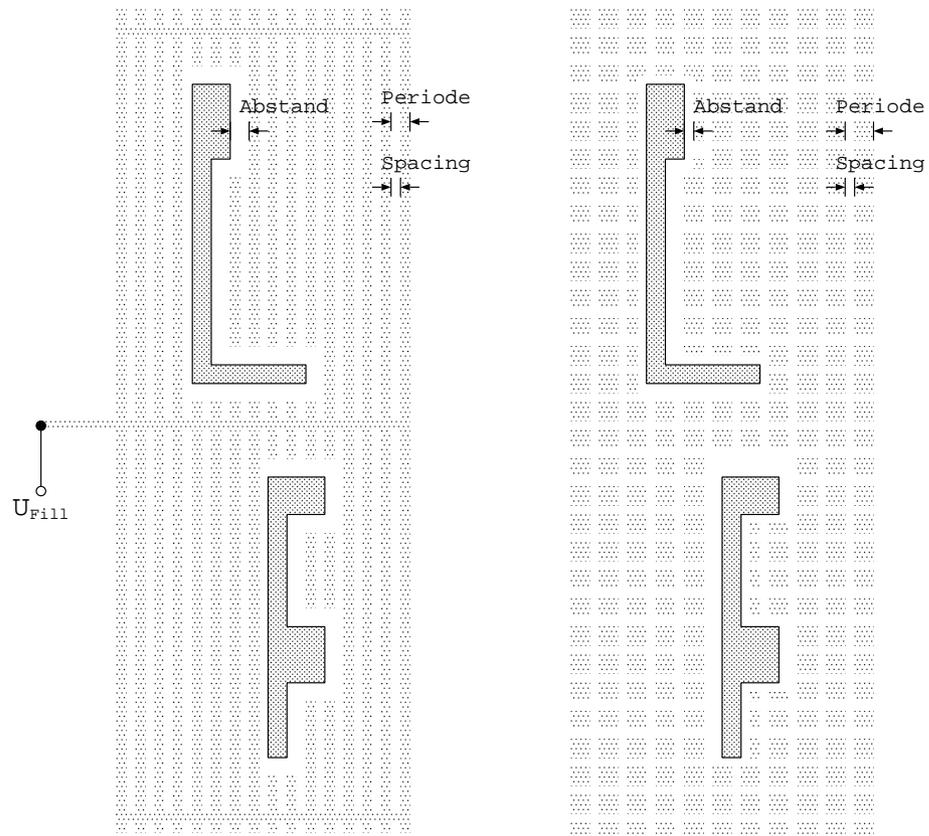


Abbildung 5.11: Beispiellayout mit verschiedenen Füllstrukturen

## 5.5 Die Mikrospiegel Technologien

Wie bereits angeführt, sind die im Rahmen dieser Arbeit entwickelten Ansteuer-schaltungen in der Lage, verschiedene Spiegeltechnologien mit Ansteuerspannungen zu versorgen. Im IMS stehen momentan drei verschiedene Aktor-Technologien zur Verfügung. Die Technologien unterscheiden sich in ihren Kennlinien und den realisierbaren Oberflächenprofilen. Außerdem ist der Aufwand zur Herstellung für die einzelnen Technologien unterschiedlich hoch, was sich entsprechend in den Kosten niederschlägt.

In Tabelle 5.2 sind die wichtigsten Eigenschaften der verwendeten Spiegeltech-nologien aufgeführt. In den nachfolgenden Kapiteln sind die einzelnen Technologien dann ausführlich erläutert.

	VCL	CBM	MLM
Größe des Bildelements	18 – 24 $\mu m$	15 – 150 $\mu m$	10 – 40 $\mu m$
Schaltzeit	2 ms	10 $\mu s$	5 ms
Grenzfrequenz	500 Hz	100 kHz	200 Hz
Schaltcharakteristik	$\approx$ linear	nichtlinear	$\approx$ linear
Betriebsart	binär, analog	binär, analog	analog
Oberflächenprofil	sinusförmig	designabhängig	sinusförmig
Modulationsart	vorw. Phase	Phase oder Amplitude (designabhängig)	vorw. Phase
Maximale Amplitude	0 – 150 nm	0 – 1.2 $\mu m$	300 nm
Wellenlängenbereich	DUV - sichtbar	DUV - IR	UV - IR
Optischer Füllfaktor	100%	80 – 90%	bis zu 100%

Tabelle 5.2: Vergleich der drei verwendeten Spiegeltechnologien und ihrer Eigen-schaften als Flächenlichtmodulatoren [12]

### 5.5.1 Viscoelastic-Control-Layer (VCL)

Die Aktortechnologie, die auf einer viscoelastischen Steuerschicht basiert, wurde bereits im Rahmen eines Lichtmodulators zur Projektion von Fernsehbildern ver-wendet. Auch die erste Generation eines Lichtmodulators zur maskenlosen Mikroli-thographie war mit dieser Technologie ausgerüstet [8, 9].

Abbildung 5.12 zeigt den Aufbau der VCL-Technologie im Querschnitt. Wie gut zu erkennen ist, ergibt sich bei Auslenkung des Aktors ein sinusförmiges Oberflächen-profil. Es kann zwischen eindimensionalem und zweidimensionalem Sinusprofil<sup>13</sup> un-terschieden werden. Die entsprechenden Ansteuervarianten sind in Abbildung 5.13 dargestellt. Die VCL-Technologie bewirkt in erster Linie eine Phasenmodulation des

<sup>13</sup>Aufgrund ihrer Oberflächenstruktur werden die ein- und zweidimensionalen Ansteuervarianten auch Wellblech- oder Schachbrettmodus genannt.

einfallenden Lichtes. Aus diesem Grund besitzt die Schachbrett-Ansteuerung einen Vorteil bei der Abbildung einer zweidimensionalen Modulation, da die Periode des erzeugten Phasengitters hier in beiden Dimensionen identisch ist. Für detaillierte Betrachtungen der Abbildungseigenschaften der sinusförmigen Oberflächenprofile sei an dieser Stelle auf die entsprechende Literatur verwiesen [9, 10, 34].

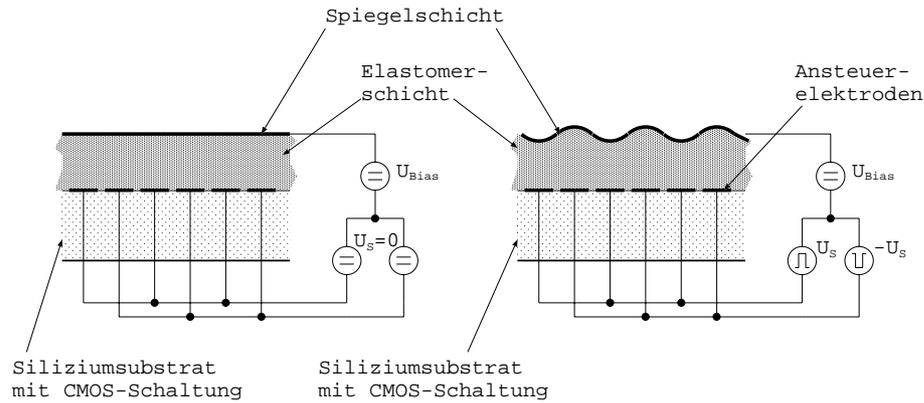
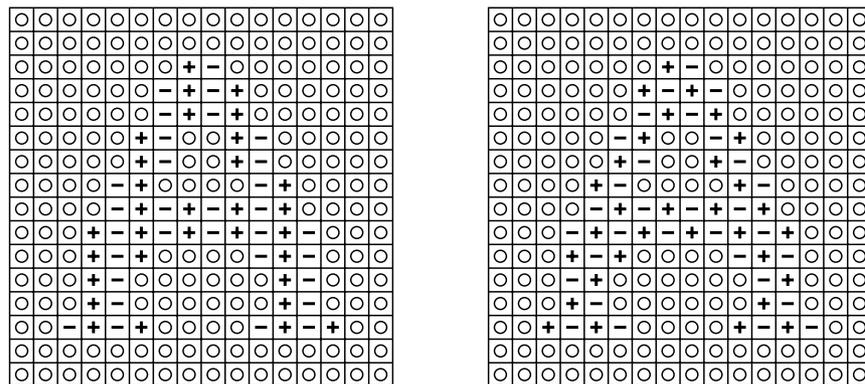


Abbildung 5.12: Querschnitt der VCL-Aktortechnologie



Legende:  $\circ$  :  $U_s=0V$      $+$  :  $U_s>0V$      $-$  :  $U_s<0V$

a) Wellblech-Mode

b) Schachbrett-Mode

Abbildung 5.13: Ansteuervarianten zur Erzeugung eines a) eindimensionalen oder b) zweidimensionalen Oberflächenprofils

Das Ansteuerprinzip der VCL-Technologie entspricht einem Differenzsignal. Bei nicht angesteuerten Pixeln liegt zwischen Ansteuerelektrode und Spiegeloberfläche ein einheitlicher Spannungswert an, die Vorspannung  $U_{Bias}$ . Diese Vorspannung sorgt für eine ebene Oberfläche und erhöht die maximal mögliche Deformation, wie später

noch gezeigt wird. Sie liegt bei der VCL-Technologie im Bereich von 150...300 V. Um eine lokale Deformation zu erzeugen, werden benachbarte Elektroden mit einer zusätzlichen Differenzspannung  $U_S$  beaufschlagt. Eine negative Steuerspannung verursacht eine Deformation nach oben, da die effektive Spannung zwischen Elektrode und Spiegeloberfläche geringer wird. Im Gegensatz dazu bedingt eine positive Steuerspannung eine höhere elektrostatische Anziehung als die umgebenden Pixel, so dass sich ein konkaves Oberflächenprofil ergibt.

Die resultierende Deformationsamplitude (gemessen jeweils von der Ansteuerelektrode zur Spitze des sinusförmigen Oberflächenprofils) ist weitgehend proportional zum Quadrat der anliegenden Elektrodenspannung [8, 14].

$$\begin{aligned} a_{konkav} &\propto (U_{Bias} - U_S)^2 \\ a_{konvex} &\propto (U_{Bias} + U_S)^2 \end{aligned} \quad (5.5)$$

Daraus folgt für die Spitze-zu-Spitze Deformation:

$$a_{SS} = a_{konvex} - a_{konkav} \propto 4U_{Bias} U_S . \quad (5.6)$$

Um ein Fließen des Elastomers zu vermeiden, ist ähnlich wie bei den Flüssigkristalldisplays eine gleichspannungsfreie Ansteuerung notwendig. Das bedeutet, die Polarität der Steuerspannung  $U_S$  muss nach jedem Bild gewechselt werden. Eine vollständige Gleichspannungsfreiheit kann jedoch nur gewährleistet werden, falls jedes Bild exakt zweimal nacheinander unverändert in den Lichtmodulator eingeschrieben wird. In der Praxis hat sich die VCL-Technologie jedoch als so robust erwiesen, dass der Einfluss kurzfristig auftretender Gleichauslenkung nicht zu einem Materialtransport der Aktorschicht führt. Die VCL-Technologie ist jedoch aus diesem Grund nicht dazu geeignet ein und dasselbe Bild über längere Zeit darzustellen. Hier muss durch die Bereitstellung der komplementären Daten oder durch eine Implementierung in der Hardware des Lichtmodulators abwechselnd das originale und das komplementäre Bild eingeschrieben werden. Bei einer binären Ansteuerung im Falle des Wellblech-Modes kann die Verlustleistung während des Adressiervorgangs minimiert werden, da jede Spalte maximal um den halben Spannungswert umgeladen werden muss. Wird dagegen der Schachbrett-Modus verwendet, so ergibt sich ein Vorteil bei der Verlustleistung nur durch eine interlaced Adressierung, bei der zuerst jeweils alle ungeraden Zeilen mit einem Pegel adressiert werden und anschließend alle gerade mit dem komplementären. Nach jedem Bild erfolgt bei beiden Varianten ein Wechsel der Pegel, um die geforderte Gleichspannungsfreiheit zu gewährleisten. Dieser Wechsel kann bei einer binären Ansteuerung in der Hardware des Modulators realisiert werden. Werden die Flächenlichtmodulatoren der VCL-Technologie jedoch analog betrieben, so ist eine hardwaremäßige Realisierung der Gleichspannungsfreiheit sehr aufwändig. Hier ist einer Softwarelösung der Vorzug zu geben, die bei der Erzeugung der einzuschreibenden Daten den Pegelwechsel von Bild zu Bild entsprechend berücksichtigt.

Der Herstellungsprozess zum Aufbringen der VCL-Aktoren ist in Anhang A.2 dargestellt.

Die Vorteile der VCL-Technologie liegen hauptsächlich in der durchgängigen verspiegelten Oberfläche. Zum einen bedeutet dies einen optischen Füllgrad von 100 %, das heißt es treten keine störenden Beugungseffekte durch Schlitze in der Spiegeloberfläche auf, die eine Abbildung stören könnten, zum anderen wird die darunter liegende Ansteuerschaltung nahezu vollständig vom einfallenden Licht abgeschirmt und erlaubt so hohe Speicherzeiten der Pixelzellen (siehe Kapitel 4) und damit eine hohe Adressiergenauigkeit. Die lineare Kennlinie der Deformationsamplitude eignet sich besonders für eine stufenlose Modulation im Analogbetrieb, wobei im Gegensatz zur CBM-Technologie der volle Aussteuerbereich hierfür zur Verfügung steht.

Zu den Nachteilen der VCL-Technologie gehört die Notwendigkeit einer hohen Vorspannung und die unter Umständen störende Gleichanteilempfindlichkeit. Außerdem ist das mechanische Verhalten stark temperaturabhängig, so dass bei einer aktiven Adressierung mit Hilfe einer CMOS-Schaltung eine aktive Kühlung in jedem Fall notwendig ist.

Im Vergleich zu den anderen verfügbaren Spiegeltechnologien zeichnet sich die VCL-Technologie durch eine sehr gute Analogfähigkeit und den besten optischen Füllgrad aus. Allerdings sind praktisch relevante Deformationsamplituden zur Zeit nur für Pixelgrößen im Bereich von  $20 \mu\text{m}$  realisierbar, da bei der Herstellung des Elastomers nur ein schmales Prozessfenster zur Verfügung steht [8, 14].

### 5.5.2 Cantilever-Beam-Mirrors (CBM)

Die Herstellung der Aktoren in der Cantilever-Beam-Mirror (CBM) Technologie erfolgt mit Methoden der „klassischen“ Oberflächenmikromechanik [14, 15, 16]. Als Material kommt hierbei Aluminium zum Einsatz mit einer Kupferbeimischung zur Verbesserung der mechanischen Eigenschaften. Abbildung 5.14 zeigt den Aufbau der Aktoren im Querschnitt.

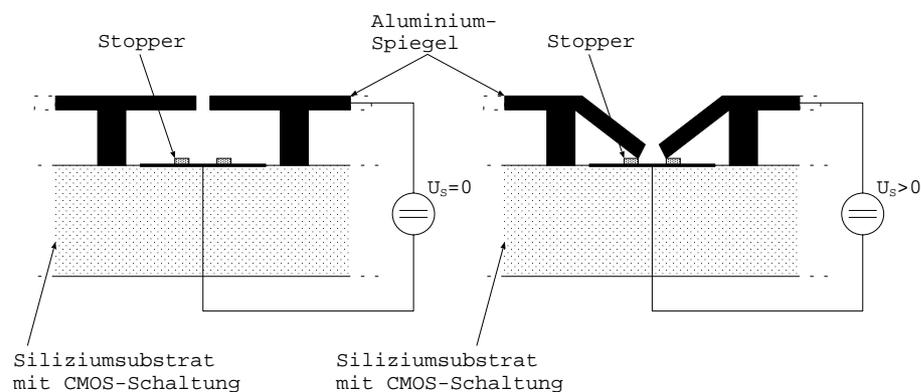


Abbildung 5.14: Querschnitt der CBM-Aktortechnologie

Die CBM-Technologie ermöglicht eine Vielzahl verschiedener Spiegelgeometrien aus denen sich verschiedene Oberflächenprofile ergeben. Im folgenden wird zwischen vorwiegend amplitudensmodulierenden und vorwiegend phasenmodulierenden Profilen unterschieden. Abbildung 5.15 zeigt verschiedene Spiegelgeometrien, die im Verlauf dieser Arbeit eingesetzt worden sind. Die dargestellten Geometrien lassen sich in drei Gruppen unterteilen:

1. Bei den Senkelementen verbleibt die Spiegeloberfläche immer waagrecht. Diese Spiegel wirken rein phasenmodulierend.
2. Pyramiden- oder Kleeblattelemente besitzen im deformierten Zustand eine Verkippung zur Pixelmitte. Je nachdem, ob die Elemente in der Mitte verbunden sind, unterscheidet man die Bezeichnungen Pyramiden- oder Kleeblattelement. Diese Geometrien ermöglichen sowohl eine Phasen- als auch eine Amplitudenmodulation.
3. Bei Torsionselementen findet bei Ansteuerung eine Verkippung längs einer Achse statt. Diese Spiegelelemente werden hauptsächlich zur Amplitudenmodulation eingesetzt.

Der Zusammenhang zwischen Ansteuerspannung und Deformationskennlinie ist bei allen Spiegelgeometrien stark nichtlinear. Der genaue Verlauf der Kennlinie ist jedoch von der Spiegelgeometrie abhängig. Prinzipiell können zwei Betriebsarten unterschieden werden:

**Binärbetrieb** In dieser Betriebsart werden die Aktoren in zwei diskrete Positionen ausgelenkt. Dabei kann es sich um eine Nulllage (entspricht keiner Auslenkung) und um eine Vollausslenkung handeln, wie bei den Senk- und Pyramidelementen. Eine weitere binäre Betriebsart besteht bei den Torsionselementen, die auch in zwei wechselnden Vollausslenkungen betrieben werden können.

**Analogbetrieb** Hier werden keine diskreten Positionen eingestellt, sondern die Aktoren in einem kontinuierlichen Bereich betrieben.

Die binäre Betriebsart, in der Literatur häufig auch als digital bezeichnet, wird bereits für mikromechanische Flächenlichtmodulatoren genutzt. Hierbei stehen Display- und Projektionsanwendungen im Vordergrund, bei denen häufig eine Multiplexansteuerung erfolgt (siehe Kapitel 2.4) [16].

In dieser Arbeit wird hauptsächlich die analoge Ansteuerung von Aktoren in der CBM-Technologie betrachtet. Im Analogbetrieb steht gegenüber dem Binärbetrieb nur eine eingeschränkte Deformationsamplitude zur Verfügung. Dies ist in der Mitkopplung begründet, die sich bei der elektrostatischen Anziehung zwischen Ansterelektrode und Spiegelaktor ergibt. In Abbildung 5.16 ist der Asteuerbereich des Analogbetriebes im Vergleich zum Binärbetrieb dargestellt.

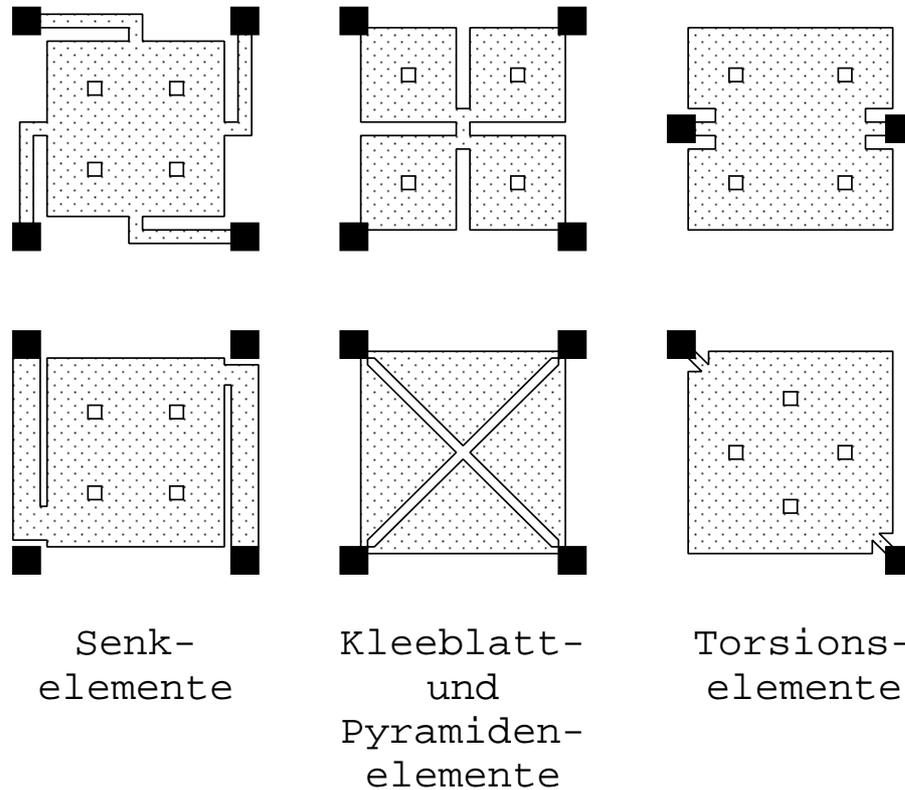


Abbildung 5.15: Darstellung verschiedener Spiegelgeometrien, die in der CBM-Technologie realisiert werden können [14]

Beim Binärbereich wird die Mitkopplung der Aktoren aktiv genutzt. Das heißt die Aktoren werden über den sogenannte Pull-In Punkt hinaus ausgelenkt und schnappen nach unten durch. Ein isolierender Stopper verhindert dabei einen elektrischen Kurzschluss. Der Pull-In Punkt liegt bei den Torsions- und Pyramidenelementen bei etwa der halben Hohlraumhöhe, bei den Senkelementen tritt er etwas früher auf [14]. Um einen sicheren Analogbetrieb zu ermöglichen, ist daher der Aussteuerbereich auf etwa ein Drittel der Hohlraumhöhe begrenzt.

Um im Analogbetrieb den gleichen Modulationsweg wie im binären Fall zu erhalten, muss die Hohlraumhöhe entsprechend vergrößert werden. Dadurch werden gleichzeitig höhere Ansteuerspannungen notwendig, da die elektrostatische Kraft umgekehrt proportional zum Abstand der Elektrodenflächen ist (siehe Kapitel 2.3).

Ein Nachteil der CBM-Technologie ist das prinzipielle Vorhandensein von Schlitzen und der nicht hundertprozentige Füllgrad der Modulationsfläche. Wie in Abbildung 5.15 zu sehen ist, entstehen Schlitze zum einen am Rand eines Bildelementes durch die Spiegelaufhängung zum anderen sind bei großen Spiegelflächen Löcher in der Aluminiumschicht notwendig, um ein sicheres Freiätzen des Hohlraumes zu gewährleisten. Je nach Spiegelgeometrie können Füllgrade von bis zu 90 % realisiert werden (siehe auch Tabelle 5.2). Die Schlitze zwischen den Spiegelementen

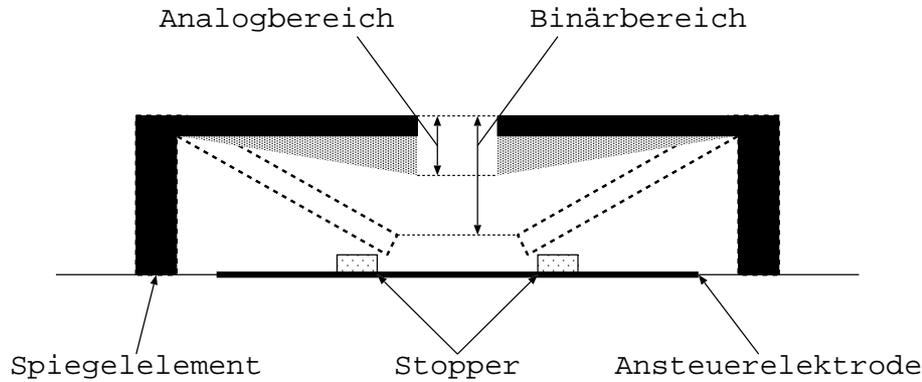


Abbildung 5.16: Aussteuerung von Pyramidelementen im Analog- und Binärbetrieb

bzw. zwischen den Spiegeln und den Aufhängungen verursachen eine Beugung des einfallenden Lichtes in höhere Beugungsordnungen. Dies muss bei der Konzeption der abbildenden Optik berücksichtigt werden. Da für die meisten Anwendungen nur die unteren Beugungsordnungen ausgewertet werden, verursachen die Schlitzen nur einen Verlust der Strahlstärke im Verhältnis des Füllgrades, weitere Einschränkungen treten nicht auf.

Die Schlitze bewirken jedoch ein Eindringen des zu modulierenden Lichtes in die CMOS-Schaltung. Je nach verwendeter Wellenlänge und optischer Strahlungsleistung kann dies zu einer Beeinflussung der Funktion des Flächenlichtmodulators führen. Entsprechende Untersuchungen des Einflusses und mögliche Gegenmaßnahmen sind in Kapitel 4 dargestellt.

Ein Vorteil der CBM-Technologie gegenüber den anderen verwendeten Technologien ist die höhere mögliche Modulationsgeschwindigkeit. Messungen an passiv angesteuerten Aktoren haben Grenzfrequenzen im Bereich von einigen Kilohertz bis zu  $100\text{ kHz}$  für die kleinsten Bildelemente<sup>14</sup> gezeigt. Dadurch werden selbst bei großen Arrays von mehreren zehntausend Bildelementen noch Bildwiederholraten von bis zu  $500\text{ Hz}$  möglich [27].

In der CBM-Technologie sind wie oben beschrieben sehr verschiedene Spiegelgeometrien möglich, mit denen sich anwendungsspezifische Modulationsprofile entwerfen lassen. Die CBM-Technologie deckt ein weites Anwendungsgebiet ab, da sich Oberflächenprofil, Deformationsamplitude und Bildelementgrößen in sehr weitem Umfang an spezielle Anforderungen anpassen lassen, wie in Tabelle 5.2 gezeigt ist.

### 5.5.3 Moving-Liquid-Mirror (MLM)

Die Moving-Liquid-Mirror (MLM) Technologie verfolgt einen etwas anderen Ansatz. Hier wird das eigentliche Spiegelement durch die oberste Metallisierung der CMOS-Schaltung gebildet. Die Spiegelebene selber wird nicht bewegt. Eine Modulation des

<sup>14</sup> $16\ \mu\text{m} \times 16\ \mu\text{m}$

einfallenden Lichtes erfolgt durch Deformation eines darüberangeordneten optischen Mediums. Abbildung 5.17 zeigt den Aufbau eines MLM-Aktors im Querschnitt [18].

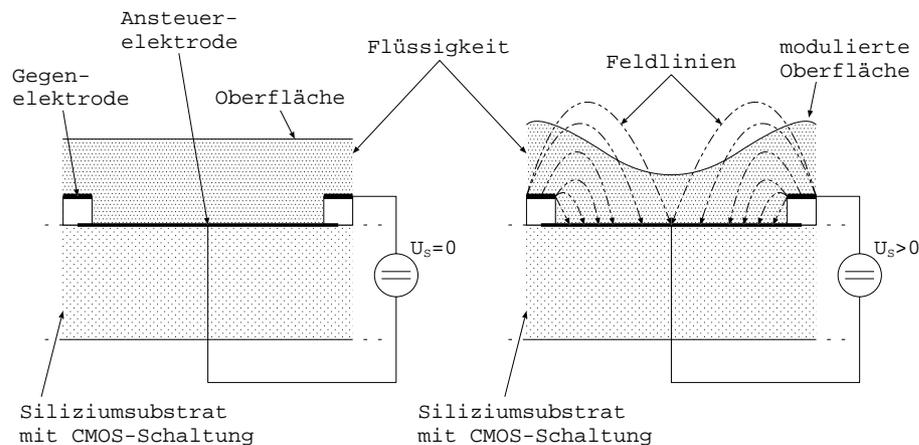


Abbildung 5.17: Querschnitt eines Bildelements in MLM-Technologie

Das einfallende Licht wird durch die Aluminium-Ansteuerelektrode reflektiert. Vorher durchläuft es eine aufgebrauchte Flüssigkeit. Aufgrund der unterschiedlichen Brechungsindizes von der Umgebung (Luft) und der Flüssigkeit findet eine Phasenverschiebung des Lichtes statt. Wird nun eine elektrische Spannung zwischen Ansteuerelektrode und Gegenelektrode angelegt, so bildet sich ein elektrisches Kraftfeld aus, dessen Feldlinien in Abbildung 5.17 in der rechten Hälfte dargestellt sind.<sup>15</sup> Durch das elektrische Feld wirkt auf die Oberfläche der Flüssigkeit eine Kraft, die eine Ausrichtung der Grenzfläche senkrecht zu den Feldlinien bewirkt, also in Richtung der Äquipotentialflächen des Kraftfeldes. Dieser Kraft wirkt die Oberflächenspannung der Flüssigkeit entgegen, so dass sich im statischen Zustand ein Gleichgewicht dieser beiden Kräfte einstellt.

Mit Hilfe einer elektrischen Ansteuerspannung lässt sich also lokal die Dicke des Flüssigkeitsfilmes modulieren und damit der Phasengang des einfallenden Lichtes.

In Abbildung 5.18 ist eine dreidimensionale Ansicht der realisierten Elektrodengeometrien gezeigt. Die Ansteuerelektrode, die gleichzeitig als Spiegelelement fungiert, besteht aus der obersten Metallebene des verwendeten CMOS-Prozesses. Das eingesetzte Material Aluminium zeichnet sich durch eine gute Reflektivität in dem nutzbaren Wellenlängenbereich (siehe Tabelle 5.2) aus. Die Gegenelektrode wird gitterförmig aufgebracht und durch einen Steg aus Siliziumdioxid von der unteren Elektrode isoliert. Anschließend wird auf die Gegenelektrode noch eine Antireflexschicht<sup>16</sup> aus Titanitrit gebracht, die störende Reflektionen der ebenfalls aus Aluminium bestehenden Gegenelektrode verhindern soll. Das Design wurde auf eine

<sup>15</sup>Die Grenzfläche zwischen Flüssigkeit und Oberfläche führt zu einer Verbiegung der Feldlinien, die hier aus Gründen der Übersicht nicht dargestellt ist

<sup>16</sup>Abkürzung ARC: Anit-Reflex-Coating

maximale Abschirmung der darunterliegenden CMOS-Schaltung durch die Aluminiumelektroden optimiert, um die lichtinduzierten Leckströme zu reduzieren. Ähnlich wie bei der CBM-Technologie liefert der eigentliche Aktor keine vollständige Abschirmung des einfallenden Lichtes. Der optische Füllgrad der einzelnen Bildelemente ergibt sich aus dem Flächenverhältnis von Ansteuer- und Spiegelelektrode zu der Gegenelektrode. Dieses Verhältnis kann durch die Ausführung der Gegenelektrode als schmale Stege optimiert werden, wobei die minimale Stegbreite durch die lithographische Auflösung und durch die erreichbare Ausbeute bei der Herstellung begrenzt wird. Der genaue Prozess zur Herstellung der MLM-Strukturen ist in Anhang A.2 dargestellt.

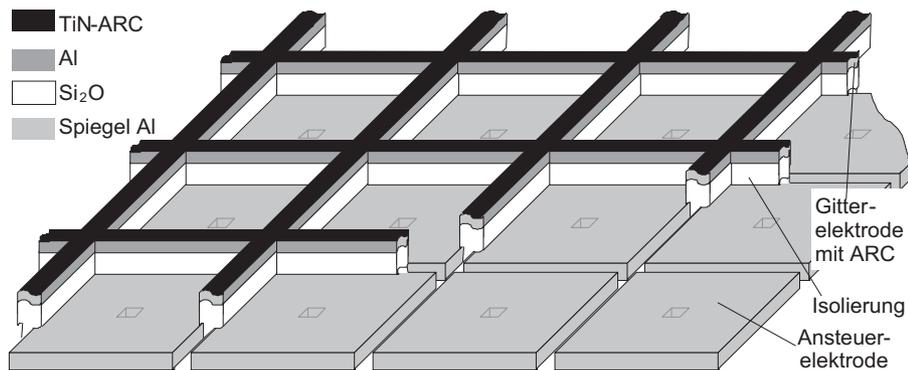


Abbildung 5.18: Die Elektrodengeometrie einer Pixelmatrix in der MLM-Technologie [18]

Als Flüssigkeit wird ein Silikonöl eingesetzt, das eine Reihe von Anforderungen erfüllen muss [18]:

- Hoher Brechungsindex  $n$ , um bei kleinen bis mittleren Deformationsamplituden bereits eine entsprechende Phasenmodulation zu ermöglichen.
- Hohe relative Dielektrizitätskonstante  $\epsilon_r$ , um mit geringen elektrischen Feldstärken arbeiten zu können, die auch von integrierten Ansteuerschaltungen bereitgestellt werden können.
- Eine geringe Oberflächenspannung, die gegen die Kraft des elektrischen Feldes wirkt.
- Hohe elektrische Isolation und Durchschlagfestigkeit, um die notwendigen elektrischen Feldstärken erzeugen zu können.
- Langzeitbeständigkeit durch chemische Stabilität, niedrigen Dampfdruck und entsprechende Lichtbeständigkeit, um die Anforderungen an Lebensdauer, Betriebsbedingungen und verwendetem Spektralbereich zu erfüllen.

Silikonöle zeichnen sich durch eine hohe chemische Stabilität aus. Es sind Öle mit definierten Viskositäten erhältlich. Der Brechungsindex des verwendeten Öles ist mit  $n \approx 1,4$  und die relative Dielektrizität mit  $\epsilon_r \approx 2.6$  für die meisten Anwendungen ausreichend.

Eine weitere wichtige Eigenschaft ist die Stabilität der Kennwerte der Flüssigkeit gegenüber wechselnden Betriebsbedingungen. Auch hier zeichnet sich das verwendete Silikonöl durch eine geringe Abhängigkeit gegenüber der Temperatur und eine hohe Unempfindlichkeit gegenüber Luftfeuchtigkeit aus, so dass auch ein Einsatz des Flächenlichtmodulators an der normalen Atmosphäre möglich ist.

In kritischen Applikationen ist allerdings eine Temperaturüberwachung des Lichtmodulators notwendig, da die aktive CMOS-Schaltung im Betrieb Verlustwärme erzeugt, die Einfluss auf das Verhalten der Flüssigkeit haben kann. Die genauen Parameter, die mit der MLM-Technologie erreicht werden, sind wiederum in Tabelle 5.2 aufgeführt.

