

3 Analogbetrieb dynamischer Speicherzellen

Im vorigen Kapitel sind die Vorteile einer dynamischen Ansteuerung mikromechanischer Aktorarrays dargestellt worden. In diesem Kapitel werden die grundlegenden Eigenschaften wie die maximal mögliche Ansteuerspannung der Aktoren und die erreichbare Genauigkeit bei Analogbetrieb der einzelnen Pixelzellen eines solchen Ansatzes dargestellt.

Zuerst werden die parasitären Effekte, die bei der Adressierung dynamischer Matrixzellen auftreten, beschrieben. In Kapitel 3.2 wird ein Konzept zur Verbesserung der elektrischen Eigenschaften vorgestellt und im anschließenden Kapitel 3.3 die erreichbare Ansteuergenauigkeit einer aktiven Matrix analytisch bestimmt.

3.1 Taktdurchgriff

Um abzuschätzen wie genau die Adressierspannung auf der Elektrode einer Pixelzelle eingestellt werden kann, muss das Schaltungsverhalten der beteiligten Bauelemente betrachtet werden. Abbildung 3.1 zeigt den idealen Aufbau einer Pixelzelle:

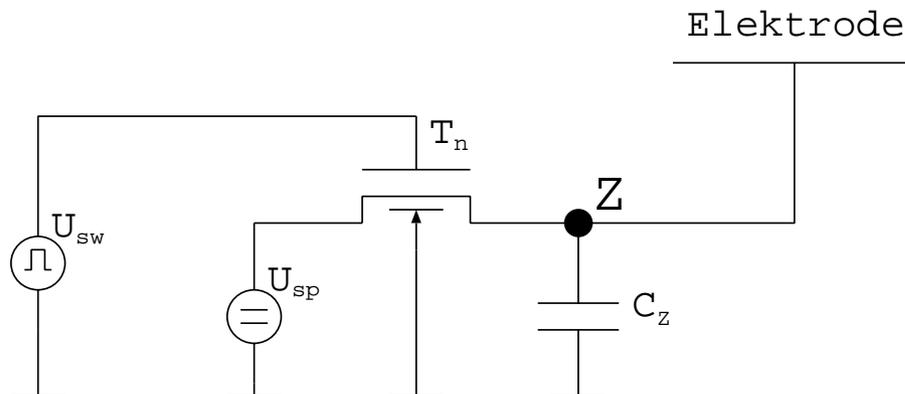


Abbildung 3.1: Einfaches Ersatzschaltbild einer Pixelzelle

Um die elektrische Spannung am Knoten Z zu bestimmen, wird der Schalttransistor T_n in ein Ersatzschaltbild überführt (Abb. 3.2).

Der Kanalleitwert g_{ds} wird hierbei als Funktion von der Gate-Source Spannung betrachtet. Im folgenden wird ein Speicherzyklus der Pixelzelle mit einem vorgegebenen zeitlichen Verlauf der Schaltspannung $U_{sw}(t)$ betrachtet, so dass ein zeitlicher Verlauf von $g_{ds}(t)$ folgendermaßen formuliert werden kann:

$$g_{ds}(t) = \begin{cases} R_{on}^{-1} & \text{für } U_{sw}(t) - U_{sp} > U_{Tn} \\ 0 & \text{für } U_{sw}(t) - U_{sp} \leq U_{Tn} \end{cases} \quad (3.1)$$

wobei U_{Tn} die Schwellenspannung des N-Kanal-MOSFETs ist.

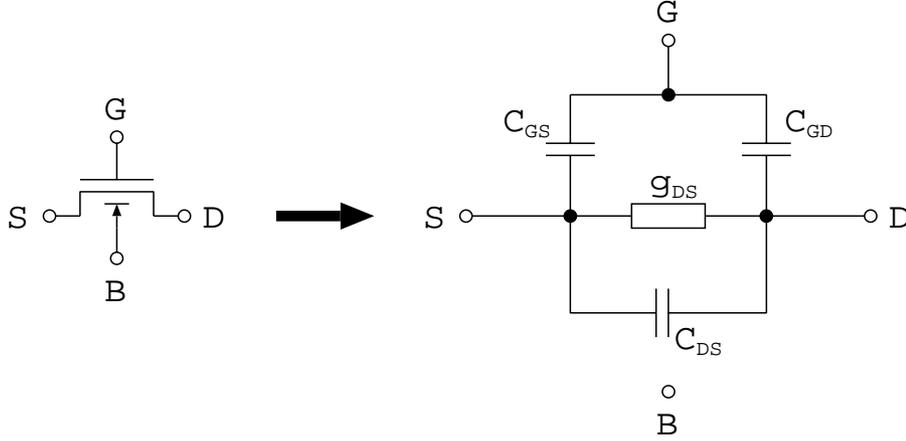


Abbildung 3.2: Verwendetes Transistorersatzschaltbild

Der Source-Knoten des Transistors ist mit einer Spaltenleitung verbunden, die zuvor mit der Adressierspannung U_{sp} geladen wurde. Die Kapazität dieser Spaltenleitung ist groß gegenüber der Zellkapazität C_z und den parasitären Transistorkapazitäten, so dass die Modellierung der Spaltenleitung mit einer Spannungsquelle $U_{sp} = const.$ zulässig ist.

Für den On-Widerstand R_{on} des eingeschalteten Transistors gilt:

$$R_{on} = \frac{1}{\beta_n (U_{GS}(t) - U_{Tn})} = \frac{1}{\beta_n (U_{sw}(t) - U_{sp} - U_{Tn})}, \quad (3.2)$$

mit der Transistorkonstanten:

$$\beta_n = \mu_n C_{ox}'' \frac{w}{l}. \quad (3.3)$$

Mit Hilfe des Kirchhoff'schen Knotensatzes erhält man eine Differentialgleichung, die den Verlauf der elektrischen Spannung am Speicherknoten Z beschreibt.

$$\begin{aligned} \dot{U}_Z(t) &- \frac{\beta_n}{C_{DS} + C_{GD} + C_Z} (U_{sp} - (U_{sw}(t) - U_{Tn})) U_Z(t) \\ &- \frac{C_{GD}}{C_{DS} + C_{GD} + C_Z} \dot{U}_{sw}(t) \\ &+ \frac{\beta_n}{C_{DS} + C_{GD} + C_Z} (U_{sp} - (U_{sw}(t) - U_{Tn})) U_{sp} = 0, \\ \text{für } &U_{sw}(t) - U_{sp} - U_{Tn} > 0 \\ \dot{U}_Z(t) &- \frac{C_{GD}}{C_{DS} + C_{GD} + C_Z} \dot{U}_{sw}(t) = 0 \\ \text{für } &U_{sw}(t) - U_{sp} - U_{Tn} \leq 0 \end{aligned} \quad (3.4)$$

Zum Zeitpunkt $t = 0$ sei der Transistor leitend, d.h. der Schalter geschlossen und die Adressierspannung U_{sp} bereits auf dem Knoten Z eingeschwungen. Für $t > 0$ wird nun der Abschaltvorgang des Transistors betrachtet. Das Schaltsignal $U_{sw}(t)$ fällt von high auf low, so dass die Gate-Source Spannung des N-Kanal Transistors unter die Schwellenspannung U_{Tn} sinkt und der Transistor sperrt. In erster Näherung kann ein linearer Verlauf des Schaltsignals angenommen werden:

$$U_{sw} = U_{High} \left(1 - \frac{t}{t_{sw}} \right). \quad (3.5)$$

Mit Hilfe von 3.5 lässt sich auch der Zeitpunkt t_{off} bestimmen, zu dem der Transistor vom leitenden in den sperrenden Zustand übergeht. Anhand von 3.1 erhält man:

$$t_{off} = t_{sw} \frac{U_{High} - U_{Tn} - U_{sp}}{U_{High}}. \quad (3.6)$$

Der Spannungswert auf dem Zellknoten Z ergibt sich durch Lösen der DGL und Einsetzen des betrachteten Zeitpunktes. So ergibt sich für den Abschaltzeitpunkt t_{off} folgender Spannungswert $U_Z(t_{off})$ [52].

$$U_1 := U_Z(t_{off}) = U_{sp} - \frac{C_{GD} \sqrt{\frac{\pi}{2} U_{High}}}{\sqrt{\beta_n \cdot t_{sw} (C_{DS} + C_{GD} + C_Z)}} \cdots \cdot \operatorname{erf} \left(\sqrt{\frac{t_{sw}}{2}} \cdot \frac{(U_{High} - U_{Tn} - U_{sp}) \sqrt{\beta_n}}{\sqrt{C_{DS} + C_{GD} + C_Z} \sqrt{U_{High}}} \right) \quad (3.7)$$

Hierbei wird ein Anfangswert von $U_Z(0) = U_{sp}$ angenommen.

Für die Zeitspanne von $t_{off} < t \leq t_{sw}$ vereinfacht sich die Differentialgleichung zu (3.4). Mit dem Anfangswert $U_Z(t) = U_1$ ergibt sich folgende Lösung:

$$U_2 := U_Z(t_{sw}) = U_1 - \frac{C_{GD}}{C_{DS} + C_{GD} + C_Z} (U_{sp} + U_{Tn}). \quad (3.8)$$

Setzt man oben die Lösung für die erste Phase des Abschaltvorgangs (3.7) ein, so erhält man die resultierende Spannung einer Pixelzelle nach dem kompletten Abschaltvorgang (siehe (3.9)).

$$U_Z(t) = U_{sp} - \frac{C_{GD} \sqrt{\frac{\pi}{2} U_{High}}}{\sqrt{\beta_n t_{sw} (C_{DS} + C_{GD} + C_Z)}} \cdot \operatorname{erf} \left(\sqrt{\frac{t_{sw}}{2}} \frac{(U_{High} - U_{Tn} - U_{sp}) \sqrt{\beta_n}}{\sqrt{C_{DS} + C_{GD} + C_Z} \sqrt{U_{High}}} \right) - \frac{C_{GD}}{C_{DS} + C_{GD} + C_Z} (U_{sp} + U_{Tn}) \quad (3.9)$$

Für den Fall, dass das Argument der Fehlerfunktion groß gegenüber 1 ist

$$t_{sw} \gg 2 \frac{(C_{GD} + C_{DS} + C_Z) U_{High}}{\beta_n (U_{High} - U_{Tn} - U_{sp})^2} =: t_c \quad (3.10)$$

kann diese mit 1 approximiert werden.

$$U_Z(t_{sw}) = U_{sp} - \frac{C_{GD}}{C_{DS} + C_{GD} + C_Z} \cdot \left(\sqrt{\frac{\pi}{2} \sqrt{\frac{(C_{DS} + C_{GD} + C_Z) U_{High}}{\beta_n \cdot t_{sw}}} + (U_{sp} + U_{Tn})} \right) \quad (3.11)$$

In der Regel kann in (3.11) der erste Term der Klammer gegenüber dem zweiten vernachlässigt werden, so dass man folgende resultierende Spannung auf dem Speicherknoten erhält:

$$U_Z(t_{sw}) \approx U_{sp} - \frac{C_{GD}}{C_{DS} + C_{GD} + C_Z} (U_{sp} + U_{Tn}) . \quad (3.12)$$

Anhand von (3.12) lassen sich die folgenden Schlussfolgerungen unmittelbar ablesen:

Für lange Schaltzeiten am Auswahltransistor (Faustformel: $t_{sw} \gg 1\text{ns}$ siehe (3.10)) gilt:

1. Der Taktdurchgriff bewirkt immer eine Verminderung der Sollspannung U_{sp} .
2. Der Spannungsfehler ist proportional zum Verhältnis der Koppelkapazität zwischen Schaltleitung und Speicherknoten zur Gesamtkapazität des Speicherknotens.
3. Der Spannungsfehler steigt mit zunehmender Adressierspannung U_{sp} .

Für extrem kurze Schaltflanken ($t_{sw} \ll t_c$) ist die obige Bedingung 3.10 zur Approximation der Fehlerfunktion nicht mehr erfüllt. Mit Hilfe einer Reihenentwicklung der Fehlerfunktion erhält man für die elektrische Spannung auf dem Speicherknoten folgenden Ausdruck (Abbruch der Entwicklung nach dem linearen Glied):

$$U_Z(t_{sw}) \approx U_{sp} - \frac{C_{GD}}{C_{DS} + C_{GD} + C_Z} U_{High} \quad (3.13)$$

Auch hier lassen sich 3 Aussagen unmittelbar an (3.13) ablesen:

1. Der Taktdurchgriff bewirkt immer eine Verminderung der Sollspannung.
2. Der Spannungsfehler ist proportional zum Verhältnis der Koppelkapazität zwischen Schaltleitung und Speicherknoten zur Gesamtkapazität des Speicherknotens.
3. Der Spannungsfehler ist unabhängig von der Adressierspannung.

Vergleicht man die Lösungen für ein schnelles und langsames Abschalten (3.13) und (3.12) so erhält man folgende Aussage:

$$\begin{aligned} U_Z(t_{sw} \ll t_c) &\leq U_Z(t_{sw} \gg t_c) \\ \text{Fehler}(t_{sw} \ll t_c) &\geq \text{Fehler}(t_{sw} \gg t_c) \end{aligned} \quad (3.14)$$

Der Grenzfall, dass beide Fälle den gleichen Spannungsfehler verursachen, gilt für die maximal mögliche Adressierspannung:

$$U_{sp} = U_{High} - U_{Tn} . \quad (3.15)$$

Höhere Spannungen können nicht mehr mit einem einfachen NMOS-Transistor geschaltet werden.

3.2 Kompensation des Taktdurchgriffes

Wie im vergangenen Abschnitt gezeigt, ist die maximal mögliche Adressierspannung durch die Gatespannung U_{High} und die Schwellenspannung des Auswahltransistors U_{Tn} vorgegeben. Zusätzlich wird diese Spannung durch den Taktdurchgriff weiter vermindert.

Um diese unerwünschte Verminderung der Adressierspannung zu verhindern, wird ein weiteres Schaltsignal, das sogenannte Kompensationsgate, zu den einzelnen Pixeln geführt. Dieses Signal sorgt mit Hilfe einer kapazitiven Kopplung auf den Speicherknoten Z (siehe Abbildung 3.1) für eine Kompensation des Taktdurchgriffes, so dass die maximale Adressierspannung nach (3.15) auch in der Realität erreicht wird.

Das Kompensationssignal ist synchron und im Gegenteil zum (Gate-)Schaltsignal. Allerdings besitzt es nicht notwendigerweise denselben Spannungshub. Analog zu (3.5) gilt für die Schaltflanke des Kompensationssignals:

$$U_{KG}(t) = U_{KG,High} \cdot \frac{t}{t_{sw}}. \quad (3.16)$$

In der SC-Schaltungstechnik wird zur Kompensation von Taktdurchgriffen durch Schalttransistoren meist ein zweiter Transistor mit entsprechenden Abmessungen verwendet, so dass eine vollständige Kompensation für $U_{KG,High} = U_{High}$ gegeben ist [50, 51]. Innerhalb der in dieser Arbeit betrachteten Pixelzellen ist der Einbau eines weiteren Transistors aus Platzgründen nicht immer möglich. Aus diesem Grund wird zur Kompensation eine einfache platzsparende Kapazität zwischen Kompensationsgate und Speicherknoten geschaltet. Abbildung 3.3 zeigt den entsprechenden Schaltplan.

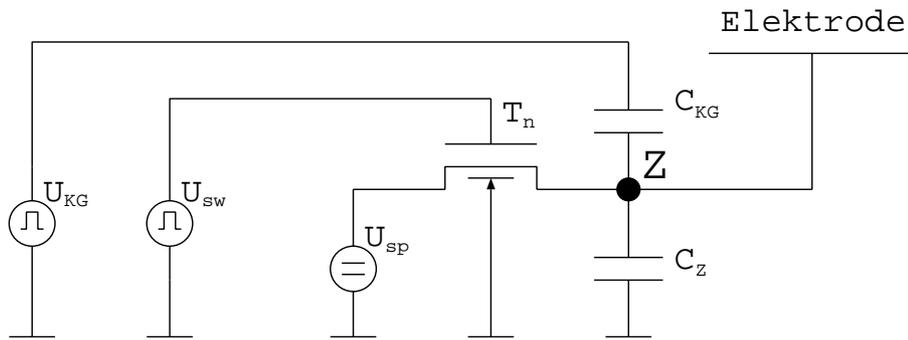


Abbildung 3.3: Ersatzschaltbild einer Pixelzelle mit angeschlossenem Kompensationsgate

Auch der Abschaltvorgang mit Kompensation lässt sich durch eine Differentialgleichung beschreiben:

$$\begin{aligned} \dot{U}_Z(t) &= \frac{\beta_n}{C_{DS} + C_{GD} + C_{KG} + C_Z} (U_{sp} - (U_{sw}(t) - U_{Tn})) U_Z(t) \\ &\quad - \frac{C_{GD}}{C_{DS} + C_{GD} + C_{KG} + C_Z} \dot{U}_{sw}(t) \\ &\quad - \frac{C_{KG}}{C_{DS} + C_{GD} + C_{KG} + C_Z} \dot{U}_{KG}(t) \\ &\quad + \frac{\beta_n}{C_{DS} + C_{GD} + C_Z} (U_{sp} - (U_{sw}(t) - U_{Tn})) U_{sp} = 0, \\ \text{für } &U_{sw}(t) - U_{sp} - U_{Tn} > 0 \end{aligned} \quad (3.17)$$

$$\begin{aligned} \dot{U}_Z(t) &= \frac{C_{GD}}{C_{DS} + C_{GD} + C_{KG} + C_Z} \dot{U}_{sw}(t) \\ &\quad - \frac{C_{KG}}{C_{DS} + C_{GD} + C_{KG} + C_Z} \dot{U}_{KG}(t) = 0, \\ \text{für } &U_{sw}(t) - U_{sp} - U_{Tn} \leq 0 \end{aligned} \quad (3.18)$$

Analog zum unkompensierten Abschaltvorgang (3.7) und (3.8) ergeben sich die Adressierspannungen zu den Zeitpunkten $t = t_{off}$ und $t = t_{sw}$ durch Lösen obiger Differentialgleichungen:

$$\begin{aligned} U_1 := U_Z(t_{off}) &= U_{sp} - \frac{C_{GD}U_{High} - C_{KG}U_{KG,High}}{\sqrt{(C_{DS} + C_{GD} + C_{KG} + C_Z)}} \cdot \sqrt{\frac{\frac{\pi}{2}}{\beta_n \cdot t_{sw} \cdot U_{High}}} \dots \\ &\quad \cdot \operatorname{erf} \left(\sqrt{\frac{t_{sw}}{2}} \cdot \frac{(U_{High} - U_{Tn} - U_{sp}) \sqrt{\beta_n}}{\sqrt{C_{DS} + C_{GD} + C_{KG} + C_Z} \sqrt{U_{High}}} \right) \end{aligned} \quad (3.19)$$

$$U_2 := U_Z(t_{sw}) = U_1 - \frac{C_{GD}U_{High} - C_{KG}U_{KG,High}}{C_{DS} + C_{GD} + C_Z} \cdot \frac{U_{sp} + U_{Tn}}{U_{High}}. \quad (3.20)$$

Insgesamt ergibt sich für die resultierende Adressierspannung am Ende des kompensierten Abschaltvorgangs folgender Ausdruck:

$$\begin{aligned} U_Z(t_{sw}) &= U_{sp} \\ &\quad - \frac{C_{GD}U_{High} - C_{KG}U_{KG,High}}{\sqrt{C_{DS} + C_{GD} + C_{KG} + C_Z}} \cdot \sqrt{\frac{\frac{\pi}{2}}{\beta_n \cdot t_{sw} \cdot U_{High}}} \dots \\ &\quad \cdot \operatorname{erf} \left(\sqrt{\frac{t_{sw}}{2}} \cdot \frac{(U_{High} - U_{Tn} - U_{sp}) \sqrt{\beta_n}}{\sqrt{C_{DS} + C_{GD} + C_{KG} + C_Z} \sqrt{U_{High}}} \right) \\ &\quad - \frac{C_{GD}U_{High} - C_{KG}U_{KG,High}}{C_{DS} + C_{GD} + C_Z} \cdot \frac{U_{sp} + U_{Tn}}{U_{High}}. \end{aligned} \quad (3.21)$$

In Abhängigkeit von der Schaltzeit t_{sw} werden wieder zwei verschiedene Fälle unterschieden:

$$U_Z(t_{sw}) = U_{sp} - \frac{C_{GD}U_{High} - C_{KG}U_{KG,High}}{C_{DS} + C_{GD} + C_{KG} + C_Z} \dots$$

$$\cdot \left(\sqrt{\frac{\pi}{2}} \sqrt{\frac{U_{High}(C_{DS} + C_{GD} + C_{KG} + C_Z)}{t_{sw} \cdot \beta_n}} + (U_{sp} + U_{Tn}) \right)$$

für $t_{sw} \gg t_c$ (3.22)

$$U_Z(t_{sw}) = U_{sp} - \frac{C_{GD}U_{High} - C_{KG}U_{KG,High}}{C_{DS} + C_{GD} + C_{KG} + C_Z}$$

für $t_{sw} \ll t_c$, (3.23)

wobei für die kritische Schaltzeit t_c nun

$$t_c = 2 \frac{(C_{DS} + C_{GD} + C_{KG} + C_Z)U_{High}}{(U_{High} - U_{Tn} - U_{sp})^2 \cdot \beta_n}$$
(3.24)

gilt.

Für den Fall einer langen Schaltflanke ($t_{sw} \gg t_c$) kann die in die Speicherzelle eingeschriebene Adressierspannung durch

$$U_Z(t) \approx U_{sp} - \frac{C_{GD}U_{High} - C_{KG}U_{KG,High}}{C_{DS} + C_{GD} + C_{KG} + C_Z} \cdot \frac{U_{sp} + U_{Tn}}{U_{High}}$$
(3.25)

beschrieben werden.

Aus (3.22) und (3.23) folgt, dass der Fehler in der Adressierspannung immer proportional zum Verhältnis der vorhandenen Kapazitäten und der Spannungspegel auf den Gate- und Kompensationsgate-Leitungen ist.

$$\text{Fehler} \propto \frac{C_{GD}U_{High} - C_{KG}U_{KG,High}}{C_{DS} + C_{GD} + C_{KG} + C_Z}$$
(3.26)

Durch geeignetes Wählen der Kompensationsspannung $U_{KG,High}$ kann eine vollständige Kompensation des Taktdurchgriffes erreicht werden.

$$U_{KG,High} = \frac{C_{GD}}{C_{KG}} \cdot U_{High} \implies \text{Fehler} = 0$$
(3.27)

Die vollständige Kompensation ist nur von dem Verhältnis der Kopplungskapazitäten zwischen Gate, Kompensationsgate und Speicherknoten abhängig. Der Spannungsfehler ist Null und somit unabhängig von der Lage der Schaltflanken der Gate- und Kompensationsgatesignale. Es gilt:

$$U_Z(t_{sw}) = U_{sp}$$
(3.28)

3.3 Streuung der Ansteuerspannung über dem Chip

Das im vorigen Abschnitt beschriebene Verfahren zur Korrektur des Taktdurchgriffes beinhaltet mehrere Annahmen, die in der Realität nicht bestehen und somit zu einer Fehlkompensation der vorher beschriebenen Einkopplungen führen:

1. Signallaufzeiten auf der Zeilenauswahl- und Kompensationsleitung verursachen unterschiedliche Schaltzeiten t_{sw} der entsprechenden Signale. Eine vollständige Kompensation ist nur bei gleicher Schaltzeit $t_{sw} = t_{KG,sw}$ der Zeilenauswahl- bzw. Kompensationsleitung gegeben.
2. Der zur Kompensation notwendige Schaltpegel $U_{KG,High}$ ist durch das Verhältnis der Kapazitäten innerhalb einer Zelle vorgegeben. Diese Kapazitäten sind über einem Chip technologischen Streuungen unterworfen (Kantenverschiebungen und Oxiddickenschwankungen).

3.3.1 Signallaufzeiten auf den Zeilenauswahlleitungen

In der verwendeten CMOS Technologie werden die Zeilenauswahl- und die Kompensationsleitung als Polysiliziumpfad ausgeführt. Im Gegensatz zur Metallverdrahtung ist der elektrische Widerstand von Polysilizium bei längeren Leitungen nicht vernachlässigbar. Abbildung 3.4 beschreibt das elektrische Verhalten einer Zeilenleitung innerhalb einer Pixelzelle.

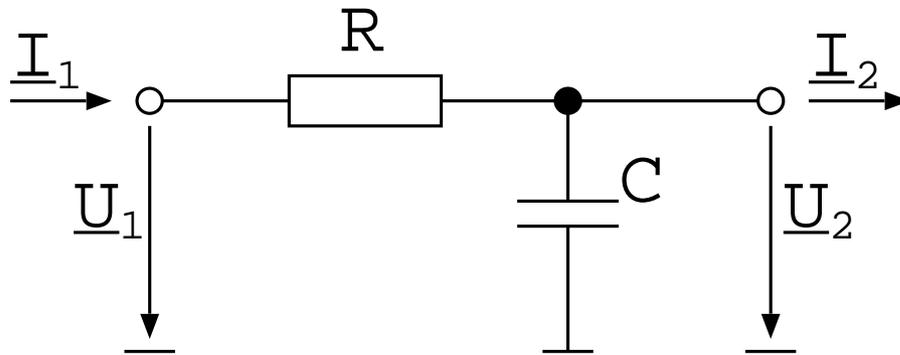


Abbildung 3.4: Ersatzschaltbild einer Polysiliziumleitung

R beschreibt den Serienwiderstand der Leitung und C die Gatekapazität des Auswahltransistors bzw. die Koppelkapazität der Kompensationsleitung.

Das Signalübertragungsverhalten eines solchen Leitungsstückes lässt sich sehr einfach mit Hilfe der Vierpoltheorie beschreiben. Für das Übertragungsverhalten ergibt sich dadurch:

$$F(j\omega) = \frac{U_2}{U_1} = \frac{1}{1 + j\omega RC} \quad \text{für } \underline{I}_2 = 0. \quad (3.29)$$

Bei der Hintereinanderschaltung von n Pixeln ergibt sich eine Übertragungsfunktion $F_n(j\omega)$ allgemein:

$$F_n(j\omega) = \frac{2^{n+1}\sqrt{X}}{j\omega RC \cdot \left((2 + j\omega RC + \sqrt{X})^n - (2 + j\omega RC - \sqrt{X})^n \right) + \dots} \dots$$

$$\dots \frac{\dots + \sqrt{X} \cdot \left((2 + j\omega RC + \sqrt{X})^n + (2 + j\omega RC - \sqrt{X})^n \right)}{\dots}$$

mit $X = 4j\omega RC + (j\omega RC)^2$ (3.30)

Die Zeitkonstante $T_{pix} = RC$ eines Leitungsstückes liegt üblicherweise im Bereich von einigen 10^{-12} Sekunden, so dass die Übertragungsfunktion (3.30) für Frequenzen unterhalb der reziproken Zeitkonstante T_{pix} vereinfacht werden kann.

$$F_n(j\omega) \approx \frac{2^{n+1}}{(2 - 2\sqrt{j\omega RC})^n + (2 + 2\sqrt{j\omega RC})^n}$$

$$= \frac{2}{(1 - \sqrt{j\omega RC})^n + (1 + \sqrt{j\omega RC})^n} \quad (3.31)$$

Begründung:

Aus

$$\omega \ll \frac{1}{T_{pix}} = \frac{1}{RC} \quad (3.32)$$

folgt

$$\sqrt{X} \approx 2\sqrt{j\omega RC} \quad (3.33)$$

und

$$\sqrt{X} \gg j\omega RC. \quad (3.34)$$

Das zeitliche Verhalten der Schaltsignale auf den Zeilenauswahlleitungen wird hauptsächlich durch das Tiefpassverhalten der Leitung bestimmt, das durch (3.31) beschrieben wird. Ein wichtiger Parameter zur Beschreibung der Signalfanken ist die 3dB Grenzfrequenz, die durch den dominanten Pol von (3.31) bestimmt wird. Mit Hilfe der Binomialkoeffizienten lässt sich (3.31) auch folgendermaßen schreiben:

$$F_n(j\omega) \approx \frac{1}{\sum_{i=0}^{n/2} \binom{n}{2i} (j\omega RC)^i} \quad (3.35)$$

Aufgrund der bereits durchgeführten Abschätzung (3.32) lassen sich die Summanden für $i > 1$ gegenüber den ersten beiden Summanden $i = 0, 1$ vernachlässigen. Das bedeutet, dass die Polstelle der Übertragungsfunktion $F_n(j\omega)$ mit der niedrigsten Frequenz dominant ist und somit das Tiefpassverhalten der gesamten Leitung bestimmt.

$$F_n(j\omega) \approx F_n^{(TP)}(j\omega) = \frac{1}{1 + \binom{n}{2} j\omega RC} = \frac{1}{1 + j\omega RC \cdot Y}$$

mit $Y := \frac{n(n-1)}{2}$ (3.36)

Durch Transformation in den Zeitbereich ergibt sich die Impulsantwort $f_n^{(TP)}(t)$ der Polyleitung.

$$f_n^{(TP)}(t) = \frac{1}{RC \cdot Y} \cdot e^{-\frac{t}{RC \cdot Y}} \quad (3.37)$$

Mit Hilfe des Faltungsintegrals erhält man das Schaltsignal $u_n^{(TP)}(t)$ am Ende einer Zeilenleitung bei einer idealen Schaltflanke (Abschaltvorgang) [55]:

$$\epsilon(t) = \begin{cases} 0 & \text{für } t > 0 \\ U_{High} & \text{für } t < 0 \end{cases}$$

$$\begin{aligned} u_n^{(TP)}(t) &= \epsilon(t) * f_n^{(TP)}(t) \\ &= U_{High} \cdot e^{-\frac{t}{RC \cdot Y}}. \end{aligned} \quad (3.38)$$

Die in (3.5) und (3.16) beschriebenen Zusammenhänge erhält man durch linearisieren von (3.38). Als Schaltzeit t_{sw} wird die Zeitspanne gewählt, in der das Signal von 90% U_{High} auf 10% U_{High} abfällt. Für die Exponentialfunktion aus (3.38) gilt:

$$\begin{aligned} t_{sw} &= 2,2 \cdot RC \cdot Y \\ &= 2,2 \cdot RC \frac{n(n-1)}{2} \end{aligned} \quad (3.39)$$

Anhand von (3.39) lässt sich abschätzen, welche der beiden Gleichungen (3.25) und (3.23) den eingeschriebenen Spannungswert beschreiben. Für Kapazitäten im Femtofaradbereich, einem Leitungswiderstand von bis zu 100Ω und Spannungsebenen bis zu $50V$ gilt:

$$t_{sw} \ll t_c \quad \text{für } n < 2000. \quad (3.40)$$

Hieraus ergibt sich nach (3.23) als Spannungsfehler für den kompensierten Abschaltvorgang:

$$\text{Fehler} = \frac{C_{GD}U_{High} - C_{KG}U_{KG,High}}{C_{DS} + C_{GD} + C_{KG} + C_Z}. \quad (3.41)$$

Für eine fehlerfreie Kompensation gilt nachwievor Bedingung (3.27).

3.3.2 Fehlkompensation aufgrund von Technologiestreuungen

Bei den bisherigen Betrachtungen des kompensierten Abschaltvorgangs wurde eine identische Schaltzeit t_{sw} von Gate- und Kompensationssignal angenommen (siehe (3.5) und (3.16)).

Wie in Kapitel 3.3.1 gezeigt, ist die Schaltzeit t_{sw} von dem elektrischen Widerstand R und der Kapazität C der entsprechenden Leitung abhängig. Auch die Spaltenanzahl n bestimmt die Schaltflanke auf den Leitungen. Während die Spaltenzahl n für Zeilenauswahl- und Kompensationsleitung gleich ist, sind die Widerstände

R und Kapazitäten C nicht notwendigerweise identisch. (3.42) zeigt die Zusammenhänge zwischen den Schaltzeiten und Leitungsparametern (siehe auch Ersatzschaltbilder 3.2 und 3.3).

$$\begin{aligned} t_{sw} &= 2,2 \cdot R_G C_{\Sigma G} \frac{n(n-1)}{2} \\ t_{KG,sw} &= 2,2 \cdot R_{KG} C_{\Sigma KG} \frac{n(n-1)}{2} \end{aligned} \quad (3.42)$$

Ersetzt man in (3.16) t_{sw} durch $t_{KG,sw}$, so ergibt sich für die Lösung der Differentialgleichungen (3.17) und (3.18) folgender Ausdruck für die resultierende Adressierspannung:

$$U_Z(t_{sw}) = U_{sp} - \frac{C_{GD} U_{High} \cdot t_{KG,sw} - C_{KG} U_{KG,High} \cdot t_{sw}}{(C_{DS} + C_{GD} + C_{KG} + C_Z) t_{KG,sw}}. \quad (3.43)$$

Der Ausdruck (3.43) gilt wie (3.23) für den Fall, dass $t_{sw} \ll t_c$ ist, was bereits in Kapitel (3.3.1) gezeigt wurde.

Der Spannungswert $U_{KG,High}$ wird nach (3.27) gewählt, so dass eine vollständige Kompensation des Taktdurchgriffes erfolgt. Der verbleibende Spannungsfehler ist nun nur noch von den Schaltflanken auf der Gate- und Kompensationsleitung abhängig.

$$\begin{aligned} U_Z(t_{sw}) &= U_{sp} - \frac{C_{GD} U_{High}}{C_{DS} + C_{GD} + C_{KG} + C_Z} \cdot \frac{t_{KG,sw} - t_{sw}}{t_{KG,sw}} \\ &= U_{sp} - \frac{C_{GD} U_{High}}{C_{DS} + C_{GD} + C_{KG} + C_Z} \cdot \frac{R_{KG} C_{\Sigma KG} - R_G C_{\Sigma G}}{R_{KG} C_{\Sigma KG}} \end{aligned} \quad (3.44)$$

Es ergibt sich somit folgender Restfehler ΔU_{adr} :

$$\Delta U_{adr} = U_{High} \cdot \frac{C_{GD}}{C_{DS} + C_{GD} + C_{KG} + C_Z} \cdot \frac{R_{KG} C_{\Sigma KG} - R_G C_{\Sigma G}}{R_{KG} C_{\Sigma KG}}. \quad (3.45)$$

Im Idealfall sind die RC -Konstanten $R_{KG} C_{\Sigma KG}$ und $R_G C_{\Sigma G}$ gleich und somit $\Delta U_{adr} \equiv 0$. Widerstands- und Kapazitätswerte sind jedoch auch innerhalb eines Chips technologischen Schwankungen unterworfen, so dass eine ideale Kompensation über den gesamten Chip nicht erreicht wird. Der Einfluss technologischer Streuungen ergibt sich aus der Ableitung des Restfehlers ΔU_{adr} nach den Größen R_{KG} , R_G , C_{KG} , C_G , C_{DS} , C_Z und C_{GD} . Die Leitungskapazitäten $C_{\Sigma KG}$ und $C_{\Sigma G}$ setzen sich folgendermaßen aus den oben angeführten Einzelkapazitäten zusammen:

$$\begin{aligned} C_{\Sigma G} &= C_{GD} + C_{GS} + C_{G,sub} \\ C_{\Sigma KG} &= C_{KG} + C_{KG,sub} \end{aligned} \quad (3.46)$$

Tabelle 3.1 fasst diese Ableitungen zusammen.

Der gesamte Adressierfehler, der aufgrund technologischer Streuungen verbleibt, ergibt sich aus der Summe, der in Tabelle 3.1 aufgelisteten Abhängigkeiten:

$$U_{rest} = F_{R_{KG}} \cdot \Delta R_{KG} + F_{R_G} \cdot \Delta R_G + F_{C_{KG}} \cdot \Delta C_{KG} + F_{C_G} \cdot \Delta C_G \quad (3.47) \\ + F_{C_{DS}} \cdot \Delta C_{DS} + F_{C_Z} \cdot \Delta C_Z + F_{C_{GD}} \cdot \Delta C_{GD} .$$

Die Streuungen ΔR_{KG} und ΔR_G sind sowohl durch Variation des spezifischen Schichtwiderstandes ρ_{poly} der verwendeten Polysiliziumleitungen als auch durch Variation der Strukturbreite⁵ b gegeben. Aus

$$R_{poly} = \rho_{poly} \cdot \frac{l}{b} \quad (3.48)$$

ergibt sich folgende Abhängigkeit der Widerstandsstreuung ΔR von den Schwankungen der Technologieparameter $\Delta \rho$ und Δb . Eine mögliche Schwankung der Leitungslänge l kann wegen $l \gg b$ vernachlässigt werden.

$$\Delta R = \frac{l}{b} \cdot \Delta \rho_{poly} - \rho_{poly} \frac{l}{b^2} \cdot \Delta b \quad (3.49)$$

Für die Kapazitäten gilt folgender Zusammenhang:

$$C = \epsilon \cdot \frac{A}{d} . \quad (3.50)$$

Die Kapazitätsschwankungen ΔC_{KG} , ΔC_G , ΔC_{DS} , ΔC_Z und ΔC_{GD} ergeben sich aus Schichtdickenschwankungen Δd_{ox} des Kapazitätsoxids und ebenfalls aus der Variation der Strukturbreite Δb .

$$\Delta C = \epsilon \cdot \frac{1}{d_{ox}} \cdot \Delta A - \epsilon \cdot \frac{A}{d_{ox}^2} \cdot \Delta d_{ox} \quad (3.51)$$

Die Schwankung der Kapazitätsfläche ΔA hängt direkt mit der Schwankung der Strukturbreite Δb zusammen. Kondensatoren in CMOS-Prozessen sind in der Regel rechteckig ausgeführt: Aus $A = b_1 \cdot b_2$ folgt

$$\Delta A = b_2 \cdot \Delta b_1 + b_1 \cdot \Delta b_2 . \quad (3.52)$$

Da die Schwankungen Δb_1 und Δb_2 teilweise korreliert sein können, ist eine Aufspaltung in einen korrelierten Anteil Δb und einen unkorrelierten Anteil $\Delta b'$ sinnvoll:

$$\Delta A = (b_1 + b_2) \cdot \Delta b + b_1 \cdot \Delta b' \quad (3.53) \\ =: a \cdot \Delta b + a' \cdot \Delta b' .$$

⁵Hauptursache hierfür sind Lackdickenschwankungen und lokale Über- und Unterätzungen.

Für den technologieabhängigen Restfehler ergibt sich durch Einsetzen von (3.49), (3.51) und 3.53) in Gleichung (3.47) der Zusammenhang in (3.54).

$$\begin{aligned}
U_{rest} = & \Delta\rho_{poly} \left(F_{R_{KG}} \frac{l_{KG}}{b_{KG}} + F_{R_G} \frac{l_G}{b_G} \right) \\
& + \Delta b \left(F_{R_{KG}} \cdot \rho_{poly} \frac{l_{KG}}{b_{KG}} + F_{R_G} \cdot \rho_{poly} \frac{l_G}{b_G} + F_{C_{KG}} \cdot \epsilon \frac{a_{KG}}{d_{ox}} + F_{C_G} \cdot \epsilon \frac{a_G}{d_{ox}} \right. \\
& \quad \left. + F_{C_{DS}} \cdot \epsilon \frac{a_{DS}}{d_{ox}} + F_{C_Z} \cdot \epsilon \frac{a_Z}{d_{ox}} + F_{C_{GD}} \cdot \epsilon \frac{a_{GD}}{d_{ox}} \right) \\
& + \Delta b' \left(F_{C_{KG}} \cdot \epsilon \frac{a'_{KG}}{d_{ox}} + F_{C_G} \cdot \epsilon \frac{a'_G}{d_{ox}} + F_{C_{DS}} \cdot \epsilon \frac{a'_{DS}}{d_{ox}} + F_{C_Z} \cdot \epsilon \frac{a'_Z}{d_{ox}} \right. \\
& \quad \left. + F_{C_{GD}} \cdot \epsilon \frac{a'_{GD}}{d_{ox}} \right) \\
& + \Delta d_{ox} \left(F_{C_{KG}} \cdot \epsilon \frac{A_{KG}}{d_{ox}^2} + F_{C_G} \cdot \epsilon \frac{A_G}{d_{ox}^2} F_{C_{DS}} \cdot \epsilon \frac{A_{DS}}{d_{ox}^2} + F_{C_Z} \cdot \epsilon \frac{A_Z}{d_{ox}^2} \right. \\
& \quad \left. + F_{C_{GD}} \cdot \epsilon \frac{A_{GD}}{d_{ox}^2} \right) \tag{3.54}
\end{aligned}$$

Die Größen l_x , b_x , a_x , a'_x und A_x stellen geometrische Entwurfparameter der Bauelemente R_{KG} , R_G , C_{KG} und C_G dar.

Für den Restfehleranteil, der durch Schwankungen des Schichtwiderstandes in der Polysiliziumebene verursacht wird, erhält man nach Einsetzen der Ausdrücke von Tabelle 3.1 in (3.54) folgenden Ausdruck:

$$U_{rest}^{(\rho_{poly})} = \Delta\rho_{poly} \left(F_{R_{KG}} \frac{l_{KG}}{b_{KG}} + F_{R_G} \frac{l_G}{b_G} \right) = 0. \tag{3.55}$$

Das bedeutet, dass die Streuung der Adressierspannung bei der verwendeten Schaltung unabhängig von einer technologischen Streuung des Schichtwiderstandes der Polysiliziumverdrahtungsebene ist.

Um die resultierende Streuung der abgespeicherten Spannung zu erhalten, müssen sämtliche Anteile aufaddiert werden. Die Technologiestreuungen können in der Regel durch eine Gauß'sche Normalverteilung beschrieben werden. Man erhält dann die Streuung als ein Vielfaches der Standardabweichung (1σ , 2σ , 3σ , ...) je nach gewünschter Genauigkeit. Im folgenden werden die Streuparameter $\Delta\rho_{poly}$, Δd_{ox} , Δb und $\Delta b'$ als σ_ρ , σ_d , σ_b und $\sigma_{b'}$ bezeichnet. Unter der zulässigen Annahme, dass die oben beschriebenen Streuungen unkorreliert sind, ergibt sich die Varianz der Adressierspannung σ_U durch quadratische Addition der einzelnen Anteile. Aus (3.54) und

(3.55) folgt somit:

$$\begin{aligned}
\sigma_U^2 &= \sigma_b^2 \left(F_{R_{KG}} \cdot \rho_{poly} \frac{l_{KG}}{b_{KG}} + F_{R_G} \cdot \rho_{poly} \frac{l_G}{b_G} + F_{C_{KG}} \cdot \epsilon \frac{a_{KG}}{d_{ox}} + F_{C_G} \cdot \epsilon \frac{a_G}{d_{ox}} \right. \\
&\quad \left. + F_{C_{DS}} \cdot \epsilon \frac{a_{DS}}{d_{ox}} + F_{C_Z} \cdot \epsilon \frac{a_Z}{d_{ox}} + F_{C_{GD}} \cdot \epsilon \frac{a_{GD}}{d_{ox}} \right)^2 \\
&+ \sigma_b'^2 \left(F_{C_{KG}} \cdot \epsilon \frac{a'_{KG}}{d_{ox}} + F_{C_G} \cdot \epsilon \frac{a'_G}{d_{ox}} + F_{C_{DS}} \cdot \epsilon \frac{a'_{DS}}{d_{ox}} + F_{C_Z} \cdot \epsilon \frac{a'_Z}{d_{ox}} \right. \\
&\quad \left. + F_{C_{GD}} \cdot \epsilon \frac{a'_{GD}}{d_{ox}} \right)^2 \\
&+ \sigma_d^2 \left(F_{C_{KG}} \cdot \epsilon \frac{A_{KG}}{d_{ox}^2} + F_{C_G} \cdot \epsilon \frac{A_G}{d_{ox}^2} + F_{C_{DS}} \cdot \epsilon \frac{A_{DS}}{d_{ox}} + F_{C_Z} \cdot \epsilon \frac{A_Z}{d_{ox}} \right. \\
&\quad \left. + F_{C_{GD}} \cdot \epsilon \frac{A_{GD}}{d_{ox}} \right)^2 .
\end{aligned} \tag{3.56}$$

Auf ein weiteres Einsetzen der Kurzformen in (3.56) wird an dieser Stelle verzichtet. In Kapitel 6.3 wird die Varianz des abgespeicherten Spannungswertes für ausgewählte Speicherzellen unter Anwendung der in diesem Abschnitt dargestellten Zusammenhänge abgeschätzt.

X	$\frac{d\Delta U_{adr}}{dX}$	Kurzform
R_{KG}	$\frac{C_{GD}U_{High}}{(C_{DS} + C_{GD} + C_{KG} + C_Z) R_{KG}} \left(\frac{C_{\Sigma G}R_G}{C_{\Sigma KG}R_{KG}} \right)$	$F_{R_{KG}}$
R_G	$\frac{C_{GD}U_{High}}{(C_{DS} + C_{GD} + C_{KG} + C_Z) R_{KG}} \left(-\frac{C_{\Sigma G}}{C_{\Sigma KG}} \right)$	F_{R_G}
C_{KG}	$\frac{C_{GD}U_{High}}{(C_{DS} + C_{GD} + C_{KG} + C_Z) C_{\Sigma KG}} \left(\frac{C_{\Sigma G}R_G}{C_{\Sigma KG}R_{KG}} + \dots \right. \\ \left. \dots + \frac{C_{\Sigma KG}}{(C_{DS} + C_{GD} + C_{KG} + C_Z)} \left(\frac{C_{\Sigma G}R_G}{C_{\Sigma KG}R_{KG}} - 1 \right) \right)$	$F_{C_{KG}}$
C_G	$\frac{C_{GD}U_{High}}{(C_{DS} + C_{GD} + C_{KG} + C_Z) C_{\Sigma KG}} \left(-\frac{R_G}{R_{KG}} \right)$	F_{C_G}
C_{DS}	$\frac{C_{GD}U_{High}}{(C_{DS} + C_{GD} + C_{KG} + C_Z)^2 C_{\Sigma KG}R_{KG}} (C_{\Sigma G}R_G - C_{\Sigma KG}R_{KG})$	$F_{C_{DS}}$
C_Z	$\frac{C_{GD}U_{High}}{(C_{DS} + C_{GD} + C_{KG} + C_Z)^2 C_{\Sigma KG}R_{KG}} (C_{\Sigma G}R_G - C_{\Sigma KG}R_{KG})$	F_{C_Z}
C_{GD}	$\frac{U_{High}}{C_{DS} + C_{GD} + C_{KG} + C_Z} \frac{C_{\Sigma KG}R_{KG} - C_{\Sigma G}R_G}{C_{\Sigma KG}R_{KG}} \dots \\ \dots \left(\frac{C_{DS} + C_{KG} + C_Z}{C_{DS} + C_{GD} + C_{KG} + C_Z} + \frac{C_{GD}R_G}{C_{\Sigma G}R_G - C_{\Sigma KG}R_{KG}} \right)$	$F_{C_{GD}}$

Tabelle 3.1: Ableitungen des Restfehlers nach den technologieabhängigen Größen R_{KG} , R_G , C_{KG} , C_G , C_{DS} , C_Z und C_{GD}