4 Technologie nichtlinearer Leitungen

Wie im vorangehenden Kapitel gezeigt, hat die Simulation der Signalausbreitung auf NLTL neue Erkenntnisse bei der Optimierung der Kompressionseigenschaften geliefert. An dieser Stelle werden nun zunächst die Methoden dargestellt, mit denen die Simulationsergebnisse in den Entwurf technischer NLTL umgesetzt wurden. Im Anschluß werden dann die im Rahmen dieser Arbeit angewandten technologischen Prozesse zur Herstellung von nichtlinearen Leitungen ausführlich erläutert. Neben neuartigen NLTL auf InP-HFET-Substrat sind - zu Vergleichszwecken - auch NLTL im GaAs-System entworfen und hergestellt worden. Die GaAs-NLTL entsprechen in ihrer Ausführung dabei weitgehend den in [17] beschriebenen Leitungen und dienen im wesentlichen zur Verifikation der hier angewandten Entwurfs- und Herstellungsverfahren. Bevor dazu im einzelnen auf die Entwicklung des Leitungslayoutes und die mittels Kontaktlithographie durchgeführte Prozessierung der NLTL eingegangen wird, folgt eine kurze Auflistung der im Rahmen diese Arbeit hergestellten NLTL:

(a) Periodische NLTL auf InP-HFET-Substrat und - zu Vergleichszwecken - auf GaAs-Substrat. In die koplanaren Leitungen sind jeweils 10 bis 40 planare Dioden nach Abb. 2.4a integriert, wobei im Bereich der Dioden die Metallisierung des Innenleiters den Schottkykontakt und die Metallisierung der Außenleiter wahlweise einen Schottky- oder ohmschen Kontakt bildet.

(b) Homogene NLTL auf InP-HFET-Substrat entsprechend Abb. 2.4c mit unterschiedlichen Längen (0,5 mm bis 6,0 mm) und Querabmessungen (Spaltbreiten: $1-4\mu m$, Innenleiterbreiten: $2-6\mu m$).

(c) Gradienten-NLTL auf InP-HFET-Substrat mit verschiedenen Abstufungen von L und C_0 in Ausbreitungsrichtung.

An zusätzlich prozessierten Einzeldioden und Koplanarleitungen wurden die Kapazitäts- bzw. Strom-Spannungs-Charakteristik der eingesetzten Dioden, sowie die Leitungsverluste experimentell bestimmt. Die Ergebnisse sind anschließend bei der gezielten Entwicklung von InP-NLTL zur Pulskompression in a), b) und c) berücksichtigt worden.

An dieser Stelle ist anzumerken, daß im Rahmen einer Kooperation die Epitaxie aller InP-HFET-Schichtstrukturen und einiger GaAs-Schichtstrukturen, sowie die Prozessierung der NLTL von Herrn U. Auer im Fachgebiet Halbleitertechnik/ Halbleitertechnologie an der Gerhard-Mercator-Universität Duisburg durchgeführt wurde. Herr B. Holländer war bei der Ionenimplantation periodischer GaAs-NLTL im Institut für Schicht- und Ionentechnik der KFA Jülich behilflich.

4.1 Epitaxie

Basis für den Aufbau aller im Rahmen dieser Arbeit untersuchten Schottkydioden sind Schichtstrukturen im GaAs- und InP-System nach den Abbildungen 2.3a und 2.4, die mittels **Epitaxie** auf hochreinen GaAs- bzw. InP-Substratwafern geringer elektrischer Leitfähigkeit abgeschieden wurden. Bei diesem Prozeß erfolgt die Anlagerung von Gruppe III- und Gruppe V- Elementen auf dem als Substrat bezeichneten Trägermaterial derart, daß durch geeignete Maßnahmen die kristalline Ordnung des Substrates von den aufgebrachten Schichten angenommen wird. Die Zusammensetzung, Dotierung und Dicke der erzeugten Schichten ist beliebig häufig und atomar abrupt änderbar, so daß sich neue künstliche Materialien mit maßgeschneiderten optischen und elektrischen Eigenschaften herstellen lassen (siehe z.B.[75-78]).

Speziell das hier ausschließlich angewandte Verfahren der **Molekularstrahl-epitaxie** (engl: Molecular-Beam-Epitaxy, kurz: MBE) soll an dieser Stelle kurz dargestelt werden. Mit diesem Verfahren ist das Wachstum einkristalliner Schichten bis zu einer minimalen Schichtdicke von wenigen Atomlagen auf dem darunterliegenden Trägerkristall möglich [17,79]. In der MBE-Kammer (siehe auch Abb. 4.1) werden dazu im Ultrahochvakuum (kurz: UHV) die für den Wachstumsprozeß benötigten Materialien (z.B. Arsen, Gallium, Indium, Aluminium und Silizium) in Verdampferzellen durch elektrische Widerstandheizelemente erhitzt und verdampft. Dabei bildet sich ein auf das Substrat gerichteter Molekularstrahl aus, dessen Molekularstrom durch die Temperatur der Verdampferzellen gegeben ist. Um eine unabhängige Regelung der Zelltemperaturen zu erreichen, sind die Zellen untereinander durch ein mit flüssigem Stickstoff (LN_2) gefülltes Kühlschild thermisch isoliert. Die aus den Zellen abgestrahlten Moleküle adsorbieren auf der Substratoberfläche, dessen Temperatur durch ein Heizelement im Substrathalter so gewählt wird, daß sich ein zweidimensionales Atomlagenschichtwachstum einstellt [81].

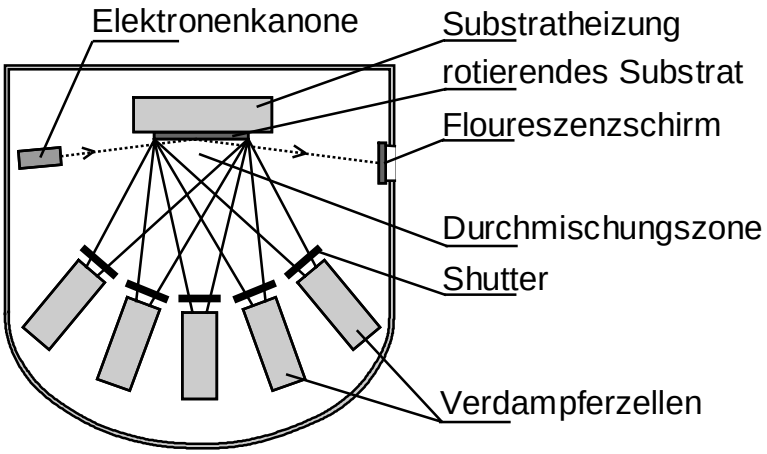

Abb. 4.1: Schematischer Aufbau einer MBE-Kammer (Zur besseren Übersicht ist das LN_2-Kühlschild nicht eingezeichnet.)

Um eine gewünschte stöchometrische Zusammensetzung der abzuscheidenden Kristallschicht zu erreichen, wird das Verhältnis der Molekülströme in der Durchmischungszone unmittelbar vor dem Substrat (s. Abb. 4.2) geeignet eingestellt, wobei das molekülspezifische Einbauverhalten in den Trägerkristall zu berücksichtigen ist [82]. Weiterhin lassen sich die Molekülstrahlen der einzelnen Zellen über Shutter unterbrechen, so daß auch atomar abrupte Übergänge in der Kristallzusammensetzung und -Dotierung herstellbar sind. Da die Molekülstrahlen der Verdampferzellen in der Regel nicht senkrecht auf die Oberfläche des Substrates gerichtet sind, wird das Substrat während des Kristallwachstums zusätzlich in Rotation versetzt, um so auch auf 3‘‘-Substratwafern eine weitgehend homogene Verteilung der Schichtdicke und –zusammensetzung zu erreichen. Die kristalline Struktur der epitaktisch abgeschiedenen Schichten kann über eine Elektronenbeugungsanalyse der Kristalloberfläche (engl.: Reflection High-Energy Electron Diffraction, kurz: RHEED) beobachtet werden [83]. Dazu sind in der MBE-Kammer zusätzlich eine Elektronenkanone mit Elektronenoptik und ein Floureszenzschirm installiert. Mit diesem System wird ein Elektronenstrahl unter flachem Winkel auf die Oberfläche des Substrates fokussiert und dort unter Beugung am Kristallgitter reflektiert. Bei geeignet gewählten Elektronenenergien erfolgt dabei eine elastische Streuung der Elektronen nur an der Oberfläche der abgeschiedenen Schichten, so daß ein diskretes Beugungsmuster des Oberflächengitters auf den Floureszenzschirm abgebildet wird. Durch Auswertung dieses Beugungsmusters ist damit eine Kontrolle des Kristallwachstums, auch während des Wachstumsprozesses möglich. Eine ausführliche Darstellung über den Aufbau von MBE-Anlagen, der physikalischen Methoden zur Schichtabscheidung sowie der Steuerung und Kontrolle des Epitaxieprozesses ist in der Literatur zu finden [79-87].

Mit dem hier kurz dargestellten Verfahren der Molekularstrahlepitaxie sind mehrere Schichtstrukturen auf InP- und GaAs-Basis für die Herstellung von homogenen, periodischen und Gradienten-NLTL prozessiert worden, deren typischer Aufbau bereits in Kapitel 2 dargestellt und diskutiert wurde. Wie ebenfalls in Kapitel 2 erwähnt stellt der Bahnwiderstand, der auf Basis dieser Schichtstrukturen hergestellten Dioden einen bedeutenden Beitrag zu den gesamt wirksamen Verlusten bei der Signalausbreitung auf NLTL dar. In diesem Zusammenhang ist daher der Schichtwiderstand der verwendeten Halbleiter ein Kriterium für einen Vergleich der in den Abbildungen 2.3a und 2.4 dargestellten Schichtstrukturen.

Schicht- und Kontaktwiderstandsmessungen nach der Transmission-Line-Methode (kurz: TLM, siehe z.B. [61,88,89]) ergeben einen Schichtwiderstand von 3,4 Ω/sq für die GaAs-Schichtstruktur nach Abb. 2.3a und einen typischen Wert von 160 Ω/sq für die InP-HFET-Schichtstruktur nach Abb. 2.4. Die InP-HFET-Schichtstruktur weist also einen erheblich höheren Schichtwiderstand auf als die GaAs-Schichtstruktur. Jedoch weist die InP-HFET-Schichtstruktur eine sehr hohe Elektronenbeweglichkeit μ_n in der Kanalschicht auf [90], die mit Werten von μ_n = 10900 cm^2/Vs (bei Raumtemperatur [91]) die Annahme stärken, daß trotz des deutlich höheren Schichtwiderstandes der InP-HFET-Struktur, die Bandbreite, mit der die Kapazitätsänderung wirksam ist, durch die Wahl geeigneter Kontaktabmessungen nur unwesentlich begrenzt wird.

Im folgenden Abschnitt werden nun die Methoden und Verfahren aufgezeigt mit denen die Simulationsergebnisse in einen Leitungsentwurf transformiert und weiter in ein technisches Layout für die Herstellung von NLTL umgesetzt wurden.

4.2 Vom Leitungsentwurf zum technischen Layout

Für den **Leitungsentwurf** liefert das KdV-Simulationsverfahren optimierte Ergebnisse in Form von Werten für den Filterparameter $L'C''$ und die Verlustparameter R'/L' bzw. C_0'/G', wobei die Nichtlinearität $g(U)$ durch die Wahl der Schichtstruktur vorgegeben ist. Die in diesen Parametern enthaltenen Leitungsbeläge sind über die Gleichungen (3.1) und (3.4) den verteilten Elementen des differentiellen Ersatzschaltbildes in Abb. 3.1b zugeordnet. Im folgenden wird nun gezeigt, wie die verteilten Elemente in konzentrierte Elemente umgewandelt werden, so daß die optimierte NLTL durch eine Anordnung von Induktivitäten, Kapazitäten und Widerständen, entsprechend einer Aneinanderkettung des Ersatzschaltbildes in Abb. 3.1a beschrieben wird. Diese Elemente werden dann unter

Anwendung der Theorie koplanarer Leitungen [55,59] und unter Berücksichtigung bewährter technologischer Verfahren [57] in ein technisches Layout transformiert, das in Form von Fotomasken die Herstellung planarer Leitungsstrukturen entsprechend der Abb. 2.4 ermöglicht.

Aus der Beschreibung der NLTL in Form eines L-C_0-Kettenleiters folgt nach [58] für den Dispersionsparameter $L'C''$ und den für hohe Frequenzen als rein reell angenommenen Kleinsignalwellenwiderstand Z_{Kette}:

$$L'C'' = \frac{LC_0}{12} \quad \text{und} \quad Z_{Kette} = \left(\frac{L}{C_0}\right)^{1/2}. \tag{4.1}$$

Daraus ergibt sich für die Kapazität, die Induktivität und die Verlustwiderstände einer Periode der NLTL entsprechend Abb. 3.1a:

$$C_0 = \frac{\sqrt{12\,L'C''}}{Z_{Kette}}, \tag{4.2a}$$

$$L = Z_{Kette}\sqrt{12L'C''}, \tag{4.2b}$$

$$R = \frac{R'}{L'} Z_{Kette}\sqrt{12L'C''}, \tag{4.2c}$$

$$G = \frac{G'}{C_0'} \frac{\sqrt{12L'C''}}{Z_{Kette}}. \tag{4.2d}$$

Mit der Wahl eines geeigneten Wellenwiderstandes Z_{Kette} ist anhand der Gleichungen (4.2a-d) die Transformation in diskrete Ersatzschaltbildelemente durchführbar, wie im folgenden Beispiel dargestellt. Dazu ist in Abb. 4.2 das Ergebnis einer KdV-Simulation zur Signalausbreitung auf einer periodischen GaAs-NLTL nach [17] zu sehen. Wie in der Abbildung 4.2a zu erkennen, entwickelt sich aus dem sinusförmigen Eingangssignal (f = 6,5 GHz, $\hat{U}_{in}$ = 2,2 V) bei fortschreitendem Ort eine Schockwelle mit einer führenden fallenden Flanke, die am Ort x'_1 eine minimale 10-90 %-Fallzeit von 7,0 ps und eine Spannungsänderung von 1,3 V aufweist (siehe Abb. 4.2b). Ferner ist ein Nachschwingsignal mit 0,2 V Amplitude und 30 ps Abklingzeit zu beobachten. Mit einem Wellenwiderstand Z_{Kette} von 40 Ohm (in Anlehnung an [17]) ergibt sich daraus das in Abb. 4.3 dargestellte Ersatzschaltbild mit konzentrierten Elementen für eine Periode dieser NLTL.

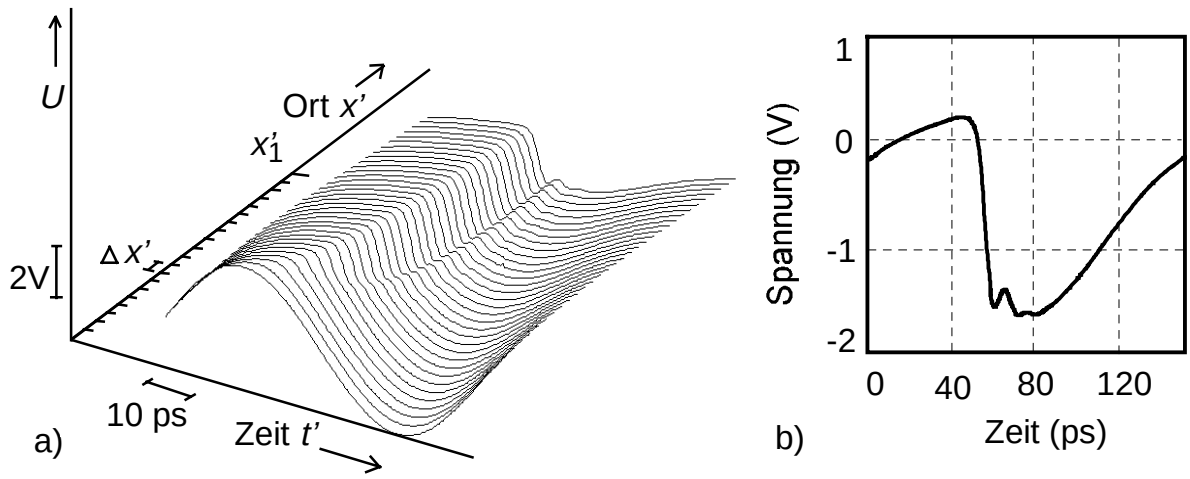

Abb. 4.2: Generation von Schockwellen auf periodischer NLTL, Eingangssignal: f = 6,5 GHz, $\hat{U}_{in}$ = 2,2 V, U_0 = -1,0 V; Simulationsdaten: $g(U) = 1-0{,}7/(1-(U/0{,}8\ V))^{0,5}$, $R'/L' = 1{,}5\cdot 10^{10}\ s^{-1}$, $C_0'/G' = 3\cdot 10^{-13}$ s, $L'C'' = 1{,}4\cdot 10^{-24}\ s^2$; a) Signalausbreitung auf der Leitung ($\Delta x'$ kennzeichnet die Weglänge zur Diskretisierung der Ortsachse); b) Signalform am Ort x'_1

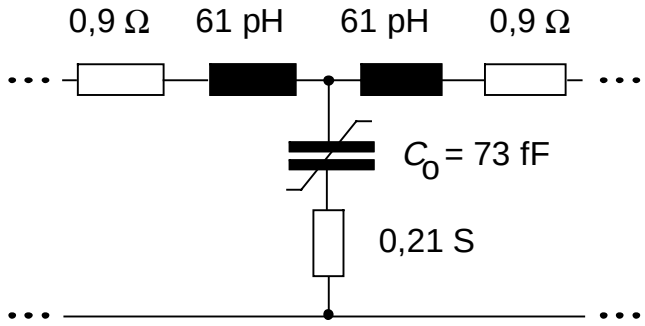

Abb. 4.3: Ersatzschaltbild einer Periode der GaAs-NLTL nach Abb. 4.2

Um nun die Anzahl M der simulierten Perioden bestimmen zu können, muß eine Beziehung zwischen einer Periode des Kettenleiters und der entsprechenden Weglänge $\Delta x'$ auf der Ortsachse im transformierten Koordinatensystem des KdV-Simulators gefunden werden. Dazu wird die Ortstransformation aus Kapitel 3 herangezogen, nach der x' den Ort im mitbewegten, x den Ort im ruhenden System und v_0 die Kleinsignalausbreitungsgeschwindigkeit auf der NLTL beschreiben:

$$x' = x / 2v_0 \quad \text{mit} \quad v_0 = \sqrt{L'C_0'} \tag{4.3}$$

Mit der Annahme daß die Strecke Δx der Länge p einer Periode der NLTL nach Abb. 2.1 entspricht und dem Ansatz:

$$L' = \frac{L}{\Delta x} \quad \text{und} \quad C_0' = \frac{C_0}{\Delta x} \ ,$$

ergibt sich aus den Gleichungen (4.1) und (4.3) für die entsprechende Strecke $\Delta x'$ im mitbewegten System:

$$\Delta x' = \Delta x / 2v_0 \quad \text{mit} \quad v_0 = \Delta x \sqrt{\mathrm{LC}_0}^{-1} = \Delta x \sqrt{12 L'C''}^{-1}$$

so daß:

$$\Delta x' = \frac{1}{2}\sqrt{L C_0} = \sqrt{3 L'C''}. \tag{4.4}$$

Die Strecke $\Delta x'$ entspricht der transformierten Länge einer Periode der simulierten NLTL. Sie ist nach Gleichung (4.4) proportional zur Signallaufzeit pro Periode und damit abhängig vom Filterparameter der Leitung. Zur Bestimmung der Anzahl der benötigten Perioden $m = 1...M$ ist in Abb. 4.5 die Ortsachse mit der Schrittweite $\Delta x'$ diskretisiert worden. Die Summe der benötigten Diskretisierungsschritte bis zum Erreichen des Endpunktes x'_1 entspricht der Anzahl M, in diesem Fall 20. Für Simulationsergebnisse (KdV-Simulator) in Form von Gradienten-NLTL gilt Gleichung (4.4) ebenfalls, jedoch ist hier die Schrittweite $\Delta x'$ von x' abhängig, da bei Gradientenleitungen der Filterparameter selbst ortsabhängig ist (siehe Kapitel 3). Nachdem die Diskretisierung durchgeführt ist, sind für jeden diskreten Ort x'_m die Elemente L, C_0, R und G nach Gleichung (4.3) zu bestimmen, so daß abschließend der komplette Leitungsentwurf in Form eines diskreten Ersatzschaltbildes der NLTL vorliegt.

Der Leitungsentwurf wird nun in ein **technisches Layout** transformiert. Dazu werden die konzentrierten Ersatzschaltbildelemente geometrischen Metallisierungsstrukturen auf dem epitaktischen Vielschicht-Halbleitermaterial zugeordnet, so daß sich eine alternierende Anordnung von planaren Dioden und koplanaren Leitungsstücken ergibt. In Abb. 4.4 ist diese Zuordnung für eine Periode des Leitungslayoutes schematisch dargestellt. Berücksichtigt wurde dabei das Ersatzschaltbild mit diskreten Elementen aus Abb. 3.1a. Generell wird für jede Periode die

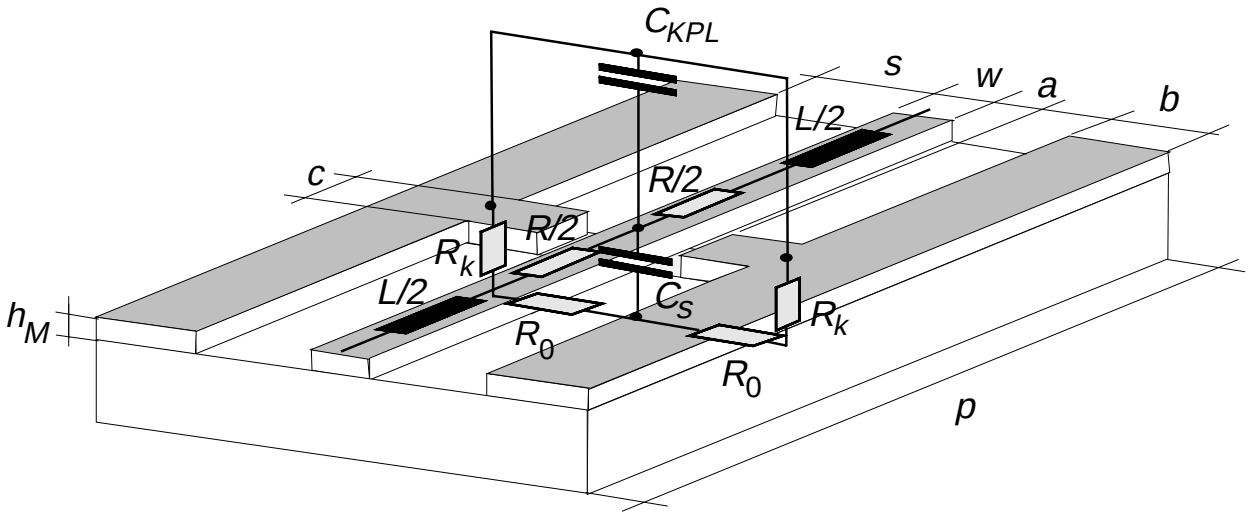

Abb. 4.4: Schematische Zuordnung der Ersatzschaltbildelemente zum Leitungslayout einer Periode (siehe Text).

Induktivität L durch eine Koplanarleitung mit entsprechender Metallisierungsabmessung auf hochohmigem Halbleitermaterial umgesetzt. Gleichzeitig wird die Kapazität C_0 durch die Sperrschichtkapazität C_S einer geeignet dimensionierten, planaren Schottkydiode realisiert, wobei jetzt zusätzlich die Kapazität der Koplanarleitung C_{KPL} berücksichtigt wird. Mit der Annahme, daß die Stromdichte in den Massemetallisierungen wesentlich geringer ist als in der Metallisierung des Innenleiters, wird hier der Widerstand R durch den ohmschen Widerstand des Innenleiters bestimmt. Weiterhin ist der Leitwert G durch den Kontaktwiderstand R_k und den Widerstand der Halbleiterschicht R_0 gegeben. Die Umsetzung des Ersatzschaltbildes erfolgt im einzelnen durch die Wahl geeigneter geometrischer Abmessungen, wie sie in Abb. 4.4 angegeben sind. Dabei ist jedoch zu beachten, daß bei einer Umsetzung in ein technisches Layout die Übertragung der einzelnen Ersatzschaltbildelemente in der Regel nicht unabhängig voneinander durchführbar ist. Als Beispiel wird im Folgenden die Umsetzung des Ersatzschaltbildes aus Abb. 4.3 auf Basis der GaAs-Struktur nach Abb. 2.2a im einzelnen explizit erläutert.

Zunächst werden die Abmessungen einer Koplanarleitung zur Umsetzung der Indultivität L bestimmt. Unter Annahme einer quasi-transversalen elektromagnetischen Wellenausbreitung (Quasi-TEM-Wellenausbreitung) auf einer Koplanarleitung im unmagnetischen Medium (μ_r = 1) und mit unendlich breit und dünn ausgeführter Massemetallisierungen auf dielektrischem Substrat, ist der Induktivi-

tätsbelag mit Hilfe der konformen Abbildung [92,93] durch das Verhältnis elliptischer Integrale erster Ordnung gegeben zu:

$$L' = \frac{\mu_0}{4} \frac{\mathrm{K}'(k')}{\mathrm{K}(k')}. \tag{4.5}$$

Mit μ_0 ist hier die Permeabilität des Vakuums bezeichnet. Nach [93,94] ist das Verhältnis der elliptischen Integrale durch die folgenden Näherungsformeln, anhand der Abmessungen von Spaltbreite s und Innenleiterbreite w der Koplanarleitung, bestimmt (siehe auch Abb. 4.4):

$$\frac{\mathrm{K}'(k')}{\mathrm{K}(k')} = \frac{4}{\pi} \ln \frac{2}{\sqrt{k}}, \qquad \text{für} \quad 0 < k' \leq 0{,}173, \tag{4.6a}$$

$$\frac{\mathrm{K}'(k')}{\mathrm{K}(k')} = \pi \left\{ \ln\left(2 \frac{1+\sqrt{k'}}{1-\sqrt{k'}} \right) \right\}^{-1} \qquad \text{für} \quad 0{,}173 < k' \leq 1 \tag{4.6b}$$

mit

$$k' = \frac{w}{2s + w}. \tag{4.7}$$

Für eine Quasi-TEM-Wellenausbreitung auf der Koplanarleitung muß der Abstand der Massemetallisierungen $d = 2s+w$ deutlich kleiner sein als die Wellenlänge der höchsten Frequenzkomponente f_{max} des sich auf der Leitung ausbreitenden Signales. Nach [95] sollte d den folgenden Wert daher nicht überschreiten:

$$d \leq \frac{1}{10 \cdot \sqrt{\mu_0 \, \varepsilon_0 \, \varepsilon_r} \cdot f_{\max}}. \tag{4.8}$$

Anhand einer Fouriertransformation der Simulationsergebnisse ist der Wert für f_{max} auf 100 GHz bestimmt, so daß nach Gleichung (4.8) der Abstand d auf 70 µm festgelegt wird. Bei einer Innenleiterbreite s = 10 µm und einer Spaltbreite w = 30 µm ergibt sich für L = 61 pH nach den Gleichungen (4.5) und (4.6) die Länge der koplanaren Leitungsstücke zu 85 µm.

Die Annahme unendlich breiter Massemetallisierungen ist nach [93] bereits erfüllt, wenn die Breite b größer als $d/2$ = 35 µm gewählt wird. Hier wird b mit einer

Abmessung von 115 µm gewählt, so daß sich die vollständige Breite der Koplanarleitung zu 300 µm ergibt.

Zur Umsetzung der Kapazität C_0 wird für eine Periode die spannungsabhängige Sperrschichtkapazität $C_S(U)$ und die konstante Kapazität C_{KPL} durch Addition in der Gesamtkapazität $C(U)$ berücksichtigt (s.a. Abb. 4.4):

$$C(U) = C_S(U) + C_{KPL} \tag{4.9}$$

C_{KPL} läßt sich ebenfalls mit Hilfe der Koplanarleitungstheorie [59] über die konforme Abbildung aus den Querabmessungen der Koplanarleitung berechnen. Aus dem Verhältnis elliptischer Integrale ergibt sich danach der Kapazitätsbelag einer Koplanarleitung zu:

$$C_{KPL}' = 4\varepsilon_0\,\varepsilon_{r,eff}\,\frac{\mathrm{K}(k')}{\mathrm{K}'(k')} \qquad \text{mit} \quad \varepsilon_{r,eff} = \frac{\varepsilon_r + 1}{2}, \tag{4.10}$$

wobei die Gültigkeit dieser Gleichung unter den gleichen Voraussetzungen gegeben ist, wie sie für die Gleichung (4.5) gelten. Die Permittivität des Vakuums wird hier mit ε_0, die relative Permittivität mit ε_r und die effektive relative Permittivität mit $\varepsilon_{r,eff}$ bezeichnet. Mit den oben genannten Werten für s und w ergibt sich nach den Gleichungen (4.6a), (4.7) und (4.10) der Kapazitätsbelag zu 116 fF/mm, so daß in einer Periode diese Koplanarleitung mit einer konstanten Kapazität von $C_{KPL} = 22$ fF zur Kapazität C_0 beiträgt. Nach Gleichung (4.9) muß daher die Sperrschichtkapazität der Schottkydiode $C_S(U_0) = 51$ fF betragen. Dieser Wert wird mit der Wahl einer geeigneten Kontaktfläche $A = 100\ \mu\mathrm{m}^2$ anhand der experimentellen Ergebnisse aus Abb. 4.6 umgesetzt. Aufgrund der Innenleiterbreite von 10µm ist somit die Länge der Diode in Ausbreitungsrichtung mit $c = 10$ µm ebenfalls bestimmt. Zusammen mit den Längen der Koplanarleitungen von je 85 µm ergibt sich so die Länge einer Periode zu $p = 200$ µm.

Anzumerken ist an dieser Stelle, daß der konstante Anteil C_{KPL} an der Gesamtkapazität $C(U)$ bei gleicher Spannungsänderung dU zu einer Verringerung der relativen Kapazitätsänderung dC/C_0 führt, was mit einer Abschwächung der wirksamen Nichtlinearität auf der NLTL einher geht. In der zugrunde liegenden Simulation (siehe Abb. 4.2) wurde diese Abschwächung mit dem Faktor 0,7 in der Nichtlinearitätsfunktion $g(U)$ berücksichtigt.

Der ohmsche Längswiderstand des Innenleiters R kann an dieser Stelle lediglich noch durch den spezifischen Widerstand ρ_M der Metallisierung und die Metallisierungsdicke h_M eingestellt werden, da die lateralen Abmessungen des Innenleiters bereits ermittelt sind. Als Metallisierung ist thermisch aufgedampftes Gold vorgesehen, so daß für die Berechnung der Metallisierungsdicke von dem experimentell ermittelten spezifischen Widerstand $\rho_M = 4{,}6 \cdot 10^{-6}\ \Omega\text{cm}$ [57] auszugehen ist. Nach

$$R = \rho_M \frac{p}{2wh_M} \tag{4.11}$$

ergibt sich für $R = 0{,}9\ \Omega$ eine Metallisierungsdicke von $h_M = 0{,}5\ \mu\text{m}$, so daß diese Metallisierung wie vorgesehen durch Kontaktlithographie und Aufdampftechnik erzeugt werden kann. Eine Abschätzung der frequenzabhängigen Eindringtiefe des magnetischen Feldes in die Leitungsmetallisierung - auch als Skineffekt bezeichnet - liefert für den Frequenzbereich bis 100 GHz eine Eindringtiefe von mehr als 0,4 µm [59]. Im vorgesehenen Einsatzbereich der NLTL können daher zusätzliche Verluste aufgrund des Skineffekt vernachlässigt werden.

Nach Abb. 4.4 ergibt sich der Leitwert G, bzw. der Bahnwiderstand $R_b = 1/G$, wie folgt aus dem Widerstand der Halbleiterschicht R_0 und dem Kontaktwiderstand R_k der ohmschen Kontakte:

$$R_b = \frac{1}{G} = \frac{R_0 + R_k}{2}. \tag{4.12}$$

Für die Umsetzung des Leitwertes $G = 0{,}21$ S folgt daraus, daß die Summe von R_0 und R_k einen Wert von 9,2 Ω erreichen muß. Zunächst wird der Kontaktwiderstand des Metall-Halbleiterüberganges an den beiden 10 µm breiten ohmschen Massekontaktierungen der Diode, anhand experimenteller Ergebnisse in [57], zu $R_k = 6{,}0\ \Omega$ angenommen. Der weiterhin benötigte Widerstand der Halbleiterschicht muß daher einen Wert von $R_0 = 3{,}2\ \Omega$ annehmen und wird über:

$$R_0 = r_s \frac{a}{c} \tag{4.13}$$

in Abhängigkeit vom Schichtwiderstand r_s durch ein geeignetes Längen- zu Breitenverhältnis der Kontaktanordnung eingestellt. Im Gegensatz zum Kontaktwiderstand, der im wesentlichen durch die komplexen Vorgänge des Legierungsprozesses bei der technologischen Herstellung bestimmt wird [57], hängt der

Schichtwiderstand in der Regel nur von den Materialeigenschaften und der Dicke des Schichtmateriales ab. Bei bekannter Anzahl und Beweglichkeit der Ladungsträger sowie der Schichtdicke des hier betrachteten GaAs-Substrates (Abb. 2.2a), ist der Schichtwiderstand r_s wie folgt gegeben [96]:

$$r_s = \frac{1}{e \cdot N_d \cdot \mu_n \cdot h_d}. \tag{4.14}$$

Dabei ist mit μ_n die Beweglichkeit der Elektronen im GaAs und mit e die Elementarladung bezeichnet. Weiterhin steht h_d für die Schichtdicke der mit der Donatorkonzentration N_d dotierten Schicht (der Einfluß der Minoritätsträger wird vernachlässigt). Mit μ_n = 3000 cm²/Vs und den Angaben zur Schichtstruktur aus Abb. 2.3a ist der Schichtwiderstand hier zu r_s = 3,2 Ω/sq berechnet, was sehr gut mit dem experimentell bestimmten Wert von 3,4 Ω/sq übereinstimmt (s.a. Kapitel 5). Nach Gleichung (4.13) ergeben sich mit r_s = 3,4 Ω/sq und c = 10 µm die Abstände zwischen dem Schottkykontakt unter dem Innenleiter und den ohmschen Massekontakten der Diode dann zu a = 10 µm.

An dieser Stelle sind alle Ersatzschaltbildelemente einer Periode in geometrischen Metallisierungsstrukturen nach Abb. 4.4 umgesetzt und in folgender Tabelle zusammengefaßt:

Abmessungen:	p	d	s	w	b	c	a	h_t
(Maße in µm)	200	70	10	30	115	10	10	0,5

Tabelle 4.1: Abmessungen des Layouts für eine Periode der GaAs-NLTL (siehe auch Abb. 4.4)

Durch Aneinanderketten von 20 dieser Strukturen ist die Transformation des Leitungsentwurfes in ein technologisches Layout für diese NLTL abgeschlossen.

Zur Verifikation der theoretischen Vorhersagen zur Signalausbreitung in Abb. 4.2 ist diese Leitung auch technisch hergestellt und experimentell untersucht worden, worauf in Kapitel 5 gesondert eingegangen wird. Anzumerken ist weiterhin, daß durch die Ausführung der Diodenmassekontakte (auch als Kontaktfinger bezeichnet) zusätzliche Induktivitäten und ohmsche Widerstände, sowie Streukapazitäten

dieser Kontaktmetallisierungen zum Innenleiter in die Struktur der NLTL eingebracht werden, die im Ersatzschaltbild nicht berücksichtigt sind. Eine Abschätzung anhand der Daten aus Tabelle 4.1 hat aber ergeben, daß sich sowohl die Gesamtkapazität der Dioden als auch die Grenzfrequenz der Dioden nur um ca. 2 % von der Idealausführung unterscheiden. Daher wird der Einfluß dieser zusätzlichen parasitären Parameter auf die Signalausbreitung vernachlässigt.

Mit der oben aufgezeigten Methode wurden auch Leitungsentwürfe von Gradienten-NLTL erstellt und transformiert, wobei vom Anfang bis zum Ende der Leitung für jede Periode separat die Umsetzung in ein geeignetes Layout erfolgte.

Für die Erstellung von Leitungsentwürfen homogener NLTL ist zunächst zu beachten, daß in den Simulationsergebnissen mit $C'' = 0$ Fmm die Filtereigenschaft der NLTL vernachlässigt ist und somit das differentielle Ersatzschaltbild aus Abb. 3.1b als Basis für die Umsetzung herangezogen wird. Durch die Wahl der Schichtstruktur wird zunächst die Nichtlinearität festgelegt, so daß anschließend nur noch die Verlustparameter R'/L' und C_0'/G' in die entsprechenden Leitungbeläge umzuwandeln sind. Die technische Umsetzung des Entwurfes in eine Schottkykontakt-Koplanarleitung erfolgt dann z.B. nach dem in [55] erläuterten Verfahren. Dort ist die Zuordnung der Leitungsbeläge aus dem Ersatzschaltbild in entsprechende Leitungsgeometrien einer Koplanarleitung auf halbleitendem Substrat detailliert beschrieben. Dabei hat die Erfahrung gezeigt, daß die technische Umsetzung lediglich eine enge Auswahl an Werten für die Leitungsbeläge zuläßt.

Nachdem nun die Verfahren zur technischen Umsetzung von periodischen-, homogenen- und Gradienten-NLTL dargestellt sind, sei an dieser Stelle noch erwähnt, daß zu jeder bereits existierenden NLTL das entsprechende Ersatzschaltbild durch Umkehrung dieser Verfahren generiert werden kann. Auf Basis der so generierten Ersatzschaltbilder kann dann auch für diese NLTL die nichtlineare Signalausbreitung mit den Simulatiosmodellen berechnet und mit experimentellen Ergebnissen verglichen werden.

Zur weiteren Herstellung von NLTL sind anhand von Simulationsergebnissen eine Vielzahl von Leitungsentwürfen erstellt und in technische Layouts umgesetzt worden. Diese Layouts wurden anschließend mit einem CAD-Programm in Datensätze zur Anfertigung von optischen Masken übertragen, die für den Lithographieprozeß zur Herstellung von GaAs- und InP-HFET-NLTL benötigt werden. Die einzelnen Strukturgrößen sind dabei mit den in [57] aufgeführten Übermaßen versehen worden, um Abbildungs- und Justagefehler bei der Lithographie zu

kompensieren. Die einzelnen Technologieschritte zur Herstellung von NLTL werden im folgenden Abschnitt kurz erläutert.

4.3 Herstellung von GaAs- und InP-HFET-NLTL

Die Herstellung von nichtlinearen Leitungsstrukturen im GaAs-System nach Abb. 2.3a erfolgt in Anlehnung an die in [17,47] beschriebenen Prozesse. Zur lateralen Strukturierung, insbesondere der Leitungsmetallisierung, sowie der Ohm- und Schottkymetalle im Bereich der Dioden, wird hier die Methode der **optischen Kontaktlithographie** eingesetzt. Auf die Halbleiteroberfläche wird dazu ein lichtempfindlicher Lack (Photolack) aufgetragen und durch eine optische Maske belichtet. Anschließend wird der Photolack einem Naßätzverfahren unterzogen, so daß eine lateral strukturierte Lackschicht auf dem Halbleiter zurück bleibt und so eine selektive Behandlung der Oberfläche ermöglicht. Bei der Herstellung von GaAs-NLTL wird so die Ohm-Metallisierung der Dioden als Ge/Ni/Au (240nm) aufgedampft und einlegiert (siehe Abb.4.5a). Zur elektrischen Isolierung der einzelnen Dioden untereinander werden sie anschließend mit einer ca. 8 µm

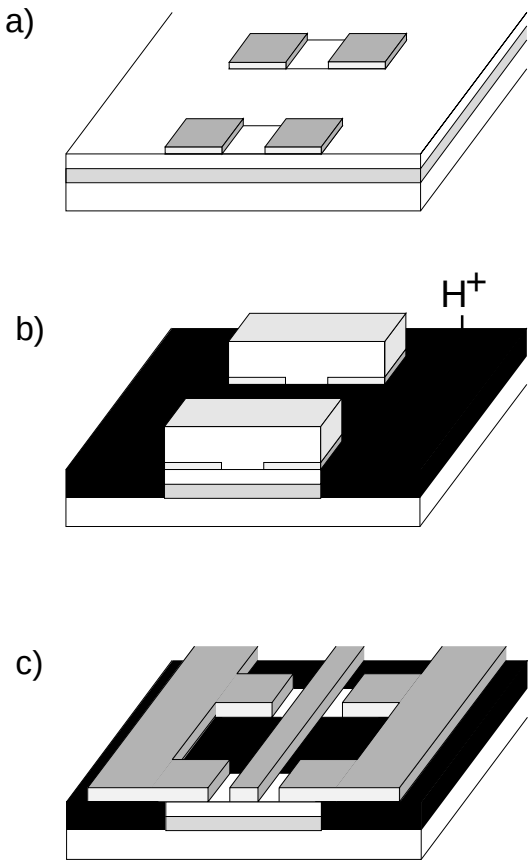

Abb. 4.5: Schematische Darstellung der durchgeführten Technologieschritte bei der Her-stellung von GaAs-NLTL (siehe Text), a) Ohm-Metallisierung, b) Photolack als Schutzschicht bei Implantation mit Protonen, c) Schottky-Metallisierung gleichzeitig auch als Leitungsmetallisierung

dicken Fotolackschicht abgedeckt. Diese Schicht dient als Schutzschicht für den anschließenden **Implantationsprozeß** zur Passivierung des Substrates (siehe auch [97-100]), der im Institut für Schicht und Ionentechnik der KFA Jülich durchgeführt wurde (Abb.4.5b). Die Implantation mit Protonen erfolgt in zwei Schritten:

	Energie:	Dosis:
Schritt I:	190 keV	$1 \cdot 10^{15} \mathrm{cm}^{-2}$
Schritt II:	110 keV	$2 \cdot 10^{15} \mathrm{cm}^{-2}$

Diese Behandlung führt hier zu einem Schichtwiderstand von 38 MΩ/sq, was eine ausreichende Isolierung der Elemente untereinander gewährleistet. Nach Entfernen des Schutzlackes wird im letzten Prozeßschritt die Schottkymetallisierung zusammen mit der Leitungsmetallisierung als Pt/Ti/Pt/Au (560nm) aufgedampft, wie in Abb.4.5c dargestellt.

Für die Herstellung von GaAs-NLTL ist also der Ionenimplantationsprozeß zur elektrischen Isolierung mehrerer auf einem Wafer befindlichen Elemente der zentrale und aufwendigste Prozeßschritt. So ist neben der Bestimmung geeigneter Implantationsschritte auch die Verfügbarkeit eines Ionenbeschleunigers notwendig.

Mit wesentlich geringerem technischen Aufwand erfolgt die Herstellung von InP-HFET-NLTL auf einer Schichtstruktur nach Abb. 2.4. Zur elektrischen Isolierung der Dioden untereinander werden zunächst alle Bereiche außerhalb der Dioden mittels einer Mesaätzung bis auf das InP-Substrat abgeätzt (siehe Abb.4.6a). Danach wird die Ohm-Metallisierung ebenfalls als Ge/Ni/Au (240nm) aufgedampft und einlegiert (Abb.4.6a). Um die InGaAs-Kanalschicht der einzelnen Dioden gegen die später aufzubingende Leitungsmetalllisierung zu isolieren, erfolgt an dieser Stelle ein **Recess** der InGaAs-Schichten. Der Recess, ein hochselektiver InGaAs-Ätzprozeß, bewirkt ein laterales ”Zurückätzen” der Kanalschicht an den Mesakanten (Abb. 4.6c, linkes Teilbild), wobei gleichzeitig auch die obere InGaAs-Deckschicht in den freiliegenden Bereichen entfernt wird. Danach erfolgt die Schottkymetallisierung der Dioden, zusammen mit der Metallisierung der koplanaren Leitungsstrukturen. Durch Aufdampfen von Pt/Ti/Pt/Au (560nm) über die nur 290 nm hohen Mesakanten hinweg, wird der Schottkykontakt der InP-HFET-Dioden mit dem Innenleiter der NLTL verbunden, wie in Abb. 4.6d dargestellt.

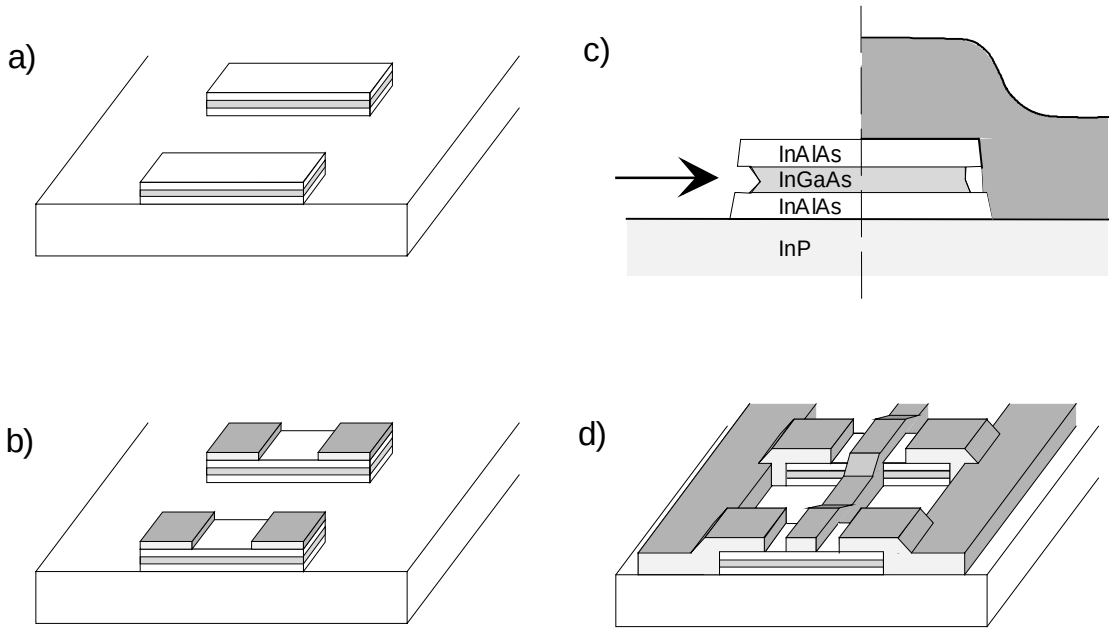

Abb. 4.6: Schematische Darstellung der durchgeführten Technologieschritte bei der Herstellung von NLTL im InP-HFET-System (siehe Text), a) Mesa, b) Ohm-Metallisierung, c) Recess (schematisch dargestellt am Querschnitt durch eine HFET- Diode entlang des Innenleiters), d) Schottky-Metallisierung (gleichzeitig auch Leitungsmetallisierung)

Im rechten Teilbild der Abb. 4.6c ist die Metallisierung, anhand eines Querschnittes entlang des Innenleiters, über eine Diode hinweg skizziert, wobei neben dem Schottkykontakt insbesondere der Recess zur elektrischen Isolation der InGaAs-Kanalschicht verdeutlicht wird. Dieser Recess-Schritt stellt somit ein geschicktes Verfahren dar, ohne zusätzliche Maskierungen Kurzschlüsse der über die Mesakanten verlaufenden Innenleiters mit dem hochleitenden InGaAs-Kanal zu verhindern (siehe [101]). Derartig hergestellte InP- HFET-Dioden wurden mit einer Sperrspannung von bis zu -12 V betrieben, wobei der Sperrstrom bei einer Fläche des Schottkykontaktes von 18 µm× 19 µm einen Werte von -400 µA nicht überschritten hat (siehe Kapitel 5).

Auf InP-HFET-Schichtstrukturen ermöglicht diese Technologie auf geschickte Weise die elektrische Isolation einzelner aktiver Elemente untereinander, ohne daß die Prozeßschritte für eine Ionenimplantation erforderlich sind.

Mit den in diesem Kapitel vorgestellten Methoden zur Umsetzung der Simulationsergebnisse über den Leitungsentwurf in das technische Layout von NLTL und den

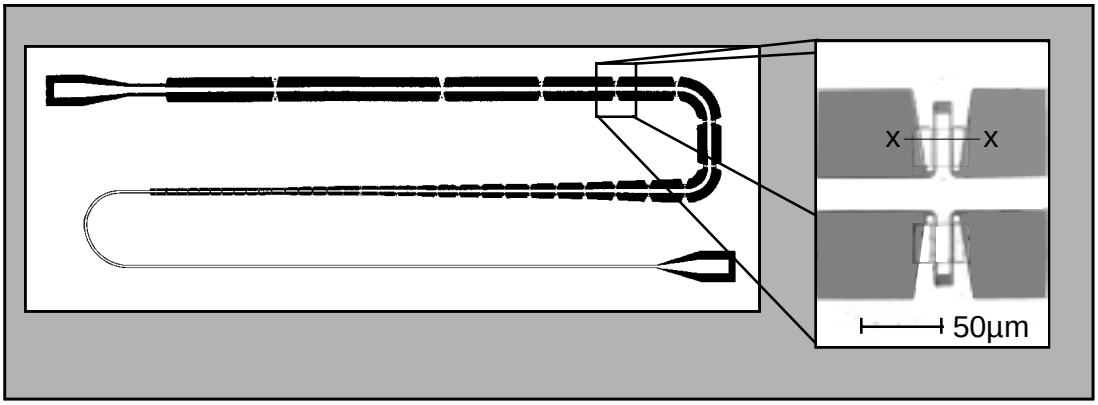

Abb. 4.7: Aufsicht auf eine Gradienten-NLTL (InP-HFET-Substrat) mit vergrößerter Detailaufsicht auf eine Doppeldiode (der Querschnitt in x-x - Richtung entspricht der Abb. 2.3a)

oben beschriebenen technologischen Verfahren sind erste nichtlineare Leitungen auf einem InP-basierendem Schichtsystem hergestellt worden. Als Beispiel für eine derartige Umsetzung ist in Abb. 4.7 die Aufsicht auf eine nach diesem Verfahren entworfene und technologisch hergestellte Gradienten-NLTL auf InP-HFET-Substrat zu sehen. Die gesamte NLTL ist auf einer Fläche von 3,3 mm $\times$ 1,0 mm angeordnet und stellt die Umsetzung der Simulationsergebnisse aus Abb. 3.4 dar, wobei minimale Strukturgrößen (Kontaktabstand, Spalt- und Innenleiterbreite) mit 2 µm berücksichtigt wurden, die mit dem angewandten Herstellungsprozeß reproduzierbar zu realisieren sind [57]. Wie in der Ausschnittvergrößerung dargestellt, ist hier jede Diode aus dem Leitungsentwurf als Doppeldiode ausgeführt, die mit einer charakteristischen Kontaktstruktur in Form von Fingerkontakten symmetrisch zwischen dem Innenleiter und den Massekontakten angeordnet ist. Ein Schnitt in x-x - Richtung entspricht dabei dem in Abb. 2.4 dargestellten Querschnitt. Wie in der Abbildung weiter zu erkennen ist, sind am Eingang und Ausgang der NLTL spezielle Kontaktstrukturen (Taper) angeordnet, die zur elektrischen Kontaktierung der NLTL mit speziellen Meßspitzen - sogenannten Mikrowellenprobern (50 Ω, 150 µm, GSG-Koplanarprober) - vorgesehen sind.

Wie den vorangegengenen Darstellungen zu entnehmen, hat sich im Rahmen der Prozessierung von NLTL wesentlich herausgestellt, daß die Technologie zur Herstellung von InP-HFET-NLTL mit deutlich weniger Aufwand durchzuführen ist, als die Herstellung von GaAs-NLTL, da der Implantationsprozeß entfallen kann. Weiterhin haben die Simulationen in Kapitel 3 ergeben, daß eine stark ausgeprägte Nichtlinearität, die bis zu höchsten Frequenzen wirksam ist, eine entscheidende Voraussetzung zur Verbesserung der Pulskompression auf NLTL darstellt. In dieser

Hinsicht sind InP-HFET-Dioden mit einer relativen Kapazitätsänderung von 2500 % den GaAs-Dioden um das 23-fache überlegen. Ferner wird bei der technischen Umsetzung von InP-HFET-NLTL der höhere Schichtwiderstand durch entsprechend geeignete Kontaktabmessungen berücksichtigt. Gegenstand der Untersuchungen im nächsten Kapitel ist die experimentelle Bestätigung dieser Aussagen und damit zusätzlich die Verifikation entsprechender Simulationsergebnisse.