8 Zusammenfassung

Die vorliegende Arbeit behandelt schwerpunktmäßig die Technologie zur Herstellung von InAlAs/InGaAs/InP Heterostruktur-Feldeffekt-Transistoren und deren Charakterisierung. Auf der Basis bereits ausreichend erprobter Transistorschichten ist die vorliegende Arbeit als wissenschaftlicher Beitrag zu verstehen, der die Optimierung der o.g. Bauelemente nahezu ausschließlich mit Methoden der Strukturierungstechnik verfolgt. Für die Herstellung der Bauelemente und hierbei insbesondere für die der Gate-Kontakte wurde die Elektronenstrahllithographie als zentrales Strukturierungswerkzeug eingesetzt. Dabei sind eine im Fachgebiet neu beschaffte Belichtungsanlage erstmals in Betrieb genommen, und sämtliche dazu notwendigen Lithographieprozesse entwickelt worden. Als herausragendes Resultat dieser Entwicklungsarbeiten konnte ein völlig neuartiges Belichtungsverfahren vorgestellt werden.

Die Charakterisierung der hergestellten HFET umfaßte sowohl das Gleich- als auch das Wechselspannungsverhalten. Dabei basierte die Hochfrequenzcharakterisierung auf der Kleinsignalparameteranalyse einschließlich der Kleinsignalersatzschaltbildbestimmung im Frequenzbereich 45 MHz < f < 40 GHz.

8.1 Bauelementfertigung mit Hilfe der Elektronenstrahlbelichtung

Bei der Herstellung der Gate-Kontakte von SGHFET ist die Gate-Länge L_G ein entscheidender Parameter in bezug auf das spätere Hochfrequenzverhalten des Bauelements (vgl. Kap. 2). Mit Änderung von L_G wird die zugehörige Gate-Source-Kapapzität C_{gs} unmittelbar und proportional beeinflußt. Für das Hochfrequenzverhalten bedeutet dies: Je kleiner L_G bzw. C_{gs}, desto größer kann die Transitfrequenz f_T des HFET erwartet werden. Mit der Reduzierung von L_G verringert sich aber gleichzeitig der geometrische Querschnitt des gesamten Gate-Kontakts. Dies hat widerum zur Folge, daß sowohl im DC- als auch im RF-Fall erhöhte Werte für den Zuleitungswiderstand R_G auftreten. Dies ist insbesondere der Erzielung hoher Schwingfrequenzen bei gleichzeitig geringem Eigenrauschen abträglich. Im Rahmen dieser Arbeit wurde daher primär das Ziel verfolgt, durch geeignete Strukturierungsmethoden soge-

nannte *Mushroom-Gate*- oder *T-Gate*-Kontakte herzustellen, die durch ihr pilzförmiges Profil die Forderung nach kurzen Gate-Längen bei gleichzeitig großen Metallquerschnitten erfüllen.

Die Realisierung solcher Gate-Strukturen im unteren Submikrometerbereich erfolgte unter Einsatz der Elektronenstrahllithographie. Hierzu wurde im Fachgebiet ein Raster-Elektronenstrahlmikroskop des Typs JEOL 6400 in Verbindung mit einem externen Steuerungssystem (*Elphy*^{Plus}, Fa. Raith, Dortmund) installiert (vgl. Kap. 3). Für die Herstellung spezieller Resistprofile, wie im Fall des T-Gate-Kontakts, war zunächst eine umfangreiche Kenntnis der fotochemischen Zusammenhänge nicht zuletzt wegen des Einsatzes mehrlagiger Resistsysteme absolut notwendig (Kap. 4). Die diesbezüglich sehr detallierten und stets am Experiment orientierten Untersuchungen führten letztendlich zur erfolgreichen Entwicklung unterschiedlicher Lithographieprozesse. Im Gegensatz zur Literatur wurden mit Hilfe der EBL auf der Basis dieser Prozesse erstmals auch vollständige Transistoren und Schaltungen hergestellt (Kap. 5). Im Rahmen der Entwicklungsarbeiten für T-Gate-Kontakte konnten verschiedene anwendungsbezogene Technologien bereitgestellt werden. Dabei wurden auf der Basis konventioneller Techniken vor allem neue Lithographiekonzepte verfolgt, die aufgrund ihrer technischen Handhabarkeit für industrielle Anwendungen sehr interessant sind. Durch geschickte Manipulation eines dreilagigen Resistsystems in bezug auf Kontrastfähigkeit und Schichtdicke der Einzelkomponenten gelang es erstmals höchstaufgelöste Belichtungen ($L_G \approx$ 100 nm) bei extrem niedrigen Bechleunigungsspannungen (U_{acc} = 10 kV) durchzuführen. Damit konnte ein wichtiger Beitrag zur Diskussion zukunftsweisender Lithographieverfahren geliefert werden, die die Optimierung der Resiste selbst im Gegensatz zu derjenigen der Lithographiegeräte (U_{acc} > 100 kV) in den Vordergrund stellt.

Für die Optimierung des Gate-Recess-Prozesses wurden naß- und trockenchemische Ätzverfahren nach technologischer Handhabbarkeit, Maßhaltig- und Reproduzierbarkeit im direkten Vergleich einander gegenübergestellt. Zur Erzielung von Gate-Längen im Bereich 200 nm < L_G < 250 nm zeichnete sich besonders ein PMMA / MAA-Dreilagen-Resistprozeß in Verbindung mit einem naßchemisch durchgeführten Gate-Recess auf Zitronensäure basierender Ätzlösung aus. Eine weitere Reduzierung der Gate-Länge im Bereich $L_G \approx$ 150 nm gelang reproduzierbar durch die Hinzunahme eines chemisch verstärkten Resistes. Hier zeigte sich in bezug auf die Maßhaltigkeit erneut der Vorteil des plasmaunterstützten Ätzprozesses infolge des deutlich anisotropen Ätzverhaltens. Zur Vermeidung hoher Gate-Leckströme, war es aber notwendig, im Anschluß an den Plasma-Prozeß zusätzlich einen isotropen, naßchemischen Ätzschritt durchzuführen. Die Anwendung dieses Hybrid-Gate-Recess-

Prozesses erlaubte die reproduzierbare Herstellung von HFET, deren Transitfrequenz im Bereich $f_T \approx 150$ GHz ($f_{GU,max} \approx 250$ GHz) lag.

8.2 Single-Gate Heterostruktur-Feldeffekttransistoren

Die Hochfrequenzeigenschaften von SGHFET wurden durch die erfolgreiche Reduktion der Gate-Länge bis in den Bereich $L_G \approx 100$ nm deutlich verbessert. Der erfolgreiche Einsatz der entwickelten Lithographieverfahren konnte dabei anhand von DC- und RF-Messungen im Bereich 45 MHz - 40 GHz aufgezeigt werden (Kap. 6). U.a. wurden Spitzenwerte von $f_T = 181$ GHz bei einer Gate-Länge von $L_G = 0.2$ µm erzielt (vgl. Kap. 6, Abschn. 6.4.2.2). Beim Übergang zu Gate-Längen in den unteren Submikrometerbereich konnte erwartungsgemäß eine fortschreitende Degradierung des Bauelementverhaltens infolge von Kurzkanaleffekten beobachtet werden. Infolge eines verringerten Gate-Durchgriffs zum Bauelementkanal kann sich im Gleichspannungsfall eine signifikante Verschiebung der Schwellenspannung U_T zu deutlich negativeren Werten einstellen. Zum Teil konnte U_T sogar unterhalb von -2 V bestimmt werden. Der damit verbundene Steilheitsverlust und der gleichzeitige Anstieg des Ausgangsleitwertes g_{ds} begrenzten damit die Verstärkung des Bauelementes deutlich. Ohne gezielte Optimierung der technologischen Prozesse waren diese Effekte nicht zu unterdrücken. Daher behandelt ein großer Teil dieser Arbeit auch die Optimierung des Gate-Recess-Prozesses, welcher unmittelbar nach der Strukturierung der Gate-Kontakte durchgeführt wird. Hier zeigte sich, daß bereits die Probenpräparation unmittelbar vor dem Ätzvorgang einen entscheidenden Einfluß auf die Funktionsfähigkeit des herzustellenden Gate-Kontaktes besitzt. Mittels moderner Charakterisierungsmethoden, wie der Raster-Kraft-Mikroskopie, konnte die Qualität verschiedener Oberflächenreinigungsprozesse und ihre Rückwirkung zum elektrischen Verhalten des Bauelementes sehr genau bestimmt werden. Umfangreiche Analysen führten schließlich zur Entwicklung einer plasmaunterstützten Probenpräparation, die einen rückstandsfreien Abtrag sowohl von Fotolackresiduen als auch von prozeßbedingten Oxiden gewährleistet.

8.3 Dual-Gate Heterostruktur-Feldeffekttransistoren

Eine weitere Verbesserung des dynamischen Verhaltens von HFET ergab der Einsatz von Dual-Gate-HFET in Kaskodenbetrieb an Stelle der konventionellen Single-Gate-HFET (Kap. 7). Hier konnten Spitzenwerte unter Einsatz der Hybrid-Gate-Recess-Technologie von $f_T \approx 141$ GHz und $f_{GU,max} \approx 350$ GHz erzielt werden ($L_G = 0.1$ µm). Diese Bauelemendaten stellen zum Zeitpunkt dieser Arbeit im Fall von DGHFET Weltbestwerte dar.

Ein weiterer, zentraler Aspekt dieser Arbeit widmete sich der Problematik der Stoßionisation im InGaAs-Bauelementkanal von SG- und DGHFET. Neben dem Vorteil der höheren Verstärkung von DGHFET wurden im Rahmen dieser Arbeit erstmals die herausragenden Steuerungseigenschaften des zweiten Gate-Kontaktes bezüglich des Stoßionisationseffektes aufgezeigt. Mit Hilfe des DGHFET konnte erstmals eine erfolgreiche Methode vorgestellt werden, den Prozeß der Stoßionisation im Bauelementkanal unmittelbar zu steuern. Im Gegensatz zu den bisher bekannten Verfahren, die überwiegend die Symptome dieses parasitären Effektes, wie z.B. den Gate-Leckstrom I_G, zu kontrollieren suchten, zeigte diese Arbeit erstmals eine Möglichkeit auf, die die Stoßionisation verursachenden elektrischen Felder gezielt zu kontrollieren und zu beeinflussen.

Im Fall der DGHFET-Kaskode kann mit Hilfe der Steuerspannung des zweiten Gate-Kontaktes U_{G2S} das Gate-Kanal-Potential U_{ch} und damit auch die innere Drain-Source-Spannung U_{D1S} des ersten HFET gezielt beeinflußt werden. Dies bestätigten sowohl Simulationen als auch Meßergebnisse (vgl. Kap. 2 bzw. Kap. 7). Im Experiment gelang es dabei, die innere Spannung U_{D1S} soweit zu verringern, daß die für das InAlAs/InGaAs-Materialsystem charakteristische Grenze für das Auftreten von Stoßionisation von $U_{D1S} \approx 1$ V unterschritten wurde. Damit konnte die Stoßionisation im Kanalbereich unterhalb des hochfrequenzbetriebenen Gate-Kontaktes nahezu ausgeschaltet werden. Mit Hilfe des *Nomogramms* (vgl. Kap. 2, Abschn. 2.5.4.1 und Kap. 7, Abschn. 7.1.2) konnte gezeigt werden, daß in diesem Fall der größte Anteil der extrinsisch anliegenden Drain-Source-Spannung U_{DS} als innere Spannung U_{DD1} über dem zweiten HFET der Kaskode abfällt. Da dieser HFET aber hochfrequenzmäßig inaktiv ist, wirkt sich die in diesem Teil des Kanals auftretende Stoßionisation auf das extrinsische Bauelementverhalten der Kaskode insgesamt nicht aus. Im Gegensatz zum SGHFET ist bei der DGHFET-Kaskode damit die lokale Unterdrückung der Stoßionisation durch eine entsprechende Reduzierung der Kanalfeldstärke möglich, ohne einen signifikanten Verlust der dynamischen Bauelementeigenschaften hinnehmen zu müssen. Eine Optimierung der technologischen Herstellungsprozesse für beide Gate-Kontakte führte zur Realisierung von Kaskoden, die diese Bauelementeigenschaften auch für eine Steuerspannung von $U_{G2S} = 0$ V aufwiesen. Dies ermöglichte prozeßtechnisch den direkten Kurzschluß zwischen Gate 2 und Source der Kaskode. Damit konnte der im allgemeinen als sehr kompliziert eingestufte Herstellungsprozeß von DGHFET wesentlich vereinfacht werden, was letztendlich auch zu einer deutlich erhöhten Akzeptanz dieses Bauelementes in Schaltungsanwendungen führte. Schließlich lieferte die DGHFET-Kaskode nicht zuletzt auch dadurch einen bisher unerreichten Vorteil, weil das auf die Stoßionisation zurückzu-

führende, degradierende Rauschverhalten im Frequenzbereich $f < 10$ GHz deutlich reduziert werden konnte (vgl. Kap. 7).

Die vorliegende Arbeit stellt damit zunächst neue technologische Verfahren für die Herstellung von Submikron-HFET zur Verfügung. Darüber hinaus liefert sie wichtige wissenschaftliche Erkenntnisse in bezug auf die Stoßionisation in DGHFET. Dies führte schließlich zur erfolgreichen Entwicklung eines neuartigen Transistortyps, der sich durch einen vernachlässigbaren Gate-Leckstrom bei gleichzeitig exzellenten Hochfrequenz- und Rauscheigenschaften auszeichnet.