# 5 Ergebnisse und Diskussion zur Technologie der Elektronenstrahllithographie

Die hochauflösende Elektronenstrahllithographie wurde im Rahmen dieser Arbeit hauptsächlich für die Herstellung von Submikron-Gate-Kontakten unterschiedlicher Geometrien eingesetzt. Dieses Themengebiet bildet den Schwerpunkt dieses Kapitels. Neben dieser Anwendung ist die EBL aber auch auschließlich für die Strukturierung von vollständigen Bauelementen und Schaltungen genutzt worden. Dabei erwies sich die Direktschreiblithographie (vgl. Abschn. 5.1.1) über die Belichtung der Gate-Kontakte hinaus als sehr flexibles Werkzeug für die schnelle Umsetzung von Entwürfen und Mustern bezüglich aller übrigen Transistor- bzw. Schaltungsebenen. Aufgrund der geringen Anforderung an die Auflösung werden diese Ebenen üblicherweise mit Hilfe lichtoptischer Lithographie unter Verwendung der Fotomaskentechnik (vgl. Kap. 3) strukturiert [14],[41].

# 5.1 Belichtungstechniken

Beim Einsatz der EBL für die Transistorherstellung unterscheidet man grundsätzlich zwei verschiedene Lithographiekonzepte:

- a) Vollständige Direktschreiblithographie,
- b) Kombinationslithographie (Mix-and-Match-Technik) [80],[115].

## 5.1.1 Vollständige Direktschreiblithographie

Im Fall der vollständigen Direktschreiblithographie werden sämtliche Belichtungsschritte ausschließlich mit Hilfe der EBL ausgeführt. Dazu ist die Bereitstellung eines Justiermarkensystems notwendig, daß bereits vor der Belichtung der ersten Transistorebene auf dem zu strukturierenden Substrat realisiert werden muß. Im Rahmen dieser Arbeit wurden dazu in den äußeren Ekken eines quadratischen Schreibfeldes der Kantenlänge 500  $\mu$ m Justierkreuze angeordnet. Ihre geometrische Struktur der Breite von 1  $\mu$ m und der Länge von 10  $\mu$ m wurde in einem einlagigen, positiv arbeitenden Resist belichtet (vgl. Anhang B). Bei diesen Strukturgrößen kann in einlagigen Resisten aufgrund des stets auftretenden Intraproximityeffektes ein unterschnittenes Fotolackprofil gewährleistet werden. Dieses ist für die Verwendung der Abhebetechnik (lift-off technique) [41],[64] beim nachfolgenden Metallisierungsprozeß zwingend notwendig (vgl. Kap. 4, Abschn. 4.1.2.2). Im Anschluß an diesen Prozeß wird die erste Transistorebene anhand der vorhandenen Justiermarken ausgerichtet und belichtet. Gleichzeitig wird ein zweites Justiermarkensystem in die Ecken des Schreibfeldes belichtet, um den Abbildungsfehler für die nachfolgende Strukturebene so gering, wie möglich, zu halten. Nach diesem Prinzip erfolgt die Justage aller notwendigen Transistorebenen bis zum vollständig hergestellten Bauelement. Die hohe Justiergenauigkeit des eingesetzten Lithographiesystems (vgl. Kap. 3) demonstriert Abb. 5.1.



**Abb. 5.1:** Versatz der Juzstiermarken zweier aufeinander folgender Prozeßschritte im Fall der Direktschreib-Lithographie.

Hierbei ist der Versatz der Justiermarken zweier aufeinanderfolgender Ebenen gezeigt. Anhand der 35000-fach Vergrößerungen kann eine Justiertoleranz von  $\Delta_{just} \approx 100$  nm angegeben werden.

## 5.1.2 Kombinationslithographie

Bei der Transistorherstellung im Fall der Mix-and-Match-Technik [80],[115] spricht man von einer Kombinationsbelichtung. Hierbei werden bezüglich der Auflösung unkritische Transistorebenen mittels lichtoptischer Lithographie unter Verwendung der Fotolackmaskentechnik erzeugt. Hochaufzulösende Strukturen, wie die Gate-Kontakte, werden dagegen unter Einsatz der EBL hergestellt. Die Anwendung dieser Technik erfordert die Realisierung von geeigneten Justiermarken in der letzten Transistorebene vor Einsatz der Elektronenstrahlbelichtung.



**Abb. 5.2:** Bildschirmseite der Software *Elphy*<sup>Plus</sup> [78] zur automatischen Justiermarkenerkennung bei Verwendung der Mix-and-Match-Technik.

Das entsprechende Schreibfeld auf Seiten der EBL ist dabei in Anlehnung an diese Justiermarken und an die zu belichtende Struktur festzulegen. Für die im Rahmen dieser Arbeit durchgeführten Belichtungen ist ein Schreibfeld der Kantenlänge 500  $\mu$ m festgelegt worden. Die Justage selbst basiert, wie auch im Fall der vollständigen Direktschreiblithographie, auf dem Prinzip der Signal-

erkennung durch Kreuzkorrelation [84]. Hierzu wird das bei der Elektronenstrahlrasterung aufgenommene SE-Amplituden-Signal der zu erkennenden Justiermarke in ihren x- und y-Koordinaten digitalisiert und als Referenzsignal gespeichert [78]. Beim Belichtungsprozeß ist es zunächst notwendig, den Probentisch in eine zu den Justiermarken definierte Position zu bringen, von der aus die Elektronenoptik so verstellt werden kann, daß alle Justiermarken eines Schreibfeldes erfaßt werden können. Danach werden alle Marken nacheinander abgerastert, und das jeweils zugehörige SE-Signal aufgenommen. In einer Kreuzkorrelation [84] wird jedes Signal mit dem Referenzsignal verglichen, und die Abweichungen in Form von Korrekturwerten nach x-, y- und Winkelkoordinaten festgehalten. Die Korrektur kann von Hand oder automatisch durchgeführt werden. Bei Automatikbetrieb ist es notwendig, daß der Entwurf der verwendeten Justiermarken identisch ist, da in der Software nur ein Referenzsignal vorgegeben werden kann. Darüber hinaus ist der Entwurf so zu wählen, daß das Amplitudenmaximum der Kreuzkorrelationsfunktion eindeutig zu detektieren ist [84], und damit Fehljustagen vermieden werden. Aus diesem Grund basieren die im Rahmen dieser Arbeit verwendeten Justiermarken auf der für diese Technik idealen Form des Justierkreuzes. Einen Einblick in die von der Software Elphy<sup>Plus</sup> [78] bereitgestellten Justagetechnik gibt Abb 5.2. Hierbei ist das entsprechende Menü der Bildschirmseite des Steuerrechners darstellt.

# 5.2 Anwendung der vollständigen Direktschreiblithographie

Im Rahmen dieser Arbeit wurden SGHFET- und DGHFET-Strukturen sowie digitale Schaltungen [116] auch ausschließlich unter Einsatz der Elektronenstrahllithographie hergestellt. Die Neuentwicklung der dafür notwendigen Prozesse wird in den folgenden Abschnitten vorgestellt, wobei die allgemeine Prozeßreihenfolge derjenigen aus dem Bereich der lichtoptischen Strukturierungstechnik entspricht [14],[41],[64]. Beginnend mit der Mesa-Isolation der Bauelemente wird anschließend auf die Realisierung der OHM-Kontakte eingegangen. Deren Qualität konnte über die Strukturierung hinaus im Rahmen dieser Arbeit wesentlich verbessert werden. Nachfolgend wird der Herstellungsprozeß dielektrischer Zwischenschichten als Isolation für Leiterbahnüberführungen und zur Realisierung von MIM-Kondensatoren [41],[117] erläutert. Die Herstellung der Transistor-Gate-Strukturen wird als zentrales Thema von Kap. 5 ausführlich im Abschn. 5.3 beschrieben.

## 5.2.1 Herstellung der Transistor-Mesa-Struktur

Für die Herstellung der Mesa-Stukturen wird im Fall der lichtoptischen Lithographie standardmäßig mit einer Hellfeld-Fotomaske und einem positiv arbeitenden Fotolack gearbeitet [14],[41]. Hierbei dient der Resist gleichzeitig als Maskierung für den nachfolgenden Ätzschritt.



Abb 5.3: Prozeßablauf einer mittels EBL durchgeführten Mesa-Isolation.

Bei der Direktschreiblithographie ergibt sich im Fall eines positiv arbeitenden Resists das Problem, daß eine hohe Anzahl großflächiger und gleichzeitig hochaufzulösender Strukturen zu belichten ist. Damit werden jedoch unzumutbar lange Prozeßdurchlaufzeiten notwendig. Bei der Wahl eines negativ arbeitenden Resists stellten sich jedoch Haftungsprobleme ein, die eine deutliche Unterätzung der Resiststrukturen bis zu mehreren Mikrometern mit sich bringen. Dies war insbesondere bei kleinen Strukturen nicht mehr zu tolerieren. Daher wurde im Rahmen dieser Arbeit ein Strukturierungsprozeß auf der Basis einer metallenen Maskierung entwickelt, der in Abb. 5.3 dargestellt ist. Hierbei wird zunächst ein hochauflösender, positiv arbeitender Resist (PMMA 950k, 6% Feststoffgehalt, Dicke 700 nm) auf die Probe aufgebracht, belichtet und anschließend entwickelt (vgl. Anhang B). Nach einem notwendigen Veraschungsschritt zur Entfernung von Fotolackresiduen (vgl. Abschn. 5.4.1.2) wird in einem konventionellen Aufdampfprozeß [64] das Aufbringen der Metallisierung durchgeführt. Bei der Auswahl der Metalle wurden zwei verschiedene Varianten untersucht:

a) Titan der Dicke  $d_{Ti} = 50 - 100$  nm, (vgl. Abschn. 5.2.1.1) b) Gold der Dicke  $d_{Au} = 200$  nm (vgl. Abschn. 5.2.1.2).

Der sich anschließende Lift-Off-Prozeß und die Mesa-Ätzung in phosphorhaltiger Lösung (vgl. Anhang C02) war für beide Maskierungen gleich.

# 5.2.1.1 Titan-Maskierung

Eine haftvermittelnde Zwischenschicht aus Titan, die typischerweise in Metallsystemen Verwendung findet [118], stellte sich hier als nicht ausreichend prozeßstabil heraus. Beim Metallisierungsprozeß ( $d_{Ti} = 100$  nm) bildete sich kein völlig geschlossener Metallfilm aus, so daß poröse Deckschichten resultierten. Damit war diese Maskierung für die nachfolgenden Ätzprozesse sowohl in schwefelsäure- als auch in phosphorsäurehaltigen Lösungen ungeeignet. Abb. 5.4a zeigt die nicht zu tolerierenden Inhomogenitäten im Halbleitermaterial nach Entfernung der Titan-Maske mittels einer Ätzung in 5%iger Flußsäure (HF).

Die Verwendung höherer Schichtdicken für die Titan-Metallisierung verbesserte zwar die Homogenität, doch infolge der ebenfalls zu adaptierenden Ätzzeiten im Flußsäurebad stellte sich kein zufriedenstellend reproduzierbares Ergebnis ein.

## 5.2.1.2 Gold-Maskierung

Die Einführung einer Goldmaskierung für die Mesa-Ätzung stellte sich im Hinblick auf die nach der Mesa-Ätzung notwendige Entfernung dieser Schicht als technisch nicht zu aufwendig und vor allem reproduzierbar heraus. Bei diesem Prozeß konnte auf die positiven Erfahrungen der Technologie für die sogenannte *Start-Goldschicht*, zurückgegriffen werden. Diese Technik ist vom Galvanisierungsprozeß her bekannt [41]. In Abb. 5.4b ist die Oberflächenbeschaffenheit der Mesa nach der Entfernung der Goldmaske dargestellt. Im Gegensatz zu Abb. 5.4a ist eine homogene Oberflächenstruktur zu beobachten.



**Abb. 5.4a,b:** Halbleiter-Mesen nach Mesa-Ätzschritt und Entfernung der Metall-Masken; a) Verwendung einer Titan-, b) einer Gold-Maske.

### 5.2.2 OHM-Kontakte

Die Qualität der OHM'schen Kontakte für einen möglichst niederohmigen Drain- und Source-Anschluß des HFET zum 2DEG (vgl. Kap. 2) beeinflußt sowohl das Gleichspannungs- als auch das Hochfrequenzverhalten des Transistors entscheidend. In der Literatur sind daher zahlreiche Ansätze für eine diesbezügliche Optimierung zu finden [119],[120],[121],[122],[123]. Aufgrund des heterogenen Schichtaufbaus existieren in vertikaler Stromflußrichtung Leitungs- und Valenzband-Barrieren bis zum 2DEG, die nach dem Aufbringen der entsprechenden Kontakt-Metallisierung zunächst kein OHM'sches Verhalten zwischen Strom und Spannung zulassen. Hochfrequenzmäßig wird der extrinsische Source-Widerstand  $R_s$  erheblich durch die Qualität der OHM-Kontakte beeinflußt (vgl. Kap.2). Gemäß der Theorie für den SCHOTTKY-Kontakt [13],[14] kann im Fall niederohmiger Metall-Halbleiter-Übergangswiderstände  $R_K$  die folgende Beziehung angegeben werden [14]:

$$R_{\rm K} \sim \exp\left(\frac{2\sqrt{\varepsilon_0\varepsilon_{\rm r}m^*}}{\hbar}q\Phi_{\rm Bn}/\sqrt{N_{\rm D}}\right).$$
(5.1)

Anhand von Gl. 5.1 ergeben sich damit die folgenden Anforderungen für niedrige  $R_{\rm K}$ :

a) Einlegierung der Metall-Kontakte [14],

- b) niedrige Austrittsarbeit  $q\Phi_{Bn}$  der Metallkomposition [13],
- c) hohe n-Dotierung des Halbleitermaterials [14].

Im Fall der EBL ergeben sich darüber hinaus zwei weitere Aspekte im Hinblick auf den in Abschn. 5.3 beschriebenen Herstellungsprozeß der Gate-Kontakte:

- a) niedrige Metallisierungshöhe,
- b) homogene Oberflächenbeschaffenheit.

Auf der Basis eines in [14] entwickelten Prozesses ergaben im Rahmen dieser Arbeit durchgeführte Untersuchungen zu a), daß eine Limitierung der Gesamtmetallisierungshöhe auf 155 nm für HFET mit elektronenstrahlgeschriebenem Gate-Kontakt bei einem Drain-Source-Abstand von 2  $\mu$ m <  $d_{DS}$  < 3.5  $\mu$ m ausreichend ist. Auf diese Weise wird die Rauhigkeit der Oberfläche sowohl über dem gesamten Probenstück als auch im kritischen Bereich zwischen Drain- und Source-Kontakt verringert. Damit ist ein bezüglich der Schichtdikke sehr homogener Auftrag des für die Gate-Ebene notwendigen Resistes möglich.

In bezug auf die metallene Oberflächenmorphologie werden darüber hinaus erhöhte Anfordungen an den Legierungsprozeß gestellt. Dies ist darin begründet, da mit den OHM'schen Kontakten gleichzeitig die Justiermarken für die Ausrichtung der nachfolgenden Gate-Kontakte aufgebracht werden. Hierbei ist eine möglichst homogene Oberflächenbeschaffenheit zu erzielen, um exakte Justagen bei der automatischen Signaldetektion zu gewährleisten (vgl. Abschn. 5.1). Analysen in bezug auf b) zeigten auf, daß die Legiertemperatur erfolgreich auf einen Wert von T = 300K reduziert werden kann, ohne dabei höhere Kontaktwiderstände hinnehmen zu müssen.

Die hervorragende Qualität des im Rahmen dieser Arbeit modifizierten Prozesses für die Ohm-Kontakte zeigt Abb. 5.5:



**Abb. 5.5:** Kontaktwiderstand  $R_K$  bzw. spez. Kontaktwiderstand  $\rho_K$  in Abhängigkeit von der Legiertemperatur für verschiedene Metallkompositionen NiGeAu, (Schicht DU 580).

Hierbei ist der aus Transmissionline-Messungen (TLM) [124] heraus bestimmte Kontaktwiderstand  $R_{\rm K}$  bzw. der spezifischen Widerstand  $\rho_{\rm K}$  einer exemplarischen Transistorschicht (DU 580) in Abhängigkeit von der Legiertemperatur dargestellt. Es konnten sehr gute Werte von  $R_{\rm K} = 0.1 \ \Omega$ mm bzw.  $\rho_{\rm K} =$  $1.1 \cdot 10^{-7} \ \Omega$ cm<sup>2</sup> erzielt werden.

## 5.2.3 Dielektrika

Die im Rahmen dieser Arbeit hergestellten, dielektrischen Zwischenschichten eignen sich für zwei unterschiedliche Anwendungen,

- a) Isolationsschichten zwischen Leiterbahnkreuzungen,
- b) MIM-Kondensatoren [117].

Hierzu wurden zwei verschiedene Polyimide als elektronenstrahlempfindliche, negativ arbeitende Resiste (Probimide 408 bzw. Pyralin PI2737) eingesetzt (vgl. Kap. 4). Der Unterschied beider Resiste liegt in der thermischen Beständigkeit während des sogenannten *Post-Bake*-Vorgangs, der zur Aushärtung des strukturierten Resistes dient. Während beim Probimide 408 keine Schichtdikkenänderung eintritt, reduziert sich diese im Fall des Pyralin PI2727 deutlich. Experimente zeigten eine Verringerung der Ausgangsschichtdicke von 330 nm vor dem *Post-Bake*- bis zu 100 nm nach dem *Post-Bake*-Temperungsschritt. Damit ist der Einsatz von Pyralin für die Realisierung von MIM-Kondensatoren vorteilhafter gegenüber Probimide 408, da geringere Schichtdicken erzielt werden.

#### 5.2.3.1 Leiterbahnkreuzungen

Für die Herstellung von Schaltungen mehrerer Metallisierungsebenen sind isolierende Zwischenschichten für sich kreuzende Leiterbahnen zu realisieren. Im Rahmen dieser Arbeit sind auf der Basis der Direktschreiblithographie digitale Schaltungen vollständig mit Hilfe der EBL strukturiert worden [116]. Wie bereits erwähnt, wurden hierzu direktstrukturierbare Polyimide eingesetzt. Das notwendig überschnittene Resistprofil, gleichbedeutend mit einem hinreichend geringen Neigungswinkel zwischen Substrat- und Resistflanke, ist bei Verwendung der EBL ohne aufwendige Parameteroptimierung zu realisieren. Bei negativ arbeitenden Resisten resultiert dieses Profil generell aufgrund des Intra-Proximity-Effektes (vgl. Abschn. 4.1.2.2). Zusätzlich kann über die Wahl der Belichtungsdosis die Schichtdicke des Polyimids nach dem Entwicklungsvorgang und damit auch der Flankenwinkel eingestellt werden. Abb. 5.6a, b zeigt diese Zusammenhänge im Fall des Resisttyps Pyralin PI2737. Da sich die Polyimide im Experiment als sehr strahlungsempfindliche Materialien herausstellten, wurde die Anzahl der belichteten Pixel (vgl. Kap. 3) als effektives Maß für die Variation der mittleren Belichtungsdosis gewählt. Im Fall von Pyralin PI2737 ergibt sich ein ausreichend geringer Neigungswinkel von 38° bei einem Pixelabstand von 12 Pixeln (vgl. Abb. 5.6b). Bei einer Schreibfeldkantenlänge von 500 µm und einer 16Bit-DA-Wandlung entspricht dies einem Punktbelichtungsabstand von  $d_{\text{step}} = 92$  nm. Die zugehörige Resist-Schichtdicke von 365 nm erwies sich jedoch im Fall der Anwendung als Leiterbahnüberführung (Metallhöhe 400 nm) als zu gering, da eine nochmalige Verringerung der Schichtdicke nach dem Post-Bake zusätzlich zu berücksichtigen war (vgl. Abschn. 5.2.3). Im Gegensatz dazu konnte im Fall von Probimide 408 ein vergleichbarer Neigungswinkel bei einer Resist-Schichtdicke von 500 nm erzielt werden. Diese veränderte sich auch nach dem *Post-Bake* nicht mehr.



Abb. 5.6a,b: Resist-Schichtdicke und Neigungswinkel der Resistkante in Abhängigkeit vom Pixelabstand, (Resisttyp: Pyralin PI2737).

Ein Beispiel für eine Leiterbahnkreuzung unter Verwendung von Probimide 408 zeigt Abb 5.7. Hierbei handelt es sich um eine Detailaufnahme einer digitalen Schaltung. Die metallenenen Leitungen der Breite 1  $\mu$ m sind auf der Basis von Ti und Au hergestellt worden.

In Abb. 5.7 ist zusätzlich zu erkennen, daß das Polyimid nicht als planarisierender Resist zu verwenden ist. Die Topographie der unten liegenden Leiterbahn zum Substrat spiegelt sich in der Stufung der oberen Leiterbahnen entlang der Polyimidflanke wider.



Abb. 5.7: REM-Aufnahme eines mittels EBL erzeugten Leiterbahnkreuzes unter Verwendung von Polyimid als Isolationsschicht (Resisttyp: Probimide 408).

### 5.2.3.2 MIM-Kondensatoren

Bei der Herstellung von DGHFET-Kaskoden ist es notwendig, mit Hilfe einer Kapazität den zweiten Gate-Kontakt gegen Masse kurzzuschließen (vgl. Abschn. 2.5.2, [51]). Für die Herstellung der entsprechenden dielektrischen Zwischenschicht sind zwei verschiedene Materialien untersucht worden. Dabei handelte es sich um Polyimid und Siliziumnitrid (SiN). Im Gegensatz zu direkt strukturierbarem Polyimid erfordert die Verwendung von SiN eine zusätzliche Maskierung [125]. Dabei kann SiN in einem Reaktor mittels CVD-Verfahren (chemical vapour deposition) auf strukturiertem Resist abgeschieden werden. Für den nachfolgenden Lift-Off-Prozeß ist aber aufgrund der hohen Isotropie des Depositionsprozesses ein Resistprofil mit deutlich unterschnittenen Flanken erforderlich. Abb. 5.8 zeigt die REM-Aufnahme einer ausschließlich mit Hilfe der EBL hergestellten DGHFET-Kaskode (Schicht DU 479) unter der Verwendung von Polyimid. Hierbei ist zu erkennen, daß das Polyimid sowohl für die MIM-Kondensatoren als auch für Leiterbahnüberführungen (Zuleitung zum zweiten Gate-Kontakt) eingesetzt wurde. Dies war aufgrund des geeigneten Neigungswinkels der zugehörigen Resistflanke von circa 40° problemlos möglich.



Abb. 5.8: REM-Aufnahme einer mittels EBL hergestellten DGHFET-Kaskode einschließlich der MIM-Kondensatoren.

Mit den lateralen Abmessungen von je 100 µm Kantenlänge bezüglich der oberen Kondensatorplatte wurden in Abhängigkeit des verwendeten Materials die in Tab. 5.1 aufgelisteten Kapazitätswerte erzielt:

	D <sub>diel</sub> / nm	$A_{\rm MIM}$ / mm <sup>2</sup>	٤r	<i>C</i> <sub>MIM</sub> / pF(mm) <sup>-2</sup>
Probimide 408	500	0.01	3	53
Pyralin PI 2737	70	0.01	3	379
SiN	100	0.01	7	620

Tab. 5.1:	Kapazitätswerte hergestellter MIM-Kondensatoren.
-----------	--

Bei Verwendung von Pyralin werden trotz der relativ geringen Permittivität Kapazitätswerte erreicht, die auch mit Literaturdaten vergleichbar sind [49]. Bei Einsatz von SiN sind aber aufgrund der großen Permittivität mit Abstand die höchsten Werte zu erzielen.

Aufgrund des bereits erwähnten isotropen Depositionsprozesses bestehen aber hierbei insbesondere beim Lift-Off-Prozeß technologische Nachteile. Für den Einsatz der EBL zur Herstellung von auf SiN-basierenden MIM-Kondensatoren wurde daher ein zweilagiges Resistsystem eingesetzt, daß deutlich unterschnittene Resistflanken ermöglicht (vgl Abb. 5.9a). Hierzu wurde ein hochmolekularer PMMA (950k, 4% Feststoffgehalt) geringer Schichtdicke oberhalb eines deutlich strahlungsempfindlicheren Copolymers (33% MAA) eingesetzt (vgl. Abschn. 5.3 bzw. Anhang B05).

Trotz eines Unterschnittes im Resistprofil von mehr als 500 nm (vgl. Abschn. 5.3.2.2), wird jedoch keine deutliche Abrißkante des SiN während der CVD-Deposition erzielt. Abb. 5.10a zeigt einen mittels EBL strukturierten MIM-Kondensator als Detail einer DGHFET-Kaskode. Der Aufwurf des SiN an den Rändern des Isolationsmaterials ist sichtbar. Sie ist aber vergleichweise gering [125], so daß in Grenzen eine Anwendung als Leiterbahnüberführung ohne die Gefahr eines Metallfilmabrisses möglich ist (vgl. Abb. 5.10b).





Abb. 5.9a,b: Zweilagen-Resistsystem zur Erzielung eines deutlich unterschnittenen Profils auf der Basis von PMMA (950k, 4% Feststoffgehalt) und PMMA/MAA (33% MAA); a) Schichtaufbau; b) belichtet und entwikkelter Resist.



Abb. 5.10a,b: REM-Aufnahme eines mittels EBL strukturierten MIM-Kondensators unter Verwendung von SiN (a); Mittels EBL strukturierte Leiterbahnüberführung über eine mit Hilfe der Abhebetechnik erzeugten SiN-Kante (b).

# 5.3 Elektronenstrahllithographie der Gate-Kontakte

Zur Herstellung von Gate-Kontakten mit Gate-Längen im unteren Submikron-Bereich hat sich der Einsatz der Elektronenstrahllithographie als effektive Methode bewährt [126]. Weltrekorddaten in bezug auf die Transitfrequenz von auf InP-basierenden HFET ( $L_G = 65$  nm,  $f_T = 350$  GHz [127], bzw.  $L_G = 100$ nm,  $f_T = 305$  GHz [128]) belegen dies eindeutig. Neben diesen Einzelergebnissen ist es aber im Hinblick auf die Anwendung dieser Bauelemente in weiterführenden Schaltungen notwendig, Prozesse mit hoher Reproduzierbarkeit und Ausbeute zu entwickeln. Dabei nimmt der Gate-Prozeß im gesamten Transistorherstellungsprozeß eine entscheidende Rolle ein. Aufgrund der chemischen Wechselwirkung zwischen Resist und Ätzlösung ist es z.B. unerläßlich, den Prozeßschritt der Absenkung des Gates auf die undotierte Barrienschicht (Gate-Recess, vgl. Abschn. 2.1) bereits bei der Entwicklung des Lithographieprozesses mit in die Überlegungen einzubeziehen.

Nach einer kurzen Einführung des idealen Querschnittprofils für Gate-Kontakte von HFET werden daher in diesem Abschnitt zunächst verschiedene im Rahmen dieser Arbeit entwickelten Lithographieprozesse vorgestellt. Anschließend erfolgt die Beschreibung des vollständigen Gate-Prozesses, wobei die erarbeiteten technologische Konzepte in bezug auf die naß- als auch trokkenchemischen Ätzprozesse erläutert werden.

## 5.3.1 Geometrie des idealen Gate-Kontakts

Zur Erzielung der in Kap. 2 beschriebenen Eigenschaften von SG- und DGHFET werden erhöhte Anforderungen insbesondere an den Herstellungsprozeß der Gate-Kontakte gestellt. Um z.B. höchste Transitfrequenzen zu erreichen, ist neben einem geringen Zuleitungswiderstand  $R_S$  vordergründig die Gate-Länge  $L_G$  des mit dem Wechselsignal beaufschlagten Gate-Kontaktes so klein, wie möglich, zu realisieren (vgl. Abschn. 2.4.2.1, Abschn. 2.5.5.3). Mit der Reduzierung der Gate-Länge  $L_G$  als eine geometrische Kante des metallenen Gate-Kontaktes sinkt aber gleichzeitig die gesamte Querschnittsfläche der Gate-Elektrode. Dies ist widerum unmittelbar mit einer unerwünschten Erhöhung des Gate-Widerstandes  $R_G$  verbunden. Der Widerstand  $R_G$  hat aber nach Abschn. 2.4.2.2 und Abschn. 2.4.2.3 einen deutlichen Einfluß auf die Verstärkungen *GU* und *MAG*, bzw. auf ihre Grenzfrequenzen. Darüber hinaus ist insbesondere zur Erzielung geringer Rauschzahlen auf einen geringen Widerstandswert von  $R_G$  zu achten (vgl. Abschn. 2.4.3).

Die o.g. Forderungen führen insgesamt zu einer idealen, geometrischen Form des Gate-Kontaktes. Entsprechend ihres Querschnittprofils wird diese optimale Form in der Literatur als "Pilzkopf-Gate", "T-Gate" oder auch "Mushroom-Gate" bezeichnet. In Abb. 5.11 ist der prinzipielle Querschnitt einer solchen Gate-Elektrode im Querschnitt dargestellt.



Abb. 5.11: Ideale, geometrische Form des Querschnitts durch ein T-Gate-Kontakt.

Die Größe  $L_F$  definiert dabei die Länge des sogenannten Gate-Fußes, die der geometrischen Gate-Länge  $L_G$  entspricht. Die Fußhöhe, die aufgrund der Widerstandsbegrenzung so gering, wie möglich, gehalten werden soll, wird hier mit  $h_F$  bezeichnet. Mit den geometrischen Größen  $h_K$  und  $L_K$  als Höhe bzw. Breite des Pilzkopfes läßt sich so der Querschnitt des T-Gate-Kontaktes angeben (vgl. Abb. 5.11). Die Größe dieses Querschnittes bestimmt maßgeblich den Widerstand des metallenen Gate-Kontaktes gemäß:

$$R_{\rm G,DC} = \rho \cdot \frac{l}{A}, \quad mit \quad A \approx L_{\rm K} h_{\rm K}.$$
 (5.2)

Für die Größe *l* ist im Fall des realen HFET die Gate-Weite  $W_G$  einzusetzen. Die Große  $\rho$  stellt den spezifischen Widerstand des verwendeten Metalls dar. Anhand von Abb. 5.11 wird deutlich, daß der T-Gate-Kontakt sowohl die Forderung nach einer geringen Gate-Länge  $L_G$  als auch nach einem geringen Gate-Widerstand  $R_G$  erfüllen kann. Damit ist es möglich, HFET mit hohen Transit-( $f_T$ ) und Schwingfrequenzen  $f_{max,GU}$  bei gleichzeitig niedrigen Rauschzahlen zu realisieren [126],[129].

## 5.3.2 Lithographieprozeß für trapezförmige Gate-Kontakte

Gate-Kontakte mit trapezförmigen Querschnitten sind im allgemeinen Bestandteil mittels lichtoptischer Lithographie hergestellter Transistoren. Die kleinste dabei noch aufzulösende Gate-Länge liegt im Bereich von circa 0.5  $\mu$ m [74]. Im Fall der EBL sind trapezförmige Gate-Kontakte aufgrund des unkomplizierten Lithographie- und Gate-Prozesses zur Erzielung höchster Transitfrequenzen geeignet [130]. Infolge des drastisch reduzierten Querschnittes ist dies jedoch mit deutlichen Nachteilen in bezug auf die unilaterale Verstärkung und das Rauschverhalten verbunden [27] (vgl. Abschn. 2.4.2.2).



**Abb. 5.12a,b:** Prinzip zur Erzeugung trapezförmiger Querschnittsprofile (a); REM-Aufnahme eines 0.2 μm Gates mit dreieckförmigem Querschnitt (b) (Detailaufnahme eines DGHFET).

Das trapezförmige Profil resultiert aufgrund der Belegung der Resistkanten mit Metall während des Depositionsprozesses (vgl. Abb. 5.12a). Wie in Abb. 5.12b dargestellt, kommt es dabei in Abhängigkeit der Metallisierungshöhe beim Übergang zu sehr kleinen Gate-Längen (hier:  $L_G = 0.2 \mu m$ ) zur Ausbildung dreieckförmiger Querschnittsprofile.

#### 5.3.2.1 Einlagen-Resist-Prozeß

In Abschn. 4.1.2 wurde die parasitäre Eigenschaft der EBL, Elektronen aus dem Substrat heraus zurück in den Resist zu streuen, eingeführt. Diese Eigenschaft kann im Einlagenresist für die Erzeugung eines Lift-Off-Profils unterstützend ausgenutzt werden. Während bei hohen Beschleunigungsspannungen ( $U_{acc} = 30 \text{ kV}$ ) nahezu senkrechte Resistkanten entstehen, ist es durch Herabsetzen von  $U_{acc}$  sogar möglich, ein deutlich unterschnittenes Flankenprofil zu erzielen (vgl. Abschn. 4.3.1).

In Abb. 5.13a,b ist das Ergebnis der EBL einer Gate-Struktur nach dem Entwicklungsprozeß im Fall einer Entwurfsvorgabe von  $L_{G,design} = 100$  nm für zwei verschiedene Beschleunigungspannungen gezeigt. Die geringe Beschleunigungsspannung von  $U_{acc} = 10$  kV (vgl. Abb. 5.13a) bewirkt durch erhöhte Energieabsorption ein deutlich ausgebildetes, unterschnittenes Resistprofil. Gleichzeitig erhöht sich der Anteil der vorwärtsgestreuten Elektronen, was mit einem Verlust an Auflösungsvermögen verbunden ist [100],[131]. Als Konsequenz wird die Entwurfsvorgabe hierbei beinahe um den Faktor 2 verfehlt (vgl. Abb. 5.13a). Im Gegensatz dazu zeigt das Belichtungsergebnis aus Abb. 5.13b, daß bei Verwendung einer hohen Beschleunigungsspannung von  $U_{acc}$  = 30 kV die Entwurfsvorgabe bei nicht zu hoher Resistschichtdicke nahezu eingehalten werden kann. Die senkrechten Resistkanten lassen darüber hinaus die Verwendung der Lift-Off-Technik zu. Für den letztendlichen Einsatz des Einlagen-Resistsystems im Transistorherstellungsprozeß wurde ein PMMA mit 6% Feststoffgehalt gewählt (vgl. Anhang B01). Somit konnten höhere Schichtdicken für die Metalldeposition zugelassen werden. Als Beschleunigungsspannung wurde  $U_{acc}$  = 30 kV festgelegt. Die Resistdicke von 0.75 µm ließ eine fehlerfreie Justage mit Hilfe des automatischen Markenerkennung bei  $U_{\rm acc}$  = 10 kV nicht zu (vgl. Abschn. 5.1.2). Die erfolgreiche Anwendung des Einlagen-Resistsystems erfolgte im Rahmen dieser Arbeit für sämtliche metallenen Leiterbahnebenen digitaler Schaltungen einschließlich der Transistor-Gate-Kontakte der Gate-Länge  $L_G = 0.7 \mu m$  (vgl. Abb. 5.14).



**Abb. 5.13:** Belichtete und entwickelte Gate-Struktur in PMMA 950k, 4% Feststoff, Dicke 250 nm. Entwurfsvorgabe:  $L_{G,design} = 100$  nm; EBL-Parameter:  $I_B = 500$  pA;  $d_{step} = 15$  nm (2 Pixel); a)  $U_{acc} = 10$  kV, b)  $U_{acc} = 30$  kV.



Abb. 5.14: REM-Aufnahmen einer mittels vollständiger Direktschreiblithographie hergestellten digitalen Schaltung (auf NOR-Gattern basierende Pufferschaltung [132]) unter Verwendung des Einlagen-Resistsystems (PMMA 950k, 6% Feststoff (vgl. Anhang B01). Die hohe Qualität des in diesem Resistprozeß erzielten Lift-Off-Profils demonstriert Abb. 5.15.



**Abb. 5.15:** Perspektivische REM-Aufnahmen zur Demonstration flitterfreier Metallkanten bei Anwendung des Einlagen-Resistprozesses.

Hierbei ist ist kein Metallflitter in den Randbereichen der Gate-Metallisierung sichtbar, der sonst typisch für ein unzureichend unterschnittenes Kantenprofil ist. Im Fall der Verwendung reinen PMMA-Resistes konnten die Parameter für den im Fachgebiet bisher eingesetzten, auf Bernsteinsäure basierenden Gate-Recess [14] übernommen werden (vgl. Abschn. 5.4.2.3.1).

## 5.3.2.2 Zweilagen-Resist-Prozeß

Bei der Realisierung von mehrlagigen Fotolackprozessen ist grundsätzlich darauf zu achten, daß die Einzelkomponenten in chemisch unterschiedlichen Lösungsmitteln angeboten werden. Dies verhindert eine Vermischung beim Resistauftrag.

Der Einsatz eines Zweilagen-Resist-Systems dient der Verbesserung des für die Lift-Off-Technik notwendigen, unterschnittenen Resistprofils. Dabei bestimmt der obere Resist die Gate-Länge, während der untere entsprechend seiner Schichtdicke die maximale Metallisierungshöhe vorgibt. Für die Realisierung können grundsätzlich zwei verschiedene Resist-Kombinationen eingesetzt werden. Entweder werden zwei reine PMMA-Resiste unterschiedlichen Molekulargehalts oder ein PMMA in Verbindung mit einem Copolymer verwendet [133]. Abb. 5.16a,b gibt eine Übersicht über die Anordnung der einzelnen Komponenten in beiden Gesamtsystemen.

Wie bereits in Abschn. 4.1.3 bzw. Abschn. 4.1.3.2 erwähnt, stellt sich aufgrund der Dominanz des Entwicklereinflusses im Fall des reinen PMMA-Zweilagen-Systems (vgl. Anhang B06) im Vergleich zum PMMA/Copolymer-System (vgl. Anhang B05) ein deutlich geringer unterschnittenes Resistprofil ein. Dies geht aus Abb. 5.17a,b besonders deutlich hervor.

Eine genauere Analyse der Resistöffnung sowohl im oberen als auch im unteren Teil des Zweilagen-Systems zeigen Abb. 5.18 und Abb. 5.19. In Abb. 5.18 ist für beide Resist-Systeme nach Abb. 5.16a,b die Gate-Länge in Abhängigkeit von der Belichtungsdosis jeweils im oberen und unteren Resist eingetragen. Im Fall des reinen PMMA-Systems befinden sich die Resistöffnungen im oberen und unteren Resisttyp in der gleichen Größenordnung. Dagegen kann im Fall des PMMA/MAA-Systems ein deutlicher Unterschied zwischen der Resistöffnung im PMMA im Vergleich zum Copolymer festgestellt werden. Bei einer Verdreifachung der Belichtungsintensität vergrößert sich der Unterschnitt im unteren Resist um nahezu 300%, d.h. die Gate-Länge im Copolymer steigt um fast 200% (vgl.  $L_{G,layer2}$  in Abb. 5.18). Dagegen erhöht sich im oberen Resist die Gate-Länge nur um circa 55% (vgl.  $L_{G,layer1}$  in Abb. Für das reine PMMA-Zweilagen-System stellt sich erst beim Übergang zu reduzierten Beschleunigungsspannungen ein deutlicher unterschnittenes Profil ein (vgl. Abb. 5.19). Dies ist aber nicht auf die Eigenschaften der Resiste sondern in erster Linie auf Proximity-Effekte zurückzuführen (vgl. Abschn. 4.1.2, Abschn. 4.3.1).



Abb. 5.16a,b: Prinzipielle Lage der verwendeten Resiste im Zweilagen-System nach Belichtung und Entwicklung zur Erzielung eines unterschnittenen Profils; a) PMMA 1300k auf PMMA 500k, b) PMMA 950k auf PMMA/MAA).



**Abb. 5.17a,b:** Belichtete und entwickelte Gate-Struktur ( $L_G = 0.3 \ \mu m$ ); a) in einem reinen PMMA-Zweilagen-Resist-System nach Abb. 5.16a [133]; b) in einem PMMA/MAA-Zweilagen-Resist-System nach Abb. 5.16b.



**Abb. 5.18:** Gate-Längen  $L_{G,layer1}$ ,  $L_{G,layer2}$  im oberen ( $\bullet$ ) und unteren ( $\bigcirc$ ) Resist in Abhängigkeit von der Belichtungsdosis für zwei Resist-Systeme.



**Abb. 5.19:** Gate-Länge  $L_{G,layer1}$ ,  $L_{G,layer2}$  im oberen (massive Symbole) und unteren (transparente Symbole) Resist in Abhängigkeit von der Belichtungsdosis mit  $U_{acc}$  als Parameter [96].

Wie in Abschn. 5.4.2.2 noch gezeigt wird, ist der Einsatz von Copolymeren beim naßchemischen Gate-Recess nicht unkritisch. Basische Anteile in der Ätzlösung führen zu einer chemischen Wechselwirkung mit den Säuregruppen des Copolymers (vgl. Abschn. 4.2.2). Diese Wechselwirkung kann sogar zur teilweisen Zerstörung des Resistprofils führen [134]. Da der im Fachgebiet konventionell eingesetzte Gate-Recess auf der Basis von Bernsteinsäure mit Zugabe von Ammoniak beruht, ist diese Ätzlösung nicht ohne weiteres in Verbindung mit der EBL zu nutzen. Bei Einsatz des reinen PMMA-Zweilagensystems waren dagegen keine Einschränkungen notwendig.

### 5.3.3 Herstellung von Gate-Kontakten mit T-förmigem Querschnitt

Für die Herstellung von Gate-Kontakten mit T-förmigem Querschnitt, deren Geometrie bereits in Abschn. 5.3.1 eingeführt wurde, werden zwei- oder dreilagige Resistsysteme eingesetzt [126], [135], [137]. Im Gegensatz zu Abschn. 5.3.2.2 ist dabei für die unterste Resistschicht ein PMMA hohen Molekulargewichts zu wählen, der eine möglichst geringe Fotoempfindlichkeit bei gleichzeitig hohem Konstrastvermögen besitzt. Somit lassen sich kurze Gate-Längen erzielen (vgl. Abschn. 4.2.4 und Abschn. 4.2.4.2). Zur Realisierung großer Querschnittsflächen des Gate-Kopfbereiches wird als zweites ein Copolymer mit sehr hoher Fotoempfindlichkeit eingesetzt. Diese Eigenschaft ist infolge des erhöhten Einflusses der Rückstreueffekte stets mit einer Verringerung des Kontrastvermögens verbunden. Die Schichtdicke des Copolymers hängt von der einzustellenden Metallisierungshöhe ab. Um ein verbessertes Lift-Off Profil zu erhalten, wird eine dritte Resistschicht aufgebracht, deren Fotoempfindlichkeit im Vergleich zu derjenigen des Copolymers verringert ist. Zur Vermeidung unnötig hoher Belichtungsintensitäten wird für diesen Resist konventionell ein PMMA niedrigen Molekulargewichts und damit geringer Schichtdicke eingesetzt. In Anhang A sind die verschiedenen Parameter für den Resistprozeß im Hinblick auf die Schichtdickenvariationen tabellarisch aufgelistet. In Abb. 5.20 sind die experimentell ermittelten Kontrastkurven einer Auswahl der im Rahmen dieser Arbeit für die T-Gate-Lithographie eingesetzten Resiste dargestellt (vgl. Kap. 3, Kap. 4, Abschn. 4.2.4). Wie erwartet, ergeben sich für die Copolymere relativ geringe Fotoempfindlichkeiten von  $D_0$ = 16 bzw.  $D_0$  = 24  $\mu$ C(cm)<sup>-2</sup> im Vergleich zu  $D_0$  = 120  $\mu$ mC(cm)<sup>-2</sup> für den PMMA (vgl. Abschn. 4.2.4.1). Entsprechend stellen sich niedrigere Zahlenwerte für den Kontrast  $\gamma$  ein. (vgl. Abschn. 4.2.4.2). Im Fall der Kontrastkurve für den Resisttyp ZEP 520 ist zu beachten, daß hier eine andere Entwicklerzusammensetzung gewählt wurde. Aufgrund der extrem reduzierten Fotoempfindlichkeit wurde im Fall des Resisttyps ZEP-520 die Verdünnung des Entwicklers zu gleichen Teilen MIBK und IPR (1:1) gewählt, wohingegen bei den übrigen Resisten das Mischungsverhältnis von 1:3 zugrunde lag. Trotz der Ausführungen in Abschn. 4.2.4.3 ergab sich für diesen Resisttyp der höchste Kontrast (vgl. Abb. 5.20). Damit ist bei Einsatz des ZEP-520 die höchste Auflösung in bezug auf die Gate-Länge zu erwarten [138].



**Abb. 5.20:** Kontrastkurven von EBEAM-Resisten einschließlich Bestimmung des Kontrasts  $\gamma$  und der *Clearing-dose D*<sub>0</sub>.

### 5.3.3.1 Konventionelle Technik

Bevor im Detail auf die im Rahmen dieser Arbeit erzielten Neuentwicklungen eingegangen wird, werden in diesem Abschnitt kurz die konventionell eingesetzten Belichtungstechniken zur Realisierung von T-Gate-Strukturen vorgestellt [126],[135],[136],[137],[139].

Entsprechend vorangegangener Ausführungen (vgl. Abschn. 5.3.3) bildet das in Tab. 5.2 festgehaltene, dreilagige Resistsystem die Basis zur Realisierung von 0.2 µm-Mushroom-Gate-Kontakten [134]. Alle drei Einzelresiste werden je 30 Minuten bei einer Temperatur von  $T_{pre} = 170$  °C getempert (prebake), so daß die Lösungsmittel entweichen können. Eine weitere Temperung nach Belichtung und Entwicklung (postbake), die zur mechanischen Stabilisierung der Resiste dient, führte hier zur einer Deformation des Lift-Off Profils im obersten Resist. Da im weiteren Prozeßablauf keine Stabilitätsprobleme auftraten, wurde auf diesen Temperschritt im weiteren verzichtet [133],[134].

Tab. 5.2:	Schichtaufbau des konventionellen Dreilagen-Resist-Systems zur H	Erzeu-			
	gung von 0.2 μm-Mushroom-Gate-Kontakten (vgl. Anhang B09).				

Anordnung	Resisttyp	Feststoffgehalt	Lösungsmittel	Schichtdicke
obere Lage	PMMA 50k	4 %	Ethyllaktat	100 nm
mittere	PMMA/33%MAA	<b>6</b> %	Methylglycol	295 nm
untere Lage	PMMA 950k	2 %	Chlorbenzol	160 nm

Die Belichtungstechnik zur Erzeugung des T-Gate-Profils setzt sich aus der Belichtung des Gate-Streifens (*center-line*) und den beiden Seitenbelichtungen (*side lines*) zusammen. Die *center-line* dient dabei zur Definition der Gate-Länge  $L_G$ , während die *side lines* der Länge  $L_S$ , die in einem Abstand  $L_{sp}$  zum Gate-Streifen angeordnet sind, maßgeblich den Gate-Kopf definieren [80]. In Abb. 5.21 sind zwei Varianten für die geometrische Anordnung der entsprechenden Strukturen dargestellt, wie sie im Rahmen dieser Arbeit angewendet wurden. Zusätzlich sind die jeweils charakteristischen Belichtungsintensitäten eingetragen.



Abb. 5.21: Prinzip der Belichtungstechnik zur Erzeugung von T-Gate-Strukturen mittels Kombination aus Center- und Seitenbelichtung im Dreilagen-Resist-System.



**Abb. 5.22a,b:** Querschnitt durch das Resist-System nach Belichtung und Entwicklung (a) sowie metallene Gate-Struktur im HFET (b); Entwurfsvorgabe:  $L_{G,des1} = 0.1 \mu m$ , Gate-Länge:  $L_G = 0.24 \mu m$ , Kopfweite:  $L_K = 1.1 \mu m$ .

Die mit dieser Technik hergestellten Gate-Kontakte wiesen bei Entwurfsvorgabe von  $L_{G,des1}$  = 100 nm Gate-Längen im Bereich von 0.21 µm <  $L_G$  < 0.24 µm bei gleichzeitigen Kopf-Weiten von 1.1  $\mu$ m <  $L_K$  < 1.25  $\mu$ m auf. Im Fall der Reduzierung der Entwurfsvorgabe zu  $L_{G,des2} = 50$  nm und die dadurch notwendige Erhöhung der Belichtungsdosis  $D_{c2}$  konnten schließlich auch Gate-Längen unterhalb von 0.2  $\mu$ m erreicht werden. Abb. 5.22a,b demonstriert die Funktionsfähigkeit des entwickelten Prozesses anhand von REM-Aufnahmen des Resistquerschnitts (vgl. Abb. 5.22a) und des vollständigen 0.2  $\mu$ m-Gate-Kontaktes (vgl. Abb. 5.22b).

### 5.3.3.2 Γ-förmiger Kontaktquerschnitt als Spezialfall

Aufgrund des zusätzlichen SCHOTTKY-Kontaktes erfordert der Einsatz von DGHFET im Vergleich zum SGHFET technologisch einen erhöhten Aufwand. Infolge des erhöhten Platzbedarfs besonders bei Anwendung der Mushroom-Gate-Technologie werden meist große Drain-Source-Abstände gewählt. Dies erhöht aber den Einfluß der parasitären Elemente auf die intrinsischen Eigenschaften des Bauelements. Mit der Einführung des sogenannten Г-Gate-Kontaktes [140], dessen Herstellung auf einer Variante des Lithographieprozesses nach Abschn. 5.3.3.1 basiert, gelingt es, auch ohne Vergrößerung des Drain-Source-Abstandes beide Gate-Kontakte im Bauelement zu plazieren. Hierzu wird jeweils auf die dem benachbarten Gate zugewandte Seitenbelichtung verzichtet, und gleichzeitig die Belichtungsdosis für die center-line geringfügig angehoben. Bei entsprechend großer Kopf-Weite, (vgl. Abschn. 5.3.3.1) ist der Einfluß der dem benachbarten Gate abgewandten Seitenbelichtung groß genug, um einen ausreichend großen Querschnitt des Gate-Kontaktes zu erzielen. In Abb. 5.23a ist das Profil eines mittels dieser Technik hergestellten 0.22 µm-Г-Gate-Kontaktes dargestellt. Abb. 5.23b zeigt darüber hinaus die Lage beider Gate-Kontakte im realen Bauelement, wobei der Drain-Source-Abstand von  $d_{DS} = 3.5 \ \mu m$  demjenigen des SGHFET entspricht. Für einen Abstand von  $d_{G1G2}$  = 600 nm zwischen beiden Gate-Kontakten (vgl. Abb. 5.24) konnte im Rahmen der Ersatzschaltbildbestimmung keine kapazitive Kopplung zwischen beiden Gates [55] festgestellt werden (vgl. Abschn. 2.5.5.1).



Abb. 5.23a,b: Querschnittsprofil eines 0.22  $\mu$ m- $\Gamma$ -Gate-Kontaktes (a); Lage der beiden Gate-Kontakte zwischen Drain und Source eines DGHFET (b).



**Abb. 5.24:** Entwurfsvorgabe und REM-Nahaufnahme der beiden Γ-förmigen Gate-Kontakte des DGHFET ( $d_{G1G2} = 600$  nm).

## 5.3.3.3 Resistsystem für trockenchemische Ätzprozesse



**Abb. 5.25a,b:** Belichtungstechnik bezüglich des für den trockenchemischen Gate-Recess entwickelten Resistsystems (a); REM-Aufnahme des entsprechend hergestellten T-Gate-Kontaktes im HFET ( $L_G = 100$  nm).

Ein großer Nachteil trockenchemischer gegenüber zu naßchemischen Ätzprozessen liegt in der erhöhten Schädigung des Resistes. D.h. bei Anwendung des Reaktiven-Ionen-Ätzens (reactive ion etching, RIE) für den Gate-Recess ist bereits bei der Wahl der Resiste ein niedriges Verhältnis zwischen Halbleiterund Resistabtrag zu berücksichtigen. Daher ist es bei dieser Prozeßvariante notwendig, das in Abschn. 5.3.3.1 vorgestellte Resist-System zu modifizieren. Die unterste Schicht wurde dabei durch den chemisch verstärkten Resisttyp ZEP-520 ersetzt [82],[138], während die oberen Lagen unverändert blieben. Zur Erzielung einer Schichtdicke von circa 200 nm wurde im Fall des ZEP-520 eine spezielle Verdünnung gewählt (vgl. Anhang A). Gleichzeitig war es notwendig, mit Einsatz des ZEP-520 die Entwicklerkonzentration zu ändern. Hierbei ist ein Verhältnis von MIBK zu IP von 1:1 gewählt worden (vgl. Abschn. 4.2.2.1, Abschn. 5.3.3). Damit stellten sich bei gleicher Belichtungstechnik (konventionelle Center- und Seitenbelichtung) von Abschn. 5.3.3.1 völlig verschiedene Belichtungsparameter ein (vgl. Abb. 5.25, Anhang B02, B10).

Infolge des erhöhten Kontrastes beim ZEP-520 (vgl. Abb. 5.20) wurde es möglich, mit Hilfe dieses Resist-Systems Gate-Längen im Bereich  $L_G \approx 100$  nm reproduzierbar herzustellen (vgl. Abb. 5.25).

## 5.3.3.4 Neue Strategien

Im Rahmen der Arbeiten zur Lithographie von Mushroom-Gate-Kontakten wurden neue Strategien im Hinblick auf Höchstauflösung, Reproduzierbarkeit, Ausbeute und Herstellungskosten entwickelt. Diese werden im folgenden detailliert diskutiert. Neben einem Doppelbelichtungsprozeß zur Steigerung der Zuverlässigkeit, sowie einem Prozeß zur Realisierung von Höchstauflösungen, wird insbesondere ein unter Einsatz niedriger Beschleunigungsspannungen völlig neuartiger Lithographieprozeß eingeführt.

## 5.3.3.4.1 Neue Aspekte bei der Mehrfachbelichtung

Beim konventionellen Lithographieprozeß für T-Gate-Kontakte unter Anwendung der Seitenbelichtungstechnik besteht erfahrungsgemäß das Problem der sich beim Lift-Off Prozeß stochastisch ablösenden Metallisierung im Bereich des Übergangs von Seiten- zur Center-Line-Belichtung. Der Grund hierfür liegt in der nicht exakt definierten Belichtungsdosis, die dieser Bereich während des Lithographieprozesses erfährt. Durch massive Überbelichtung sowohl der Seiten- als auch der Center-Line-Struktur wird lediglich der Interproximity-Effekt zwischen beiden Strukturen zur Belichtung ausgenutzt. Durch Heranführen der Seitenbelichtungsflächen an die Center-Line wird dieses Problem zwar entschärft, doch neben einer Kopf-Weiten-Reduktion ( $L_{\rm K}$ )
stellen sich zusätzlich Auflösungsverluste in bezug auf  $L_G$  ein. Dies ist in dem für diesen Fall verstärkten Interproximity-Effekt begründet [134].



**Abb 5.26:** Gate-Länge  $L_G$  und Kopf-Weite  $L_K$  in Abhängigkeit vom Abstand  $L_{sp}$  zwischen Seiten- und Center-Line-Struktur.

In Abb. 5.26 ist unter Voraussetzung konstanter Belichtungsintensitäten sowohl für die Seiten- als auch für die Center-Line-Belichtung der Einfluß des Abstandes  $L_{sp}$  auf die Gate-Länge  $L_G$  bzw. auf die Kopf-Weite  $L_K$  dargestellt. Mit sinkendem Abstand  $L_{sp}$  ist dabei eine Vergößerung der Gate-Länge im Bereich 0.2 µm <  $L_G$  < 0.35 µm zu beobachten. Darüber hinaus ist für  $L_{sp}$  > 0.4 µm eine Deformation des Resistprofils zu beobachten, da die Entfernung der Seitenbelichungsstruktur zur Center-Line zu groß wird. Damit wird die in Abschn. 5.3.3.1 bereits vorgestellte, optimale Konfiguration in Abb. 5.26 nochmals bestätigt.

Die Vermeidung dieser Problematik konnte durch die Neuentwicklung einer Doppelbelichtungstechnik erzielt werden, deren Prinzip in Abb. 5.27 dargestellt ist. Hierbei wird zunächst eine Belichtung der *Center-Line* mit einer Entwurfsvorgabe von  $L_{G,des} = 50$  nm durchgeführt. Die zugehörige Belichtungsdosis reicht im Gegensatz zur konventionellen Technik nicht aus, um bereits in diesem Lithographieschritt den Gate-Fuß vollständig zu belichten. Dies erfolgt erst mit Hilfe einer zweiten Belichtung, der sogenannten Kopflinie (*Head-Line*), mit einer Entwurfsvorgabe von  $L_{K} = 800$  nm. Diese dient hauptsächlich zur Realisierung einer ausreichenden Kopf-Weite.



Abb. 5.27: Prinzip der Doppelbelichtungstechnik zur Erzeugung von T-Gate-Kontakten im Dreilagen-Resist-System.

Damit wird deutlich, daß sich bei dieser Technik die die Gate-Länge definierende Belichtungsdosis als Summe der Intensitäten zweier Belichtungsschritte zusammensetzt. Im Gegensatz zur konventionellen Technik (vgl. Abschn. 5.3.3.1) werden bei der Doppelbelichtung alle Entwurfsbereiche des Mushroom-Gates mit einer definierten Belichtungsdosis beaufschlagt. Darüber hinaus wird durch die abgstufte Belichtungsintensität vom Symmetriezentrum zu den Außenbereichen der Struktur hin der maximal mögliche Querschnitt des Mushroom-Gate-Kontaktes erzielt (vgl. 5.28b). Der Querschnittsgewinn durch den von der Center-Line nach außen hin abnehmenden Intensitätsgradienten ist anhand des schrägen Verlaufs der unteren Metallkante des Gate-Kopfes deutlich zu erkennen (vgl. Abb. 5.28b).

Ein Nachteil der neu entwickelten Belichtungstechnik besteht in der aus zwei Einzelbelichtungen zusammengesetzten Intensität zur Definition des Gate-Fußes. Technisch bedingte Variationen im Schreibstrom  $I_{\rm B}$  oder in der Fotolackdicke können so im Vergleich zur konventionellen Technik (vgl. Abschn. 5.3.3.1) eher zu Unter- bzw. Überbelichtungen und damit zu Schwankungen in der Gate-Länge führen.



Abb. 5.28a,b: Mittels Doppelbelichtung erzeugter Mushroom-Gate-Kontakt; REM-Aufnahmen des Resistprofils (a) und des metallenen Gate-Kontaktes über die Mesa-Kante eines HFET hinweg (b).

### 5.3.3.4.2 Neue Aspekte bei der Mehrfachentwicklung

Eine weitere Variante der Doppelbelichtungstechnik besteht in der separaten Entwicklung der für die Ausbildung des Gate-Kopf- und -Fußbereiches verantwortlichen Resisttypen. Das Ziel dieser Technik ist eine weitere Reduzierung der Gate-Länge im Bereich  $L_G \approx 100$  nm. In Abb. 5.29 ist der diesbezügliche Ablauf der einzelnen Belichtungs- und Entwicklungsschritte skizziert.



**Abb. 5.29:** Prozeßablauf zur separaten Belichtung und Entwicklung von Gate-Fußund -kopfbereich zur Reduktion von Proximityeffekten.



**Abb. 5.30:** Belichtete und entwickelte Gate-Strukturen; a) *Center-Line*,  $L_G = 93$  nm (MIBK:IP; 1:1; b) *Head-Line*,  $L_K = 880$  nm (MIBK:IPR, 1:3).

Durch die Trennung der Entwicklungsprozesse für den Gate-Fuß- und den kopfbereich ist es das Ziel, die Aufweitung der Gate-Länge durch Proximity-Effekte zu reduzieren. Dazu wurde das dreilagige Resist-System aus Abschn. 5.3.3.4.1 modifiziert, indem als unterste Schicht der Resisttyp ZEP-520, vgl. Anhang B10) eingesetzt wurde. Im ersten Prozeßschritt wird über die Belichtung der *Center-Line* ( $L_{G,des} = 50$  nm) die zu erzielende Gate-Länge durch eine ausreichend hohe Dosis definiert. Anschließend erfolgt die Entwicklung des Gate-Fußbereiches durch beide oberen Fotolackschichten hindurch. Dies erfolgt in einem Entwicklerbad mit dem Mischungsverhältnis von MIBK:IP von 1:1 (vgl. Abb. 5.29, Abschn. 4.2.4.3, Abschn. 4.2.2.1). Im zweiten Prozeßschritt wird über die Belichtung der *Head-Line* ( $L_{K,des} = 600$  nm) der Kopfbereich der T-Gate-Struktur belichtet und in einer Lösung der des Mischungsverhältnisses von MIBK zu IP von 1:3 separat entwickelt. Das Resultat der einzelnen Belichtungs- und Entwicklungsschritte zeigen Abb. 5.30a,b. Der Gewinn an Auflösung ist deutlich zu erkennen ( $L_G < 100$  nm). Aufgrund der chemischen Resistenz des Resisttyps ZEP-520 wurde dieser Lithographieprozeß insbesondere beim trockenchemischen Gate-Recess (RIE-Prozeß, vgl. Abschn. 5.4.3) eingesetzt.

Abb. 5.31 demonstriert die Funktionstüchtigkeit dieses Prozesses anhand der REM-Aufnahme eines Mushroom-Gate-Kontaktes zwischen Source- und Drain des vollständig prozessierten HFET (Schicht DU 571).



**Abb. 5.31:** Mittels Mehrfachentwicklung erzeugter Mushroom-Gate-Kontakt im HFET zwischen Source und Drain ( $L_G = 90$  nm, Schicht DU 571).

#### 5.3.3.4.3 Belichtung bei niedrigen Beschleunigungsspannungen

Im Rahmen dieser Arbeit wurden erstmalig Mushroom-Gate-Kontakte in einem einzigen Belichtungs- und Entwicklungsschritt erzeugt [141],[142]. Dies gelang unter Ausnutzung der Proximity-Effekte bei niedrigen Beschleunigungsspannungen und der verschiedenen Kontraste der Einzelresiste in einem mehrlagigen Fotolacksystem. Wie anhand des Zweilagen-Resist-Systems (vgl. Abschn. 5.3.2.2, Abb. 5.18) bereits gezeigt wurde, ist es durch Herabzusetzen von  $U_{acc}$  möglich, eine ausreichende Kopf-Weite in den oberen beiden Resistschichten eines Dreilagensystems auch ohne die Unterstützung einer Seiten- oder Doppelbelichtung zu erzielen. Aufgrund des geringeren Auflösungsvermögens bei niedrigen Beschleunigungsspannungen, stellt sich aber in bezug auf die Gate-Länge die Frage, wie dieser Problematik im Dreilagensystem begegnet werden kann. Die Abhängigkeit zwischen Auflösung und Beschleunigungsspannung wird anhand von Abb. 5.32 nochmals aufgezeigt. Hier wurde eine Gate-Struktur ( $L_{G,des} = 0.1 \mu m$ ) jeweils bei zwei verschiedenen Beschleunigungsspannungen in PMMA 950k belichtet.



**Abb. 5.32:** Gate-Länge  $L_G$  in Abhängigkeit der Belichtungsdosis für zwei verschiedene Beschleunigungsspannngen  $U_{acc}$ .

Zur Klärung ist es notwendig, die Streuung der Elektronen anhand der Ausdehnung ihres Energiedissipationsvolumens (EDV) im Fotolack bzw. im Halbleitersubstrat zu betrachten [97],[131]. Im Gegensatz zum Einlagensystem müssen dabei im Mehrlagensystem aufgrund unterschiedlicher Einzelkomponenten die Eigenschaften der Einzelresiste selbst stärker mit in die Diskussion einbezogen werden [143]. In [63] ist die Verschiebung des keulenförmigen EDV aus dem Substrat in den Resist bei Herabsetzung der Beschleunigungsspannung gezeigt worden. Die Ergebnisse basierten in diesem Fall auf einem Einlagen-Resist-System konstanter Schichtdicke und sind durch Monte-Carlo-Simulationen bestätigt worden. Somit können die Ausführungen nach [63] auch als Begründung für das in Abb. 5.32 dargestellte Verhalten angegeben werden. Darüber hinaus ist in Analogie der Auflösungsverlust im Einlagensystem beim Übgang von niedrigen zu hohen Resistdicken bei konstanter Beschleunigungsspannung zu erklären.

Ausgehend von dieser Modellvorstellung wurden im Rahmen dieser Arbeit umfangreiche Versuche durchgeführt. Zunächst wurde dabei im Fall konstanter Beschleunigungsspannung von  $U_{acc} = 30$  kV die Auflösung in Abhängigkeit von der Resistschichtdicke experimentell bestimmt. Dies erfolgte sowohl anhand des einlagigen als auch des mehrlagigen Resist-Systems. Die Ergebnisse dieser Versuche faßt Abb. 5.33 zusammen:



**Abb. 5.33:** Gate-Länge  $L_G$  in Abhängigkeit von der Resistdicke *d* im Fall des Einlagen- und Dreilagensystems für  $U_{acc} = 30$  kV = konst..

Im Fall des Einlagensystems wurde im Schichtdickenbereich von 100 nm  $< d_1 <$  700 nm eine proportionale Zunahme der erzielten Gate-Länge beobachtet, was den Literaturdaten entspricht [63]. Die Variationen in der Schichtdicke wur-

den dabei durch die unterschiedlichen Feststoffgehalte im PMMA gleichen Molekulargewichtes (hier:  $M_0 = 950$ k, 2 - 6 % Feststoffgehalt) realisiert.

Im Fall des Dreilagensystems war dagegen ein antiproportionales Verhalten zwischen der Gesamtschichtdicke und der erzielten Gate-Länge zu beobachten. Dabei bleibt festzuhalten, daß der unterste Resist stets den höchsten Kontrast aufwies.

Bei konstanten Schichtdicken der beiden oberen Lagen  $d_2$ ,  $d_3$  stellte sich ein Gewinn im Auflösungsvermögen ein, wenn die Schichtdicke d1 des untersten Resistes von  $d_1 = 0.13 \ \mu m$  auf den Wert  $d_1 = 0.245 \ \mu m$  erhöht wird. Dabei befindet sich die erzielte Gate-Länge von  $L_{\rm G} \approx 0.2 \ \mu m$  aber zunächst noch deutlich oberhalb der Bestdaten für ein Einlagen-Resist-System (vgl. Abb. 5.33). Eine weitere Erhöhung der Gesamtschichtdicke im Mehrlagensystem wurde anschließend zunächst durch die Anpassung der beiden oberen Lagen zu  $d_2 + d_3$ = 1.05  $\mu$ m bei  $d_1$  = 0.1  $\mu$ m eingestellt. Auch in diesem Fall war erneut ein Auflösungsgewinn zu beobachten. Schließlich wurden bei weiterer Erhöhung von  $d_1$  im Bereich 0.16  $\mu$ m <  $d_1$  < 0.97  $\mu$ m ( $d_2$  +  $d_3$  = konst.) sogar Gate-Längen gleicher Größenordnung wie im einlagigen Resist erzielt ( $L_G \approx 0.1 \mu m$ ). Für den extremen Fall von  $d_{ges} = 2.2 \ \mu m$  ist in Abb. 5.34b das Belichtungsergebnis nach Entwicklung beispielhaft dargestellt. Für Gesamtschichtdicken von  $d_{ges} > 2.2$ µm stellte sich schließlich nur noch eine unvollständige Entwicklung der belichteten Strukturen ein. Damit läßt eine notwendige Änderung der Belichtungsdosis bzw. des Strukturentwurfs keine weitere Verbesserung des Auflösungsvermögens zu, was in Abb. 5.33 durch den Anstieg der Kurve für  $d_{ges}$  > 2.2 µm angedeutet wird.

Die Erklärung für das Phänomen, trotz Schichtdickenerhöhung dennoch einen Auflösungsgewinn zu erzielen, läßt sich erneut mit Hilfe der o.g. Modellvorstellung bezüglich des EDV erklären. Dazu müssen lediglich die Kontrasteigenschaften insbesondere des unteren Resistes im Gesamtsystem mit in die Überlegungen einbezogen werden. Es gilt die Annahme, daß sich das EDV infolge extrem hoher Gesamtschichtdicken  $d_{ges}$  hauptsächlich im Fotolack ausbildet. Für diesen Fall bilden die unterschiedlichen Kontraste und Fotoempfindlichkeiten der Einzelkomponenten das EDV in ausreichend und nicht ausreichend belichtete Bereiche der Einzelresistschichten ab (vgl. Abb. 5.34). Infolge der glockenförmigen Ausbildung des EDV entsteht dabei, wie in Abb. 5.34a dargestellt, ein Querschnittsprofil, das dem des Mushroom-Gates entspricht. Die Wahl der Einzelschichtdicke von  $d_1 = 0.97 \mu m$  im Gesamtsystem nach Abb. 5.34b ist völlig ungeeignet für die Anwendung zur Herstellung von Mushroom-Gate-Kontakten. Darüber hinaus stellt sich aufgrund der hohen Beschleunigungsspannung eine nicht ausreichende Kopf-Weite in den oberen

Einzelresisten ein. Aus den bisherigen Betrachtungen läßt sich aber schließen, daß im Fall eines in der Gesamtschichtdicke verringerten Resist-Systems die Beschleunigungsspannung nachgeführt werden kann. D.h. bei gleichzeitiger Reduzierung von  $U_{acc}$  und  $d_{ges}$  können vergleichbare Ergebnisse in bezug auf die Auflösung mit vergrößerter Kopf-Weite erwarten werden.



**Abb. 5.34a,b:** Erzeugung einer T-Gate-Struktur unter Ausnutzung der Wechselwirkung zwischen EDV und der Kontrastfähigkeit der Einzelresiste eines Dreilagen-Fotoresist-Systems (a); belichtete und entwickelte Gate-Struktur bei  $U_{acc} = 30 \text{ kV}$  ( $d_{ges} = 2.2 \text{ µm}$ ,  $d_1 = 0.97 \text{ µm}$ ) (b).

Daher wurde eine Modifikation des Dreilagenresist-Systems durchgeführt. Hierbei ist einerseits die Gesamtschichtdicke auf  $d_{\text{ges}} \approx 1.3 \,\mu\text{m}$  reduziert worden. Andererseits wurde im Fall des untersten Fotolackes eine Einzelschichtdicke von  $d_1 = 0.25 \,\mu\text{m}$  eingestellt. Den prinzipiellen Aufbau des modifizierten Resist-Systems zeigt Abb. 5.35.

Aufgrund der höheren Fotoempfindlichkeit des Copolymers gegenüber von PMMA (vgl. Abschn. 4.2.2) wurden die beiden oberen Lagen durch Copolymere zur Erzielung einer großen Kopfweite ersetzt.



Abb. 5.35a,b: Schichtaufbau des dreilagigen Resist-Systems zur Belichtung von Gate-Strukturen bei niedrigen Beschleunigungsspannungen einschließlich der Prebake-Temperaturen (a); Prinzipielles Resistprofil (b).

Die Fotoempfindlichkeit von Copolymeren kann dabei durch die Temperatur während des *Prebake* (vgl. Abschn. 5.3.3.1) gezielt eingestellt werden. Dies ist möglich, da die Bildung der für die Fotosensitivität verantwortlichen Anhydridgruppen eine Funktion der Temperatur ist (vgl. Abb. 5.36). Hier ist die Fotoempfindlichkeit in Form der *Clearing-Dose D*<sub>0</sub> des in Abb. 5.35 verwendeten Copolymers in Abhängigkeit von der Prebake-Temperatur dargestellt.



**Abb. 5.36:** *Clearing-Dose* D<sub>0</sub> in Abhängigkeit von der Prebake-Temperatur des Copolymertyps AR-P610 mit 8% Feststoffgehalt.

Durch die unterschiedlichen Ausheiztemperaturen  $T_{pre}$  ist es damit möglich, ein dreilagiges Resist-System zu entwickeln, obwohl vom chemischen Aufbau her nur zwei verschiedene Fotolacke eingesetzt werden [144]. Nachteilig ist dagegen, daß sich die Copolymere aufgrund gleichen Lösungsmittels beim Aufschleudern der dritten Lage gegenseitig anlösen. Die Ergebnisse nach Belichtung und Entwicklung zeigen jedoch, daß sich lediglich kein exakt scharfer Übergang zwischen beiden Resistschichten ausbildet (vgl. Abb. 5.35). Aufgrund der Stablilität der vernetzten Anhydridgruppen erfolgt aber auch kein *Abschleudern* der mittleren Lage, wie es bei lichtoptischen Mehrlagensystemen oft zu beobachten ist [145].

Auf der Basis dieses Resist-Systems wurden schließlich Einfachbelichtungen von Gate-Strukturen ( $L_{G,des} = 100$  nm) bei einer niedrigen Beschleunigungsspannung von  $U_{acc} = 10$  kV durchgeführt. Als Ergebnis ist in Abb. 5.37a,b das Resistprofil und die zugehörige metallene Gate-Struktur dargestellt.

Der fließende Übergang zwischen den beiden Copolymerlagen ohne Schichtdickenverlust ist in Abb. 5.37a deutlich erkennbar. Darüber hinaus haben sich die Erwartungen sowohl in der erzielten Gate-Länge von  $L_G = 130$  nm als auch in der mittleren Kopf-Weite von  $L_K = 600$  nm bestätigt. Damit ist an dieser Stelle die Modellvorstellung der Verschiebung des Energiedissipationsvolumens der gestreuten Elektronen in Abhängigkeit von der Resistdicke bzw. der Beschleunigungsspannung zunächst experimentell nachgewiesen.

Im folgenden werden darüber hinaus die Proximity-Parameter  $\alpha$ ,  $\beta$  und  $\eta$  für  $U_{acc} = 10$  kV und  $U_{acc} = 30$  kV bestimmt, die für das Resistsystem nach Abb. 5.35 charakteristisch sind [99],[100]. Ein Vergleich für beide Fälle der auf der Basis dieser Parameter berechneten Proximity-Funktion (vgl. Abschn. 4.1.2.1) gibt schließlich Aufschluß über das tatsächliche Streuverhalten der Elektronen sowohl im Fotolack als auch im Substrat.

Zur Bestimmung der Proximity-Parameter wurde die Methode nach L. STEVENS und R. JONCKHEERE herangezogen [143]. Hierbei werden Kreisringe variabler Innenradien  $r_1$  bei konstantem Außenradius  $r_2$  mit verschiedenen Belichtungsdosen belichtet. Dabei entsteht eine Testmatrix, die sich aus Reihen variabler Innenradien  $r_1$  mit konstanter Belichtungsintensität und aus Spalten variabler Belichtungsdosen mit konstantem Innenradius  $r_1$  zusammensetzt. Das Prinzip dieser Methode demonstriert Abb. 5.38.

Die Intensität im Symmetriepunkt P der gewählten Kreisringstrukturen bestimmt sich aus dem Kreisintegral der Proximity-Funktion (vgl. Abschn. 4.1.2.1) gemäß Gl. 5.3:

$$D_{\rm P}(r) = D_0 \int_{0}^{2\pi} \int_{r_1}^{r_2} r P_{\rm f}(r) dr d\vartheta = D_0 \int_{r_1}^{r_2} r \frac{2}{(1+\eta)} \left[ \frac{1}{\alpha^2} \exp\left(\frac{-r^2}{\alpha^2}\right) + \frac{\eta}{\beta^2} \exp\left(\frac{-r^2}{\beta^2}\right) \right] dr (5.3)$$



**Abb. 5.37a,b:** Resistprofil nach Belichtung bei  $U_{acc} = 10$  kV mittels Einfachbelichtung ( $L_{G,des} = 100$  nm) und Entwicklung (a); metallene Gate-Struktur (b).



Abb. 5.38: Belichtungsstrategie zur Bestimmung der Proximity-Parameter  $\alpha$ ,  $\beta$  und  $\eta$  nach der Methode von L. Stevens und R. JONCKHEERE [143].

Hierbei beschreibt  $D_0$  diejenige Belichtungsdosis, die als *Clearing-Dose* für die vollständige Belichtung der gesamten Kreisfläche vom Radius  $r_2$  notwendig ist. Zur Vereinfachung der Auswertung von Gl. 5.3 wird der Außenradius  $r_2$  deutlich größer als  $\beta$  (hier:  $r_2 > 5 \mu$ m) gewählt, so daß die Lösung des Integrals, wie folgt, angegeben werden kann:

$$D_{\rm P}(r_{\rm i}) = \frac{D_0}{(1+\eta)} \left[ \exp\left(\frac{-r_{\rm i}^2}{\alpha^2}\right) + \eta \exp\left(\frac{-r_{\rm i}^2}{\beta^2}\right) \right]$$
(5.4)

Nach Gl. 5.4 ist es damit bei Kenntnis der *Clearing-Dose*  $D_0$  möglich, die für das o.g. Resistsystem charakteristische, zweidimensionale GAUß'sche Intensitätsverteilungsfunktion in Abhängigkeit vom Radius  $r_1$  zu bestimmen.

Im Experiment nach L. STEVENS und R. JONCKHEERE wird hierzu entsprechend der Testmatrix die jeweilige Belichtungsdosis  $D_P$  innerhalb einer Reihe, d.h. in Abhängigkeit vom Radius  $r_1$  bestimmt, die für die vollständige Belichtung des inneren Kreisrings notwendig ist. Anschließend werden die Wertepaare  $(r_{1,i} | D_{P,i}, i = 1,2,3...)$  in einem Diagramm graphisch dargestellt (vgl. Abb. 5.39).



**Abb. 5.39:** Normierte Belichtungsintensität im Zentrum P der Kreisringe nach Abb. 5.38 in Abhängigkeit vom Radius  $r_1$  für zwei verschiedene Beschleunigungsspannungen.

Im Rahmen dieser Arbeit wurde zusätzlich ein Simulationsprogramm [37] eingesetzt, um die experimentell ermittelten Daten durch die exakte Funktion nach Gl. 5.4 nachzubilden. Hierbei wurde nach Vorgabe von geeigneten Startwerten für die drei Proximity-Parameter  $\alpha$ ,  $\beta$  und  $\eta$  entsprechend einer speziellen Fehlerfunktion dasjenige Wertetupel ermittelt, mit dem die experimentell ermittelte Funktion bestmöglichst nachgebildet werden kann [37],[40].

Im Fall der Beschleunigungsspannungen von  $U_{acc} = 10$  kV und  $U_{acc} = 30$  kV ergaben sich dabei die in Abb. 5.39 dargestellten Kurvenverläufe. In beiden Fällen ist zunächst der charakteristische Verlauf der GAUß'schen Verteilungsfunktionen für vor- und rückwärts gestreute Elektronen zu beobachten [100]. Für  $U_{acc} = 10$  kV im Vergleich zu  $U_{acc} = 30$  kV stellen sich, wie postuliert, deutlich reduzierte Zahlenwerte für die beiden Proximity-Parameter  $\beta$  und  $\eta$  ein, die maßgeblich den Anteil rückgestreuter Elektronen beschreiben. Dies wird besonders durch den Schnittpunkt der Funktionsverläufe deutlich (vgl. Abb. 5.39). Das Modell der Verschiebung des EDV beim Übergang zu niedrigen Beschleunigungsspannungen wird damit auch hier bestätigt. Bei Betrachtung der Vorwärtsstreuung wird entsprechend dem in der Literatur beschriebenen Verhalten für  $U_{acc} = 10$  kV ein um mehr als 50 % erhöhter Zahlenwert für  $\alpha$  im Vergleich zu  $U_{acc} = 30$  kV extrahiert. Dennoch steht dies nicht im Widerspruch zu dem erzielten Ergebnis von  $L_{\rm G}$  = 130 nm (vgl. Abb. 5.37), da auch die Kontrastfähigkeit der eingesetzten Resiste und des Entwicklers berücksichtigt werden muß (vgl. Abschn. 4.2.4, Abschn. 4.2.4.3). Die Optimierung des Kontrastverhaltens eines Resistes kann unabhängig von der Vorwärtsstreuung zu einem verbessertem Auflösungsvermögen führen [113]. Im Fall des untersuchten Resistsystems ist genau dies der Fall. Aufgrund des hohen Kontrastes des untersten Resistes (vgl. Abb. 5.20) und durch die Anpassung der Gesamtschichtdicke an die niedrige Beschleunigungsgspannung von  $U_{acc} = 10$  kV wird eine zur 30 kV-Belichtung vergleichbare Auflösung erzielt.

# 5.4 Vollständiger Gate-Prozeß

Die Entwicklung der Lithographieprozesse für die Gate-Kontakte erfolgte stets im Hinblick auf den sich anschließenden Gate-Recess. Nach der Strukturierung des Fotoresistes nimmt zunächst die Probenpräparation unabhängig von der Wahl des Ätzverfahrens einen entscheidenden Einfluß auf die Funktionsfähigkeit des herzustellenden SCHOTTKY-Kontaktes. Daher werden in diesem Abschnitt neben der Beschreibung der Halbleiterätzprozesse auch verschiedene Methoden der Probenpräparation vorgestellt und diskutiert.

# 5.4.1 Probenpräparation

Bei der Lithographie bleiben nach dem Entwicklungsprozeß stets Fotolackresiduen bzw. Reste des Entwicklermaterials in den hergestellten Strukturen zurück. Diese müssen vor dem Ätzschritt beim Gate-Recess unbedingt entfernt werden [146]. Dazu wird standardmäßig ein Sauerstoff-Plasma eingesetzt (Veraschung). Hierbei wird die Halbleiterprobe ca. 1 min. einem ungerichteten Sauerstoff-Plasma bei einem Druck von 5·10<sup>-2</sup> mbar ausgesetzt. Die Hochfrequenzleistung beträgt 75 - 100 W. In [14] ist auch die erfolgreiche Konditionierung der Halbleiteroberfläche durch Benetzung mit Lösungsmitteln, wie Aceton oder Isopropanol, aufgezeigt worden. Dabei wird Kohlenstoff in die Halbleiteroberfläche eingebaut. Daraus eventuell verbleibende kohlenstoffhaltige Residuen können während des o.g. Plasmaprozesses nachträglich wieder entfernt werden.

# 5.4.1.1 Einfluß von Residuen auf das Bauelementverhalten

Experimentell kann der Einfluß der Probenpräparation anhand des Diodenund Ausgangsverhaltens von HFET eindeutig aufgezeigt werden. Um dabei Strukturgrößeneinflüsse zu vermeiden, bildete die lichtoptische Lithographie ( $L_G = 1 \mu m$ ) in Verbindung mit dem im Fachgebiet erprobten, auf Bernsteinsäure basierenden Gate-Recess-Prozeß für diesen Versuch die Grundlage [14]. Damit wurde auch sichergestellt, daß Effekte, die dem additiven Prozeß der EBL zuzuordnen wären, auszuschließen sind.

Es wurden zwei identische HFET jeweils mit und ohne dem Veraschungsschritt hergestellt. In Abb. 5.40 sind die entsprechenden Ergebnisse bezüglich der Eingangskennlinie  $I_G$   $f(U_{GS}, U_{DS} = 0 \text{ V})$  und in Abb. 5.41 bezüglich der Ausgangskennlinie  $I_{DS} = f(U_{DS}, U_{GS})$  dargestellt. Im Fall der Eingangscharakteristik (vgl. Abb. 5.40) ist der Einfluß der fehlenden Probenreinigung deutlich zu beobachten. Die Fotolack- bzw. Entwicklerreste verursachen eine inhomogene Abätzung der InGaAs-Deckschicht. Damit entsteht eine partiell zwischen nachfolgender Gate-Metallisierung und Halbleitermaterial liegende Isolationsschicht. Diese führt zu einer signifikanten Verschiebung der Flußspannung  $U_F$ zu deutlich höheren Werten, was in den Kennlinien der Gate-Source-Dioden zum Ausdruck kommt (vgl. Abb. 5.40): Während der HFET mit Anwendung des O<sub>2</sub>-Plasmas die dem InAlAs/InGaAs-System entsprechende Flußspannung von  $U_F = 0.55$  V aufweist, zeigt der HFET ohne den Veraschungsschritt eine nicht mehr dem Halbleitermaterial zuzuordnende Flußspannung. Vielmehr handelt sich hierbei um eine Durchbruchspannung über den Isolator (Fotoresist) von  $U_B = 3.45$  V.



**Abb. 5.40:** Einfluß des O<sub>2</sub>-Plasmas auf die Eingangskennlinie  $I_{G} = f(U_{GS}, U_{DS} = 0 \text{ V})$ .

Im Fall des Ausgangskennlinienfeldes (vgl. Abb. 5.41a,b) wirkt sich die zusätzliche Isolationsschicht in einem für hohe Drain-Source-Spannungen verminderten Kanaldurchgriff der Gate-Source-Spannung aus. Die nur teilweise abgeätzte InGaAs-Deckschicht unterhalb des metallenen Gate-Kontaktes wird in Abhängigkeit des lateralen, elektrischen Feldes leitfähig. Damit kommt es zur Ausbildung eines parallelen Kanals im dotierten InGaAs. Als Folge davon geht die Steuerungsfähigkeit der Ladungsträger im undotierten Kanalmaterial verloren. Dies ist im Ausgangskennlinienfeld anhand des plötzlichen Anstiegs des Drain-Source-Stromes *I*<sub>DS</sub> ab einer definierten Drain-Source-Spannung zu erkennen (vgl. Abb. 5.41b).



**Abb. 5.41a,b:** Einfluß des O<sub>2</sub>-Plasmas auf das AKF  $I_{DS} = f(U_{DS}, U_{GS})$ ; a) mit und b) ohne Anwendung von O<sub>2</sub>-Plasma.

Um dennoch Kanalabschnürung zu erzielen, sind betragsmäßig sehr hohe Gate-Source-Spannungen (hier:  $U_{GS} = -2.5$  V) notwendig. Im Fall des HFET bei Anwendung der Probenreinigung ist dieses Phänomen nicht zu beobachten (vgl. Abb. 5.41a). Es stellt sich das für ein Ausgangskennlinienfeld bekannte Steuerungsverhalten ein. Der Einfluß vorhandener Residuen beim Ätzprozeß wird umso größer, je geringer die laterale Ausdehnung der zu ätzenden Strukturen wird. Für eine Strukturierung der Gate-Kontakte im unteren Submikronbereich bedeutet dies, daß das Verhältnis von Gate-Länge  $L_G$  zur Größenordnung der Residuen immer kleiner wird. Für kleine Gate-Längen ( $L_G < 0.25 \ \mu$ m) ist damit dem Gate-Recess eine immer wichtigere Bedeutung in bezug auf die Transistorfunktion zuzumessen.

#### 5.4.1.2 Methoden der Residuenentfernung

In diesem Abschnitt werden zwei Methoden der Residuenentfernung in ihrer Effizienz verglichen. Dazu werden mittels EBL hergestellte Gate-Kontakte der Gate-Länge  $L_G = 0.2 \mu m$  anhand von rasterkraftmikroskopischen Untersuchungen [147] charakterisiert. Beide Verfahren basieren auf dem Prinzip der Plasmaveraschung (vgl. Abschn. 5.4.1.1).



**Abb. 5.42a,b:** Prinzip der O<sub>2</sub>-Plasma-Veraschung; a) überwiegend zur Probe ungerichteter Plasmastrom, b) überwiegend zur Probe ausgerichteter Plasmastrom.



**Abb 5.43:** Rasterkraftmikroskopische Aufnahmen von mittels EBL belichteter und entwickelter Strukturen ( $A = 1 \ \mu m^2$ ); a) keine chemische Nachbehandlung, b) ungerichtetes O<sub>2</sub>-Plasma (vgl. Abb. 5.42), c) gerichtetes O<sub>2</sub>-Plasma [147], d) unkonditionierte HL-Oberfläche.

Der Unterschied liegt in der Anordnung der Elektroden im Reaktor, zwischen denen die Ausbildung des Sauerstoffplasmas erfolgt. Während bei der konventionellen Anordnung nach Abb. 5.42a ein zur Probe eher ungerichtetes Plasma erzeugt wird, unterstützt der sogenannte Parallelplattenreaktor einer im Fachgebiet zur Verfügung stehenden RIE-Anlage einen direkt auf die Probe ausgerichteten Plasmastrom [148] (vgl. Abb. 5.42b).

Den im Fall des gerichteten Plasmastroms wesentlich effizienteren Abtrag der Residuen verdeutlichen die mittels eines Rasterkraftmikroskopes hergestellten Aufnahmen von Strukturen, die mit Hilfe der EBL in einem dreilagigen Fotolacksystem (vgl. Abschn. 5.3.3.4.1) erzeugt worden sind [147] (vgl. Abb. 5.43 a,b,c,d). Hierbei wurden identische Gate-Strukturen nach Belichtung und Entwicklung beiden Reinigungsverfahren unterzogen und anschließend untersucht. Zum Vergleich ist in Abb. 5.43 zusätzlich eine geätzte aber nachträglich unbehandelte (vgl. Abb. 5.43a) sowie eine völlig unkonditionierte Halbleiteroberfläche (vgl. Abb. 5.43d) gezeigt. In Abb. 5.43a ist die Kontamination der Oberfläche infolge von Residuen nach dem Belichtungs- und Entwicklungsprozeß deutlich erkennbar. Dabei kann eine mittlere Rauhigkeit zm von circa 1.5 nm grober Körnung nachgewiesen werden. Die Nachbehandlung in einem ungerichteten O2-Plasma im konventionellen Reaktor nach Abb. 5.42a reduziert die mittlere Rauhigkeit deutlich unterhalb von 1 nm (vgl. Abb. 5.43 b). Aber erst die Probenreinigung im Parallelplattenreaktor (vgl. Abb. 5.43c) liefert neben der geringsten Rauhigkeit im Bereich einer Atomlage ( $z_m \approx 0.3$ nm) gleichzeitig auch die geringste Körnung. Die Homogenität der so erzielten Oberfläche ist gegenüber der nichtkonditionierten Halbleiteroberfläche (vgl. Abb. 5.43d) sogar verbessert. Damit ist die Verwendung des O2-Plasma-Prozesses im RIE-Reaktor besonders gut geeignet, um eine rückstandslose Entfernung von Residuen zu erzielen.

### 5.4.2 Naßchemischer Gate-Recess-Prozeß

Die Abtragung der InGaAs-Deckschicht bis auf die nachfolgende InAlAs-Barrierenschicht erfolgt im Fall des naßchemisch durchgeführten Gate-Recess auf der Basis von flüssigen Ätzlösungen. Die chemische Wechselwirkung zwischen Ätze und Halbleiter während des Ätzvorgangs selbst kann diffusionsoder reaktionsbegrenzt erfolgen [118],[149]. Im Fall des diffusionsbegrenzten Vorgangs bestimmt die Anlagerungmöglichkeit der Reaktanten der Ätzlösung an den Halbeiter die Ätzrate. Im Fall des reaktionsbegrenzten Vorgangs dagegen bestimmt die chemische Reaktivität der Ätzlösung selbst die Ätzrate. Beim AlGaAs/GaAs-Materialsystem sind Ätzlösungen auf der Basis von Wasserstoffperoxid (H<sub>2</sub>O<sub>2</sub>) und Ammoniak (NH<sub>3</sub>) bekannt. Diese müssen für den Einsatz im InGaAs/InAlAs-System aufgrund der fehlenden Affinität zum Indium durch Zugabe organischer Säuren erweitert werden. Darüber hinaus ist auf die chemische Resistenz der eingesetzten Resiste gegenüber der Ätzlösung zu achten [118]. Im Fachgebiet sind dabei im Rahmen der lichtoptischen Lithographie die auf Bernstein- und Phosphorsäure basierenden Lösungen erprobte Halbleiterätzen [14].

Der Einsatz der EBL erfordert dagegen aufgrund des Wechsels des Resistmaterials eine Optimierung dieser Ätzlösungen. Diese erfolgt insbesondere im Hinblick auf Haftung und chemische Resistenz der verwendeten Resiste [150].

# 5.4.2.1 Haftung von PMMA

Die Haftung elektronenstrahlempfindlicher Resiste (PMMA) auf Halbleitermaterial ist im Vergleich zu AZ-Resisten deutlich reduziert [151],[152]. Dies ist bei Verwendung dieser Resiste insbesondere in naßchemischen Ätzprozessen zuberücksichtigen. Diesbezüglich durchgeführte Untersuchungen im Rahmen dieser Arbeit führten zur erfolgreichen Entwicklung eines Haftvermittlers zwischen PMMA und Halbleiter [133].

Auf der Basis des zweilagigen PMMA-Prozesses nach Abschn. 5.3.2.2 wurde hierzu wurde eine extreme Verdünnung (1:40) eines AZ-Resistes des Typs AZ5206 (Fa. Hoechst, Frankfurt a.M.) vor dem Aufschleudern des PMMA auf das Halbleitermaterial aufgebracht. Die vollständigen Prozeßparamter sind in Anhang B11 aufgeführt. Die Dicke dieser haftvermittelnden Zwischenschicht konnte mit Hilfe der Ellipsometrie zu  $d_{AZ} = 10.4$  nm bestimmt werden. In bezug auf die Lithographie stellte sich diese Schichtdicke als hinreichend gering heraus, so daß keine Anpassung der Belichtungsparameter notwendig war [149]. Nach dem Lithopgraphieschritt konnte sie während eines Veraschungsschrittes im O<sub>2</sub>-Plasma wieder rückstandslos entfernt werden (vgl. Abschn. 5.4.1.2). Im konventionellen Reaktor nach Abb. 5.42b (vgl. Abschn. 5.4.1.2) verursachte aber die notwendige Erhöhung der Prozeßzeit von  $t_{O2} = 1$  min auf  $t_{O2}$ = 3 min teilweise eine Strukturaufweitung, d.h. eine Vergrößerung der Gate-Länge L<sub>G</sub>. In Abb. 5.44a,b ist die haftvermittelnde Wirkung der eingesetzten Zwischenschicht anhand zweier hergestellter Gate-Strukturen gezeigt. Während ohne den Einsatz der haftvermittelnden Zwischenschicht deutlich Inhomogenitäten in der Gate-Metallisierung zu beobachten sind (vgl. Abb. 5.44a), stellt sich mit Haftvermittler bei gleichzeitig reduzierter Gate-Länge ein deutlich verbessertes Verhalten ein (vgl. Abb. 5.44b).



**Abb. 5.44:** Mittels EBL erzeugte, trapezförmige Gate-Kontakte zwischen Source und Drain im HFET: a) ohne Haftvermittlung, b) mit Haftvermittlung.

#### 5.4.2.2 Verwendung von Copolymeren

Basische Anteile der für den Gate-Recess eingesetzten Ätzlösungen setzen die chemische Resistenz von Copolymeren herab. Der Grund hierfür ist die Säuregruppe im PMMA/MAA (vgl. Abschn. 4.2.2). Unter Bildung eines Reaktionsproduktes tritt eine neutralisierende Wechselwirkung zwischen den verantwortlichen basischen und säurehaltigen Gruppen ein (vgl. Abb. 5.45), die sogar zur vollständigen Zerstörung des erzeugten Resistprofils führen kann [153].



**Abb. 5.45**: Reaktionsgleichung für die Wechselwirkung zwischen NH<sub>3</sub> und PMMA/MAA einschließlich des Reaktionsprodukts Methacrylsäureamid.

Die im Fachgebiet standardmäßig verwendete, auf Bernsteinsäure basierende Ätzlösung setzt sich aus in Wasser gelöster Bernsteinsäure (BS,  $C_4H_6O_4$ ),  $H_2O_2$ und NH<sub>3</sub> im Verhältnis 20 BS : 4  $H_2O_2$  : 1 NH<sub>3</sub> zusammen. Durch die Zugabe der Lauge kann damit die in Abb. 5.45 beschriebene Reaktion im Fall der Mushroom-Gate-Herstellung bei Verwendung von PMMA/MAA während des Gate-Recess-Prozesses nicht ausgeschlossen werden [154].

Ein weitere Problematik tritt bereits während der Probenpräparation vor dem Gate-Recess auf. Konzentriertes NH<sub>3</sub>, das im Fachgebiet erfolgreich zur Entfernung von Oxiden auf den freien Oberflächen des strukturierten Halbleiters kurz vor dem Ätzvorgang eingesetzt wird, löst den Copolymer vollständig ab. Nur reiner PMMA bleibt unbeschädigt. Für die Strukturierung von Mushroom-Gate-Kontakten ohne Verzicht auf die hervorragenden lithographischen Eigenschaften der Copolymere waren daher daher umfangreiche Optimierungsarbeiten bezüglich des Gate-Recess-Prozesses notwendig.

#### 5.4.2.3 Gate-Recess für Mushroom-Gate-Kontakte

Ungeachtet der Zusammensetzung der Ätzlösung und der Eigenschaften des Resistes ändern sich die kinematischen Bedingungen beim Ätzvorgang in Abhängigkeit der Größe der zu ätzenden Strukturen [118]. Beim Gate-Recess ist daher eine eindeutige Abhängigkeit der Ätzrate von der Gate-Länge zu beobachten. Dies kann im authentischen Bauelementprozeß anhand der Abschnürspannung  $U_{\rm T}$  veranschaulicht werden. Für die EBL der Gate-Kontakte wurde hierzu der dreilagige Resistprozeß unter Verwendung von PMMA/MAA eingesetzt (vgl. Abschn. 5.3.3.1). Nach der Strukturierung ist der Gate-Recess für verschiedene Ätzzeiten  $t_{\rm etch}$  bei konstanter Gate-Länge ( $L_{\rm G} = 0.2 \ \mu m$ ) durchgeführt worden. Dabei wurde die auf Bernsteinsäure basierende Lösung mit der

Ätzrate für InGaAs von  $R_{BS} = 0.4$  nms<sup>-1</sup> eingesetzt (vgl. Abschn. 5.4.2.2). Nach Fertigstellung des HFET ist für jede Ätzzeit die zugehörige Abschnürspannung  $U_T$  bestimmt worden.

In Abb. 5.46 ist  $U_T$  in Abhängigkeit von der Ätzzeit  $t_{etch}$  dargestellt. Darüber hinaus ist für einen weiteren Vergleich der Wert für  $U_T$  desselben HFET für eine Gate-Länge von  $L_G = 0.6 \mu m$  eingetragen. Die Ätzzeit wurde dabei zu  $t_{etch}$ = 5 min festgelegt. Der Einfluß der Gate-Länge  $L_G$  ist in der Verschiebung der Abschnürspannung deutlich zu erkennen. Darüber hinaus wird selbst bei einer Verdopplung der Ätzzeit für  $L_G = 0.2 \mu m$  = konst. die Abschnürspannung von  $U_T = 0.9 V (L_G = 0.6 \mu m)$  nicht erreicht. Bei den hier diskutierten Ergebnissen ist aber auch das Kurzkanalverhalten des Bauelementes selbst zu berücksichtigen (vgl. Abschn. 2.1.4).



**Abb. 5.46:** Abschnürspannung  $U_{\rm T}$  in Abhängigkeit von der Ätzzeit  $t_{\rm etch}$  (Bernsteinsäure) und von der Gate-Länge  $L_{\rm G}$ .

#### 5.4.2.3.1 Auf Bernsteinsäure basierende Ätzlösung

Die auf Bernsteinsäure basierende Ätzlösung zeichnet sich durch eine hohe Selektivität von  $S_{BS} > 60$  im Fall mittels MOVPE- [155] und von  $S_{BS} > 20$  im Fall mittels MBE hergestellter HFET-Schichten aus. Die Selektivität bezeichnet dabei das Verhältnis der Ätzrate für InGaAs zu der für InAlAs. Mit ihrer Hilfe ist es bereits im Epitaxieprozeß möglich, die Abschnürspannung des HFET durch Einstellung der Schichtdicke für die InAlAs-Barriere festzulegen. Dies bedeutet, daß selbst bei Überätzung die Konstanz von  $U_T$  innerhalb gewisser Grenzen gewährleistet werden kann. Somit wird eine erhöhte Prozeßsicherheit erzielt [29]. Aufgrund der chemischen Wechselwirkung zwischen Copolymer und Ammoniak wurde die Zusammensetzung der auf Bernsteinsäure basierenden Ätzlösung variiert. Es wurden unterschiedliche Konzentrationen der Ätzlösung in bezug auf den NH<sub>3</sub>- und H<sub>2</sub>O<sub>2</sub>- Gehalt eingestellt. Dabei wurde das Ziel verfolgt, eine Ätzlösung zu entwickeln, die trotz reduziertem NH<sub>3</sub>-Gehalt eine ausreichende Selektivität bereitstellt. Die Bernsteinsäure selbst wurde hierzu in allen Fällen im Verhältnis BS : H<sub>2</sub>O von 50 g : 1000 ml angesetzt. Die bei Raumtemperatur experimentell bestimmten Abhängigkeiten zeigt Abb. 5.47a,b:



**Abb. 5.47a,b:** Selektivität  $S_{BS}$  und Ätzrate  $R_{InGaAs}$  in Abhängigkeit vom a) NH<sub>3</sub>-Gehalt; b) H<sub>2</sub>O<sub>2</sub>-Gehalt ohne Zusatz von NH<sub>3</sub>.

Sowohl bei Abnahme des NH<sub>3</sub>- als auch des H<sub>2</sub>O<sub>2</sub>-Gehalts ist eine Zunahme der InGaAs-Ätzrate bei gleichzeitiger Reduzierung der Selektivität zu beobachten. Bei Wahl des Verhälnisses von BS zu H<sub>2</sub>O<sub>2</sub> von 1 : 1 konnte zwar eine ausreichende Selektivität von  $S_{BS} = 20$  eingestellt werden, doch die Ätzzeiten im Fall des Gate-Recess konnten dabei nicht zufriedenstellend reduziert werden. Aus diesem Grund wurde dieses Ätzsystem in einem weiterem Experiment durch eine auf Zitronensäure basierende Ätzlösung ersetzt.

#### 5.4.2.3.2 Auf Zitronensäure basierende Ätzlösung

In der Literatur ist neben der Verwendung von Bernsteinsäure auch der Einsatz von Zitronensäure (C6H8O7, CS [154]) als Bestandteil selektiv arbeitender Ätzlösungen im InAlAs/InGaAs-Materialsystem bekannt [156],[157]. Die Vorteile der auf Zitronensäure basierenden Ätzlösung bestehen darin, daß die reine Zitronensäure in wesentlich erhöhter Konzentration in Wasser gelöst wird (CS : H<sub>2</sub>O im Verhältnis 1 : 1). Dies wirkt sich in einer deutlichen Steigerung der Ätzrate aus. Darüber hinaus kann eine im Vergleich zur Bernsteinsäure zwar verminderte doch ausreichende Selektivität von  $S_{CS} = 25$  [156] ohne die Zugabe von NH3 erreicht werden. Dies gilt für ein Mischungsverhältnis der in Wasser gelösten Zitronensäure zu H2O2 von 1 (dh. CS : H2O2 im Verhältnis von 1 : 1). Die im Vergleich zur auf Bernsteinsäure basierenden Ätzlösung verringerte Selektivität ist in der pH-Wert abhängigen Ga-Löslichkeit in InGaAs- bzw. Al-Löslichkeit in InAlAs-Schichten begründet [158]. In eigenen Experimenten konnte eine Selektivität von  $S_{CS}$  = 16 nachgewiesen werden. Die Diskrepanz zu den Literaturdaten kann durch die unterschiedlichen Eigenschaften der verwendeten Halbleiterschichten erklärt werden. So basierte die Analyse in [156] beispielsweise auf mittels OMVPE hergestelltem und im eigenen Fachgebiet auf mittels MBE hergestelltem Halbleitermaterial. In Abb. 5.48 ist die anhand eigener Experimente erzielte Ätzrate im InGaAs RInGaAs sowie die Selektivität S<sub>CS</sub> in Abhängigkeit vom Verhältnis der in Wasser gelösten Zitronensäure zum H<sub>2</sub>O<sub>2</sub>-Gehalt bei Raumtemperatur dargestellt. Hierbei ist zu erkennen, daß im Fall von CS eine um den Faktor 5 erhöhte Ätzrate im Vergleich zur BS erzielt wird. Gleichzeitig ist eine ausreichende Selektivität von  $\overline{S}_{CS}$  = 16 zu verzeichnen (vgl. Abb. 5.47a,b). Somit eignet sich diese Ätzlösung besonders für die Abätzung kleiner Strukturen, wie es beim Gate-Recess für elektronenstrahlgeschriebene Gate-Kontakte der Fall ist. Die dabei deutlich reduzierten Ätzzeiten zur Erzielung der über die Epitaxie voreingestellten Abschnürspannung  $U_{\rm T}$  und des Drain-Source-Stromes  $I_{\rm DS}$  zeigt Abb. 5.49a. In Abb. 5.49b ist darüber hinaus die Schwellenspannungsstabilität anhand des entsprechenden Histogramms in bezug auf  $U_{\rm T}$  dargestellt.



**Abb. 5.48:** Selektivität  $S_{CS}$  und Ätzrate  $R_{InGaAs}$  in Abhängigkeit vom Verhältnis der in H<sub>2</sub>O gelösten reinen Zitronensäure CS zu H<sub>2</sub>O<sub>2</sub>.

In Abb. 5.49a ist die Abätzung der InGaAs-Deckschicht bis auf die InAlAs-Barrierenschicht anhand der reduzierten Ätztrate nach circa  $t_{CS,etch} = 70$ s deutlich zu erkennen. Aufgrund der minimalen Schrittweite von 35 s im Fall der Abszisse ist es in dieser Abbildung aber nicht möglich, den exakten Zeitpunkt des Übergangs vom InGaAs- zum InAlAs-Ätzvorgang zu bestimmen. Im Mittel zeigte sich, daß die InGaAs-Schicht bereits nach einer Ätzzeit von  $t_{CS,etch} =$ 45 s vollständig abgetragen war. Nach Abb. 5.49a ergibt sich eine sehr geringe Abhängigkeit von  $U_T$  bezüglich der Ätzrate im InAlAs zu  $\Delta R_{CS,InAlAs} / \Delta t_{CS,etch} =$ 1.85 mVs<sup>-1</sup>. Abb. 5.49b demonstriert darüber hinaus die sehr gute Homogenität des Ätzvorgangs. Anhand von 20 Proben wurde aus der jeweils gemessenen Übertragungskennlinie  $I_{DS} = f(U_{GS}, U_{DS} = 1.5 V)$  die Abschnürspannung  $U_T$  bestimmt. Hierbei konnte ein Mittelwert von  $U_{T,m} = -0.47 V$ , sowie eine sehr niedrige Standardabweichung von  $\sigma_T = 11.3 mV$  für eine Ätzzeit von  $t_{CS,etch} =$ 70 s bestimmt werden.

Die im Detail ablaufenden, chemischen Raktionen beim naßchemischen, selektiven Ätzvorgang sind in der Literatur bis zum Zeitpunkt dieser Arbeit nicht vollständig bekannt [159]. Eine mögliche Beschreibung des selektiven Ätzprozesses basiert auf der Oxidation der entsprechenden Halbleiterschichten, wobei besonders Al-haltige Schichten das zugehörige Oxid bilden [118]. Zur Vermeidung isolierender Zwischenschichten (vgl. Abschn. 5.4.1.1), die auch die Haftung der nachfolgenden Metallisierung für die Gate-Kontakte herabsetzen, muß dieses Oxid vor der Metalldeposition wieder entfernt werden.



**Abb. 5.49a,b:** Abschnürspannung  $U_T$  sowie Drain-Source-Strom  $I_{DS}$  in Abhängigkeit von der Ätzzeit (a); Histogramm bezüglich  $U_T$  für eine Ätzzeit von 70s; Halbleiterätze: 1 molare Zitronensäure :  $H_2O_2$ ; 1 : 1, T = 21 °C, (b).

Zur Haftverbesserung kann nach dem selektiven Ätzvorgang ein kurzer Ätzschritt in nichtselektiv arbeitenden Ätzlösungen, wie z.B. auf Phosphorsäure basierende Ätzen, erfolgen [129]. Eine sehr effektive Oxidentfernung erfolgt dagegen, wie bereits erwähnt, mit Hilfe von Ammoniak (pH-Wert = 11). Im Fall der Strukturierung mittels EBL muß aber infolge der neutralisierenden Wechselwirkung zwischen PMMA/MAA und stark basischen Lösungen auf alternative Verfahren ausgewichen werden (vgl. Abschn. 5.4.2.2). Neben der Möglichkeit, auf Salzsäure- oder Flußsäure basierende Lösungen einzusetzen [118], besteht im Fachgebiet die Möglichkeit des Einsatzes einer plasmaunterstüzten Abtragung von Oxiden auf der Basis von extrem niederenergetischen Argon-Ionen ( $U_{acc} = 30 \text{ eV}$ ). Die dazu notwendige Ionen-Quelle [160] befindet sich im Vakuumpumpstand für die Metallverdampfung. Damit kann die Metalldeposition ohne Kontamination der Halbleiteroberfläche unmittelbar nach dem Reinigungsschritt erfolgen. Im Rahmen dieser Arbeit wurde der in [14] beschriebene Prozeß des gerichteten Argon-Ionen-Ätzens in bezug auf die Herstellung von Mushroom-Gate-Kontakten standardmäßig eingesetzt. Neben dem Abtrag von Oxiden können dabei auch geringe Mengen an Fotolackresten entfernt werden.

Für eine verbesserte Homogenität kann auch unmittelbar vor dem Ätzvorgang zusätzlich ein Netzmittel eingesetzt werden. Dieses Netzmittel basiert für die Strukturierung mit Hilfe von AZ-Resisten auf basischen Tensiden, und im Fall von EBEAM-Resisten auf mit Wasser verdünntem Propanol (5 H<sub>2</sub>0 : 1 IP). Das Netzmittel hat die Aufgabe, eine vollständige Benetzung der Probenoberfläche zu erzielen, so daß sich dort zu Beginn des Ätzvorgangs keine Gaseinschlüsse ausbilden können, die den Ätzangriff verhindern. Gleichzeitig wird die Oberflächenspannung der Säurelösung herabgesetzt. Im Fall der Bernsteinsäure bestand die Vermutung, daß die zugehörige Oberflächenspannung im Gegensatz zur wesentlich viskoseren Zitronensäure deutlich erhöht ist. Für diesen Fall sind kleine Strukturen von der BS wesentlich schwieriger zu ätzen. Die Ätzlösung kann sich über den zu ätzenden Graben legen, und der Ätzvorgang bleibt damit aus. Diesbezüglich durchgeführte Experimente ergaben aber vergleichbare Werte für beide Ätzlösungen [161]. Tab. 5.3 enthält die die experimentell ermittelten Zahlenwerte bezüglich der Oberflächenspannungen bzw. Viskositäten, sowie die Angaben über Dichte und pH-Wert.

Lösung	$1 \text{ CS}(1) : 1 \text{ H}_2 0_2$	20 BS( <sup>2</sup> ) : 4 H <sub>2</sub> 0 <sub>2</sub> : 1 NH <sub>3</sub>
Dichte / kgm <sup>-3</sup>	1.036	1.178
dynamische Viskosität η / Nsm <sup>-2</sup>	1.8334	1.082
kinematische Viskosität v / m²s-1	1.556e <sup>-3</sup>	1.0246e <sup>-3</sup>
Oberflächenspannung σ <sub>F</sub> / Nm <sup>-1</sup>	0.08555	0.07118
pH-Wert	1	5.3

# 5.4.3 Trockenchemischer Gate-Recess

In der Literatur gewinnt das Reaktive-Ionen-Ätzen als erfolgreiche Alternative zum naßchemischen Ätzvorgang beim Gate-Recess verstärkt an Bedeutung [162],[163],[164],[165]. Die Vorteile liegen dabei in der hohen Anisotropie des Ätzvorgangs selbst, wobei insbesondere im Fall sehr kleiner Strukturgrößen eine hohe Maßhaltigkeit erzielt wird. Beim naßchemischen Verfahren ist dies aufgrund des isotropen Ätzangriffs nicht ohne weiteres möglich. Daraus resultierend ist im Fall des RIE-Ätzens eine gesteigerte Homogenität und Reproduzierbarkeit zu erwarten. Die in der Physik des RIE-Prozesses liegende Schädigung des Halbleitermaterials [166] und die wesentlich aufwendigere Technologie [148] sind dagegen deutliche Nachteile des Trockenätzverfahrens.

Im Rahmen dieser Arbeit wurde das RIE-Ätzen für den Gate-Recess von HFET der Gate-Länge im Bereich 0.1  $\mu$ m <  $L_{\rm G}$  < 0.25  $\mu$ m erfolgreich eingesetzt. Die Ziele der Prozeßentwicklung waren dabei neben der Strukturtreue insbesondere auch die Vermeidung von hohen Gate-Leckströmen. Diese sind als Folge des anisotropen Ätzangriffs bei reinen Trockenätzverfahren typisch.

### 5.4.3.1 Parameter für das Halbleiterätzen mittels RIE

Im folgenden werden die notwendigen Parametereinstellungen für das selektive Plasma-Ätzen von InGaAs auf InAlAs im Rahmen des Gate-Recess-Prozesses vorgestellt. In bezug auf die physikalischen Einzelheiten des RIE-Prozesses wird dabei auf die grundlegenden Arbeiten in [148] und [167] verwiesen.

Bei der verwendeten RIE-Anlage handelt es sich um einen Parallelplattenreaktor der Fa. Oxford/Plasma-Technology, dessen Prinzipskizze mit derjenigen aus Abb. 5.42b vergleichbar ist. Als Prozeßgas wurde CCl<sub>2</sub>F<sub>2</sub> (Frigen 12, Freon) eingesetzt. Die Beschleunigung der positiv geladenen Ionen in Richtung zur Kathode, wo sie mit dem Halbleitermaterial schließlich in Wechselwirkung treten, geschieht in Abhängigkeit der selbstinduzierten Spannung  $U_{DC}$ . Damit ist diese Spannung neben der Hochfrequenzleistung ein maßgeblicher Parameter für den Wechselwirkungsvorgang zwischen Ionen und Halbleitermaterial. Dieser äußert sich in einem Mischprozeß aus der möglichst zu unterdrükkenden Oberflächenschädigung infolge der hohen kinetischen Energie der Ionen und dem gewünschten Materialabtrag infolge der chemischen Reaktivität der Bestandteile des Prozeßgases mit dem Halbleiter (RIE-Ätzen). Je höher die induzierte Spannung  $U_{DC}$ , die über den Gasfluß eingestellt werden kann, desto größer ist die Anisotropie beim Ätzprozeß. Die Maßhaltigkeit der dabei im Rahmen dieser Arbeit geätzten Gate-Strukturen von  $L_G \approx 100$  nm konnte bei Werten von 190 V <  $U_{DC}$  < 210 V gewährleistet werden. Die Selektivität des RIE-Prozesses wird durch die Fluorkomponente des Prozeßgases bestimmt, wobei sich nach Abtrag der InGaAs-Materials eine AlF-Verbindung als Reaktionsprodukt des Plasmas mit der freiliegenden InAlAs-Schicht bildet. Diese Verbindung fungiert aufgrund ihrer geringen Flüchtigkeit als Ätzstopschicht.

Abb. 5.50 demonstriert das selektive Ätzverhalten. Hierbei werden die jeweiligen Mittelwerte von  $U_T$  und  $I_{DS}$  in Abhängigkeit von der Ätzzeit  $t_{etch, RIE}$  dargestellt (Schicht DU 479).



**Abb. 5.50:** Mittelwerte der Abschnürspannung  $U_{\rm T}$  und des Drain-Source-Stromes  $I_{\rm DS}$  in Abhängigkeit von der Ätzzeit  $t_{\rm etch,RIE}$  (Probe DU 479).

Im Vergleich zum naßchemischen Gate-Recess (vgl. Abb. 5.49a) ist vor allem eine deutlich geringere Abnahme des Drain-Source-Stromes  $I_{DS}$  im Fall des Überätzens zu beobachten ( $t_{etch, RIE} > 45$  s, dh. im Fall des Weiterätzens nach vollständigem Abtrag der InGaAs-Deckschicht). Die Erklärung hierfür liegt in der erhöhten Anisotropie beim RIE-Ätzvorgang, die ein seitliches Unterätzen des Resistes verhindert. Der isotrope Ätzangriff beim naßchemischen Gate-Recess dagegen verursacht auch einen lateralen Abtrag der InGaAs-Deckschicht. Dieser kann ein Mehrfaches der ursprünglichen Gate-Länge zu jeder Seite des Gate-Kontaktes betragen. Damit erhöhen sich letztlich die Zuleitungswiderstände zwischen Source- und Gate- bzw. Drain und Gate-Kontakt, was zu einer Abnahme des Drain-Source-Stromes  $I_{DS}$  führt.

#### 5.4.3.2 Optimiertes Resistsystem für den RIE-Gate-Recess

Im Gegensatz zum naßchemischen Ätzvorgang ist beim RIE-Ätzen das Verhältnis der Ätzrate von Halbleitermaterial zu der des Resistes drastisch reduziert. Damit ist besonders im Fall des trockenchemischen Ätzprozesses der Einsatz chemisch resistenter Fotolacke notwendig [74]. Der Resist des Typs ZEP-520 vgl. (Kap. 4, Abschn. 4.2.2.1) ist speziell für eine solche Anwendung konzipiert. Daher wurde das in Abschn. 5.3.3.1 vorgestellte Resistsystem zur Herstellung von Mushroom-Gate-Kontakten modifiziert. Hierbei ist der hochmolekulare PMMA 950k durch den Resist ZEP-520 ersetzt worden. Zur Angleichung der Schichtdicken wurde eine spezielle Verdünnung im Verhältnis von 2 : 1 (ZEP-520 : Thinner, vgl. Anhang B02 und B10) gewählt. Unter Einsatz dieses modifizierten Resistsystems konnte ein Verhältnis der Ätzrate im Halbleiter zu der im Fotolack von  $R_{\text{RIE,HL}}/R_{\text{RIE,FL}} \approx 1$  realisert werden [167]. Bei durchschnittlichen Schichtdicken (10 nm <  $d_{\text{InGaAs}}$  < 20 nm) für die InGaAs-Deckschicht der prozessierten HFET war dieses Verhältnis damit ausreichend. Ein weiterer, entscheidender Vorteil des Trockenätzverfahrens besteht in der Möglichkeit der In-Situ Reinigung der Halbleiteroberfläche im Parallelplattenreaktor. Hierzu kann ein Veraschungsschritt unmittelbar vor dem Gate-Recess durchgeführt werden.



### 5.4.4 Hybrid-Ätzprozeß zur Vermeidung von Gate-Leckströmen

Abb. 5.51: Hybrider Ätzprozeß: a) Einstellung von U<sub>T</sub> mittels RIE-Ätzen (anisotroper Ätzangriff); b) Resistunterätzung zur Vermeidung von Gate-Leckströmen mittels auf Zitronensäure basierender Ätzlösung (isotroper Ätzangriff).

Die Vorteile von naß- als auch trockenchemischen Ätzenverfahren lassen sich in einem Hybrid-Gate-Ätzprozeß (vgl. Anhang C05) gemeinsam nutzen. Hierbei kommen beide Methoden nacheinander zum Einsatz. Für die Einstellung der Abschnürspannung *U*<sub>T</sub> erfolgt zunächst der selektive Ätzprozeß mittels RIE-Verfahren (vgl. Abschn. 5.4.3). Anschließend wird die selektiv arbeitende Zitronensäurelösung eingesetzt (vgl. Abschn. 5.4.2), die den Resist gezielt unterätzt. Damit wird eine elektrische Verbindung über die Kanten der nachfolgend aufzubringenden SCHOTTKY-Gate-Metallisierung mit der InGaAs-Deckschicht verhindert (vgl. Abb. 5.51a,b).

Um die Unterätzung gezielt und kontrolliert durchführen zu können, ist die hohe Ätzrate der auf Zitronensäure basierenden Ätzlösung von Nachteil (vgl. Abschn. 5.4.2.3.2). Infolge zu geringer Ätzzeiten (1 s <  $t_{CS,etch}$  < 5 s) stellen sich Inhomogenitäten ein. Eine Verlängerung der Ätzzeit  $t_{CS,etch}$  verursacht einen zu starken lateralen Ätzangriff bezüglich der InGaAs-Deckschicht. Unter Ausnutzung der Temperaturabhängigkeit ist es dagegen möglich, die Ätzrate zu verringern, ohne dabei die Zusammensetzung der Ätzlösung ändern zu müssen (vgl. Abb. 5.52).



**Abb. 5.52:** Ätzraten in InGaAs  $R_{InGaAs}$  und in InAlAs  $R_{InAlAs}$  der auf Zitronensäure basierenden Ätzlösung (CS<sup>\*</sup> : H<sub>2</sub>O<sub>2</sub>; 1 : 1) einschließlich der Selektivität  $S_{CS} = R_{InGaAs}/R_{InAlAs}$  in Abhängigkeit von der Temperatur *T*.

Die Ätzrate in InGaAs (InAlAs) kann bei einer Reduzierung der Flüssigkeitstemperatur von T = 20 °C nach T = 5 °C um mehr als den Faktor 5 (7) gesenkt werden. Gleichzeitig ist bei der tieferen Temperatur sogar eine Verbesserung der Selektivität um mehr als 20 % zu beobachten. Die Ätzrate in InGaAs von  $R_{InGaAs} = 0.47$  nms<sup>-1</sup> (vgl. Abb. 5.52) ist dabei gering genug, um den lateralen Ätzprozeß kontrolliert einstellen zu können. Experimente zeigten, daß bereits bei einer Ätzzeit von  $t_{CS,etch} = 60$  s eine ausreichend laterale Abtragung der In-GaAs-Schicht (Unterätzung) erzielt werden kann.

Abschließend wird anhand des Eingangskennlinienfeldes  $I_G = f(U_{GS}, U_{DS})$  demonstriert, daß bei Anwendung des Hybrid-Gate-Recess deutlich reduzierte Gate-Leckströme zu erzielen sind (vgl. Abb. 5.53a,b).



**Abb. 5.53a,b:** EKF  $I_{\rm G} = f(U_{\rm GS}, U_{\rm DS})$  für die Anwendung a) des rein trockenschemischen Gate-Recess-Prozesses, b) des Hybrid-Gate-Recess-Prozesses; ( $Z = 80 \ \mu m, L_{\rm G} = 0.2 \ \mu m$ , Schicht DU 563).

Bei Anwendung des reinen RIE-Gate-Recess-Prozesses treten nicht zu tolerierende Gate-Leckstromes  $I_G$  auf, die sich in der Größenordnung des Drain-Source-Stromes  $I_{DS}$  befinden (vgl. Abb. 5.53a). Dagegen zeigt Abb. 5.53b die erfolgreiche Reduzierung des Gate-Leckstromes um mehr als den Faktor 500 infolge des Einsatzes des Hybrid-Gate-Recess-Prozesses. Gleichzeitig ist wieder der für InAlAs/InGaAs/InP-HFET typische Verlauf des Eingangskennlinienfeldes infolge von Stoßionisation zu beobachten (vgl. Kap. 2, Abschn. 2.2.1).