1 Einleitung

Die vorliegende Arbeit beschäftigt sich mit der Herstellung und Charakterisierung von Submikron-Feldeffekt-Transistoren unter besonderer Beachtung der Anwendung der Elektronenstrahllithographie als Strukturierungswerkzeug.

Transistoren stellen als funktionaler Bestandteil einer digitalen oder analogen elektronischen Schaltung die kleinste, aktive Funktionseinheit dar. Die Funktionstüchtigkeit der gesamten Schaltung hängt somit entscheidend von der Qualität dieser Transistoren ab. Seit dem experimentellen Nachweis des Transistoreffektes durch J. BARDEEN und W.H. BRATTAIN im Jahr 1947 [1] sind Transistoren daher stets unverzichtbarer Gegenstand in Forschung- und Entwicklungsarbeiten auf dem Gebiet der Elektrotechnik.

Im Bereich der heutigen, modernen Kommunikationstechnik ist es primär das Ziel, immer mehr Information in immer kürzerer Zeit über immer größere Distanzen zu übertragen. Dabei werden insbesondere an die Transistoren höchste Anforderungen in bezug auf Verstärkung und Grenzfrequenz gestellt. Hochbitratige Übertragungssysteme im Bereich 20 - 40 Gbit/s, wie z.B. bei Glasfaserübertragungsstrecken, erfordern je nach Schaltungsarchitektur der Sende- und Empfangseinrichtungen Transistor-Grenzfrequenzen deutlich oberhalb 100 GHz bei geringem Leistungsbedarf und Eigenrauschen. Zur Herstellung von Transistoren mit derart ausgezeichneten Eigenschaften werden daher zunächst Halbleiter benötigt, die sehr hohe Ladungsträgerbeweglichkeiten ermöglichen. Feldeffekt-Transistoren auf der Basis von **Si**lizium (**Si**) können dies aufgrund der geringen Elektronenbeweglichkeit längst nicht mehr leisten ($\mu_{n,Si} \approx 1500\ cm^2/Vs$). Auf der Basis von Verbindungshalbleitern - zusammengesetzt aus Elementen der dritten (III) und fünften (V) Hauptgruppe des Periodensystems - gelang die Entwicklung des sogenannten **H**eterostruktur-**F**eld**e**ffekt-**T**ransistors (**HFET**), der einen deutlichen Zuwachs der Ladungsträgergeschwindigkeit aufzeigte. Das erste Bauelement dieses Typs wurde 1980 von T. MIMURA auf der Basis von **Al**uminium-**Ga**llium-**Ar**senid (**AlGaAs**) und **Ga**llium-**Ar**senid (**GaAs**) vorgestellt [2]. Weitere Verbesserungen der o.g. Eigenschaften konnten mit Einführung des HFET auf der Basis von **I**ndium-**P**hosphid (**InP**) als Substratmaterial erzielt werden [3],[4]. Hierbei wurden die Halbleiterschichten **In**dium-**Al**uminium-**Ar**senid (**InAlAs**) und

Indium-**Ga**llium-**A**r**s**enid (**InGaAs**) epitaktisch auf InP aufgebracht. Bis zum Zeitpunkt dieser Arbeit zeigten Transistoren auf der Basis dieses Materialsystems die bisher höchsten Grenzfrequenzen.

Ein weiteres, grundlegendes Kriterium für die erfolgreiche Herstellung von Höchstfrequenz-Transistoren ist die Wahl der Strukturierungstechnik. Das umgekehrt proportionale Verhalten zwischen der Transistor-Gate-Länge L_G und der Transitfrequenz f_T,

$$f_T \approx \frac{1}{L_G}, \tag{1.1}$$

ist ein maßgeblicher Schrittmacher für die stete Miniaturisierung dieser Bauelemente. Besonders in der jüngeren Zeit ist ein weiterer Motor dieser Entwicklung die Forderung nach Mobilität von Kommunikationsendeinrichtungen (z.B Mobiltelefone). Für die Erzielung von Transitfrequenzen $f_T > 100$ GHz ist selbst bei Voraussetzung optimaler Materialzusammensetzung eine Gate-Länge im Bereich $L_G \approx 0{,}25$ µm notwendig. Dies bedeutet aber eine deutlich erhöhte Anforderung an die zu wählende Strukturierungstechnik im Rahmen des Transistor-Herstellungsprozesses. Die technologische Beherrschung dieser komplizierten Verfahren in bezug auf Präzision und Reproduzierbarkeit ist zweifellos der Schlüssel für eine spätere erfolgreiche Integration dieser Bauelemente in Hoch- und Höchstgeschwindigkeitsschaltungen.

Die vorliegende Arbeit greift diese Diskussion auf. Sie stellt sich zentral zur Aufgabe, einen stabilen Herstellungsprozeß von Transistoren mit Gate-Längen im unteren Submikronbereich für die spätere Schaltungsintegration bereitzustellen. Auf der Basis grundlegender Prinzipien der Strukturierungstechnik mittels Elektronenstrahllithographie werden hierbei insbesondere neu entwikkelte Verfahren und Techniken vorgestellt. Dabei wird ausschließlich die Optimierung von InAlAs/InGaAs/InP-HFET verfolgt [5]. Im Rahmen einer kurzen Einführung dieses Materialsystems wird in Kap. 2 das dafür charakteristische Transportverhalten der Bauelemente vorgestellt. Zunächst werden dabei die Geschwindigkeitsvorteile von auf Indium basierenden Ladungsträgerkanälen erläutert. Gleichzeitig wird der unmittelbare Einfluß der geometrischen Bauelementabmessungen herausgestellt. Aufgrund der zentralen Bedeutung für Materialien mit kleinem Bandabstand wird insbesondere auch auf den Effekt der Stoßionisation im auf InGaAs basierenden Ladungsträgerkanal eingegangen. Hierbei werden erstmals Möglichkeiten aufgezeigt, den Stoßionisationseffekt durch Einführung des sogenannten **D**ual-**G**ate-HFET (**DG**HFET) gezielt zu kontrollieren, ohne dabei das Schichtwachstum selbst modifizieren zu müssen. Eine stets im Hinblick auf die einzusetzende Technologie geführte

Diskussion des Gleichspannungs- und Hochfrequenzverhaltens beider HFET-Typen schließt diese Thematik ab.

Als zentrales Strukturierungswerkzeug kommt die Elektronenstrahllithographie (**e**lectron **b**eam **l**ithography, *kurz*: **EBL** oder **EBEAM-L**ithography) als eine der effektivsten Lithographiemethoden im Mikro- und Nanometerbereich der Bauelementetechnologie zum Einsatz [6]. Nach einer kritischen Einordnung der EBL in die Palette der zahlreichen Lithographieverfahren erfolgt in Kap. 3 die grundlegende Beschreibung des im Rahmen dieser Arbeit eingesetzten EBEAM-Lithographiesystems. Anders als bei bereits bestehenden Veröffentlichungen, in denen oft nur Teilaspekte oder allgemeingültige Aussagen behandelt werden, wird dabei im Einzelfall immer wieder konkret auf das im Fachgebiet Halbleitertechnik / Halbleitertechnologie der Gerhard-Mercator-Universität in Duisburg installierte System Bezug genommen.

Für den erfolgreichen Einsatz der EBL, wie auch jeder anderen Strukturierungsmethode, ist es von enormer Wichtigkeit, die Lithographie als Teil des vollständigen Bauelementherstellungsprozesses aufzufassen. Wie in Abb. 1.1 prinzipiell dargestellt, besteht eine direkte Rückkopplung zwischen dem physikalischen Halbleiterfertigungsprozeß, der Geräteausrüstung und den zu verwendenden Prozeßmaterialien.

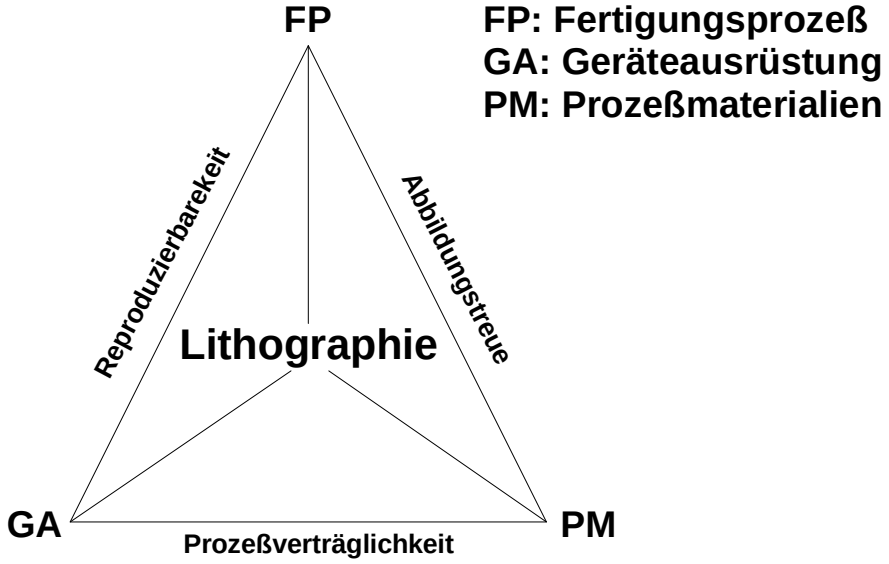

Abb. 1.1: Wechselwirkungen zwischen Fertigungsprozeß (FP), Geräteausrüstung (GA) und Prozeßmaterialien (PM) in bezug auf die Lithographie.

Innerhalb dieses *Fertigungsdreiecks* gilt es, die Lithographie jeweils bestmöglichst anzupassen und zu integrieren. So sind z.B. Fotolacke (Resiste) unter-

schiedlich resistent gegenüber verschiedenen Halbleiterätzprozessen. Dies kann beispielsweise die Stabilität des Fertigungsprozesses oder das Auflösungsvermögen beeinflussen etc.. Mit der Installation eines festen EBEAM-Systems im Fachgebiet war es eine zentrale Aufgabe dieser Arbeit, die Halbleiterfertigungsprozesse und die Prozeßmaterialien an die Geräteausrüstung anzupassen und zu optimieren. In Kap. 4 erfolgt daher eine ausführliche Beschreibung der benutzten Resiste in bezug auf die fotochemischen Wechselwirkungsprozesse und auf die Verträglichkeit mit nachfolgenden Fertigungsprozessen. Die Kenntnisse dieser Zusammenhänge sind für eine unmittelbare Anwendung von grundlegender Bedeutung. Sie führen in dieser Arbeit vor allem in bezug auf die Verwendung mehrlagiger Fotolackprozesse zur erfolgreichen Weiter- und Neuentwicklung von EBEAM-Lithographieverfahren.

Die Einbettung der entwickelten Lithographieverfahren in den vollständigen HFET-Herstellungsprozeß wird in Kap. 5 detailliert beschrieben. Hierbei werden auch Verfahren vorgestellt, die es erlauben, vollständige Bauelemente und sogar Schaltungen ausschließlich mit Hilfe der Elektronenstrahllithographie herzustellen. Die zentrale Thematik dieses Kapitels widmet sich der Herstellung von Gate-Kontakten im unteren Submikrometer-Bereich, die als Engpaß (Flaschenhals) des gesamten Transistorfertigungsprozesses bekannt ist. Dabei werden nicht weniger als neun verschiedene Verfahren vorgestellt, die als unmittelbar zum Erfolg führende Rezepte aufgefaßt werden können. Neben der Verifikation konventioneller Methoden wird dabei insbesondere ein völlig neuartiges Belichtungsverfahren bei niedrigen Beschleunigungsspannungen U_{acc} vorgestellt. Es wird gezeigt, daß es im Mehrlagensystem ausreichender Gesamtschichtdicke bereits bei niedrigen Elektronenenergien (10 keV) möglich ist, Höchstauflösungen im 100 nm-Bereich zu erzielen. Revolutionär ist dabei anzusehen, daß lediglich eine Einfachbelichtung ausreicht, um das Profil eines pilzförmigen Gate-Kontaktes im Resist zu erzeugen. Dies gelingt konventionell nur mit Hilfe von komplizierten Mehrfachbelichtungen bei hohen Elektronenenergien im Bereich 30 keV.

Die Qualität der entwickelten Lithographieverfahren läßt sich aber erst durch deren Integration in den vollständigen Transistorprozeß beurteilen (vgl. Abb. 1.1). Daher schließen sich im Rahmen dieser Arbeit umfangreiche Untersuchungen in bezug auf den *Gate-Recess* an, der dem Lithographieschritt für die Gate-Kontakte unmittelbar folgt. Es werden verschiedene Konzepte für den vollständigen Gate-Prozeß entwickelt, wobei sowohl naß- als auch trockenchemische Ätzprozesse mit in die Untersuchungen einbezogen werden. Das Hauptanliegen dieser Thematik sind Fragen der Prozeßstabilität und Reproduzierbarkeit, um den erfolgreichen Einsatz der Einzeltransistoren auch in komplexeren Schaltungen zu gewährleisten.

Die erfolgreiche Anwendung der bis dahin entwickelten, technologischen Verfahren wird in Kap. 6 und Kap. 7 dokumentiert. Während in Kap. 6 vornehmlich die Ergebnisse der konventionellen HFET mit einer Steuerelektrode behandelt werden (SGHFET), liegt der Schwerpunkt im Kap. 7 auf der Herstellung der DGHFET. Im Fall der SGHFET werden dabei hauptsächlich die zu erwartenden Verbesserungen in bezug auf das dynamische Bauelementverhalten herausgestellt. Sowohl im Rahmen der Gleichspannungs- als auch Hochfrequenz- bzw. Rauschcharakterisierung werden dabei die Ergebnisse im Vergleich mit Literaturdaten eingeordnet. Im Fall der DGHFET werden neben Weltbestdaten in bezug auf die Transitfrequenz besonders die erzielten Vorteile bezüglich Kontrollierbarkeit der Stoßionisation im Bauelementkanal vorgestellt. Die völlig neuartige Strategie, mit Hilfe des zweiten Gate-Kontaktes die Stoßionisation im Kanal einer Kaskode entscheidend zu beeinflussen, wird dabei abschließend sowohl durch Simulationen als auch durch spezielle Meßtechniken verifiziert.

Eine Zusammenfassung der im Rahmen dieser Arbeit geleisteten Prozeßentwicklungen einschließlich Anwendung und Verifizierung anhand von ermittelten Bauelementdaten erfolgt abschließend in Kap. 8.