

# **Schaltungsbezogene Modellierung der Ausbeute und des Ausfallrisikos mikroelektronischer Schaltkreise unter Berücksichtigung defektinduzierter Ausfallmechanismen**

Vom Fachbereich Elektrotechnik der  
Gerhard-Mercator-Universität-Gesamthochschule Duisburg  
zur Erlangung des akademischen Grades eines  
Doktors der Naturwissenschaften  
genehmigte Dissertation

von

**Dipl.-Phys. Peter Miskowiec**

geboren in

**Freital**

Referent:	Prof. Dr.-Ing. H. Vogt
Korreferent:	Prof. Dr. rer. nat. D. Schmitt-Landsiedel
Tag der mündlichen Prüfung:	9. Juni 2000







# Danksagung

Die Arbeit ist am Fraunhofer Institut "Mikroelektronische Schaltungen und Systeme" (IMS) im Institutsteil Dresden entstanden, dessen Mitarbeitern ich für die vielfältige und freundliche Unterstützung herzlich danke.

Den Herren Prof. Dr. *G. Zimmer* und Prof. Dr. *H. Vogt* möchte ich für das Interesse an dieser Arbeit und die interessante Themenstellung danken.

Den Herren Dr. *A. Dreizner* und Dr. *K. Lukat* möchte ich für die vielen wertvollen Hinweise, Ratschläge und Diskussionen, die wesentlich zum Gelingen der Arbeit beigetragen haben, meinen besonderen Dank aussprechen.

Weiterhin gilt mein Dank Herrn *J. Amelung* für die hilfreichen Anregungen bei der Zusammenstellung der Ergebnisse.

Zu Dank verpflichtet bin ich ebenfalls den Herren *W. Doleschal* und *A. v. Löwis* sowie den Damen *R. Scharfe* und *S. Neitsch* für die vielfältigen Unterstützungen im Rahmen der experimentellen Untersuchungen.

Bei Herrn Dr. *D. Kunze* möchte ich mich für die zahlreichen konstruktiven Diskussionen zur numerischen Berechnung von Temperaturprofilen und für die Bereitstellung der entsprechenden Programmroutinen bedanken.

Vor allem aber danke ich meiner Frau für das gewissenhafte Korrekturlesen des Manuskriptes sowie für das entgegengebrachte Verständnis und ihre Geduld.

Dresden, im Juli 1999

Peter Miskowiec



# Inhalt

<b>SYMBOLVERZEICHNIS .....</b>	<b>X</b>
<b>1 EINLEITUNG.....</b>	<b>1</b>
<b>2 GRUNDLAGEN .....</b>	<b>6</b>
2.1 DEFEKTE.....	6
2.1.1 Ausbeutevermindernde Defekte.....	7
2.1.2 Zuverlässigkeitsvermindernde Defekte .....	7
2.2 AUSBEUTEMODELLE.....	7
2.2.1 Maxwell-Boltzmann-Statistik.....	8
2.2.2 Bose-Einstein-Statistik.....	9
2.2.3 Vergleich Maxwell-Boltzmann- / Bose-Einstein-Statistik .....	10
2.2.4 Defektcluster .....	12
2.3 AUSFALLWAHRSCHEINLICHKEIT.....	16
2.3.1 Definition des Kernels .....	16
2.3.2 Definition der kritischen Fläche.....	18
<b>3 BESTIMMUNG DER DEFENKTGRÖßENVERTEILUNG AUS EXPERIMENTELLEN DATEN.....</b>	<b>20</b>
3.1 DEFINITION DER DEFENKTGRÖßE.....	20
3.2 EXTRAKTION DER DEFENKTGRÖßE AUS ELEKTRISCHEN MESSUNGEN .....	24
3.2.1 Bekannte Verfahren .....	24
3.2.2 Benutzer Defektmonitor .....	28
3.3 BESTIMMUNG DER ELEKTRISCH WIRKSAMEN DEFENKTGRÖßENVERTEILUNG.....	34
3.4 VERFAHREN ZUR OPTISCHEN DEFENKTGRÖßENBESTIMMUNG .....	37
3.5 VERGLEICH DER OPTISCH UND ELEKTRISCH BESTIMMTEN DEFENKTGRÖßENVERTEILUNGEN.....	38
3.6 VERFAHREN ZUR BERÜCKSICHTIGUNG DER REALEN DEFENKTFORM .....	40
<b>4 PRODUKTSPEZIFISCHE AUSFALLWAHRSCHEINLICHKEIT UND AUSBEUTE.....</b>	<b>47</b>
4.1 GRUNDLAGEN.....	47
4.2 LAYOUTSKALIERUNGEN .....	48
4.3 MAßÜBERTRAGUNGSSCHWANKUNGEN UND SIZING.....	49
4.4 AUSBEUTE ALS FUNKTION DER LAYOUTSKALIERUNG .....	55
4.5 AUSBEUTE BEI REDUNDANTEN BAUELEMENTEN .....	59
<b>5 LATENTE DEFENKTE UND PRODUKTZUVERLÄSSIGKEIT .....</b>	<b>61</b>
5.1 DEFINITION VON ZUVERLÄSSIGKEITSDEFENKTEN (SOFT-FAULTS) .....	62

5.2	ANALYSE VON ZUVERLÄSSIGKEITSDEFEKTEN .....	69
5.3	SUBTRAKTIVE ZUVERLÄSSIGKEITSDEFEKTE .....	72
5.4	3D-MODELL ZUR LEBENSDAUERABSCHÄTZUNG BEI SUBTRAKTIVEN ZUVERLÄSSIGKEITSDEFEKTEN .....	87
5.5	ADDITIVE ZUVERLÄSSIGKEITSDEFEKTE .....	90
<b>6</b>	<b>DER AUSBEUTE- UND ZUVERLÄSSIGKEITSSIMULATOR CALYPSO.....</b>	<b>93</b>
6.1	BERECHNUNG VON KERNELFUNKTIONEN UND KRITISCHEN FLÄCHEN .....	93
6.1.1	Bekannte Algorithmen .....	93
6.1.2	Programmübersicht .....	97
6.1.3	Defektsimulator I .....	98
6.1.4	Modul zur Berechnung der Ausbeute im Leitbahnkomplex .....	101
6.1.5	Defektsimulator II .....	103
6.1.6	Modul zur Berechnung der Ausbeute von Zwischenisolatorschichten .....	103
6.1.7	Mehrebenenausbeute und Redundanzanalyse .....	105
6.1.8	Module zur Anzeige der Defekte und des Layouts .....	105
6.2	PRODUKTZUVERLÄSSIGKEIT .....	108
6.2.1	Bewertung von Zuverlässigkeitsdefekten .....	108
6.2.2	Layoutbezogene Schwachstellenanalyse .....	109
6.2.3	Auswertung von Zuverlässigkeitsdefekten und Schwachstellen .....	110
<b>7</b>	<b>PRODUKTSPEZIFISCHE ANWENDUNGSBEISPIELE .....</b>	<b>114</b>
7.1	PROZESSCHARAKTERISIERUNG .....	114
7.1.1	Präparation eines Defektmonitorchips .....	114
7.1.2	Bestimmung der Kantenverschiebung .....	116
7.1.3	Bestimmung der Ausbeute und der mittleren elektrisch wirksamen Defektdichte des Defektmonitorchips .....	117
7.1.3.1	Ausbeute und Defektdichte im Metall .....	117
7.1.3.2	Ausbeute und Defektdichte im Zwischenisolator .....	119
7.1.4	Bestimmung der Defektgrößenverteilung im Defektmonitor .....	121
7.2	EINFLUSS DER REALEN DEFECTFORM .....	123
7.3	AUSBEUTEVORHERSAGE FÜR DIE METALLEBENE DES DEFECTMONITORS .....	125
7.4	UNTERSUCHUNGEN ZUR AUSBEUTE EINES BEISPIELDESIGNS .....	136
7.4.1	Ausbeuteberechnung für die Metall 1- und Metall 2-Ebene .....	139
7.4.2	Ausbeuteberechnung für den Zwischenisolator Metall 1 / 2 .....	141
7.4.3	Zusammenfassung zur Ausbeutebestimmung .....	142
7.4.4	Vorschläge zur Ausbeutesteigerung .....	143
7.4.4.1	Veränderungen der Defektgrößenverteilung und der Defektdichte .....	143
7.4.4.2	Skalierung des Layouts .....	145
7.5	PRODUKTZUVERLÄSSIGKEIT .....	148
7.5.1	Überprüfung des Modells zur Lebensdauerprognose .....	148
7.5.2	Anwendungstest des Moduls zur Schwachstellenanalyse .....	157



7.5.3	Schwachstellenanalyse eines Produktlayouts .....	160
7.5.3.1	Auswertung von "build-in"-Schwachstellen .....	161
7.5.3.2	Auswertung von Zuverlässigkeitsdefekten .....	163
<b>8</b>	<b>ZUSAMMENFASSUNG .....</b>	<b>170</b>
	<b>LITERATUR.....</b>	<b>172</b>

# Symbolverzeichnis

$\Gamma$	Gammafunktion
$\Delta$	Parameter zur Defektgrößenbestimmung
$\kappa$	Wärmeleitfähigkeit
$\rho$	Massendichte
$\rho$	spezifischer elektrischer Widerstand
$\sigma$	Standardabweichung
$\rho(\mathbf{r})$	spezifischer elektrischer Widerstand am Ort $\mathbf{r}$
$\alpha, \beta$	Parameter der Wahrscheinlichkeitsdichtefunktion
$\epsilon_0$	elektrische Feldkonstante
$\sigma_d$	Standardabweichung der Defektgrößenvariation
$\Delta_d$	Parameter zur Berücksichtigung der realen Defektform
$\sigma_{KV}$	Standardabweichung der Kantenverschiebung
$\Delta T$	lokale Temperaturdifferenz
$\mu_d$	Mittelwert der Defektgrößenvariation
$\tau$	Lebensdauer des Isolatormaterials
$\tau_{rel}$	relative Lebensdauer des Isolatormaterials
$A$	Materialkonstante
$A_0$	Grenzfläche, bis zu der das Poisson-Modell verwendbar ist
$a_1$	Skalierungsfaktor zur Regulierung des Anstiegs der Defektgrößenverteilungsfunktion im exponentiellen Teil
$a_2$	Skalierungsfaktor zur Regulierung des Anstiegs der Defektgrößenverteilungsfunktion im glockenförmigen Teil
$A_c$	defektempfindliche Chipfläche
$A_{Chip}$	Gesamtfläche des Chips
$AF_T$	Temperaturbeschleunigungsfaktor
$AF(2 1)$	Beschleunigungsfaktor zwischen Testbedingung 1 und 2
$A_{krit}$	kritische Fläche des Chips
$A_{red}$	reduzierte bzw. defektempfindliche Chipfläche
$C$	Spannungsbeschleunigungsfaktor
$c_{1,2}$	material- und technologieabhängige Modellparameter

$c_s$	spezifische Wärmekapazität
$d$	Durchmesser eines kreisrunden Defekts
$D$	Defektdichte am jeweiligen Ort des Wafers, Skalierungsfaktor der Defektgrößenverteilungsfunktion
$d_0$	mittlerer Defektdurchmesser im glockenförmigen Teil der Defektgrößenverteilungsfunktion
$D_0$	mittlere Defektdichte (Defekte pro Fläche)
$D_1$	Wichtungsfaktor des exponentiellen Teils der Defektgrößenverteilungsfunktion
$D_2$	Wichtungsfaktor des glockenförmigen Teils der Defektgrößenverteilungsfunktion
$dA$	Fläche eines Volumenelements
$dA$	Regulierung des Anstiegs der Ausbeutekurve für Flächen $A > A_0$
$D_{\text{eff}}$	effektive Defektdichte
$dl$	Länge des Volumenelements
$DL$	Defektlevel
$d_m$	mittlerer Defektdurchmesser, der zum Kurzschluß von $n$ Leitbahnen führt
$d_{\text{min, max}}$	kleinster bzw. größter Defektdurchmesser, der zum Kurzschluß von $n$ Leitbahnen führt
$dP$	in das Volumenelement eingekoppelte elektrische Leistung
$D_p$	Faktor zur Regulierung der Flächenabhängigkeit
$D_{\text{Reff}}$	effektive Zuverlässigkeitsdefektdichte
$d_{\text{Schicht}}$	Schichtdicke des Isolators
$d_{\text{temp}}$	Defektdurchmesser, der zum zulässigen Defektgrößenbereich gehört
$dV$	Inhalt eines Volumenelements
$E$	elektrische Feldstärke
$E_a$	Aktivierungsenergie
$E_{\text{Def}}$	Betrag der elektrischen Feldstärke zwischen Zuverlässigkeitsdefekt und Leitbahn
$f(x)$	Wahrscheinlichkeitsdichtefunktion bzw. Wahrscheinlichkeitsverteilung der Größe $x$
$F(x)$	kumulative Wahrscheinlichkeitsverteilung der Größe $x$
$G$	Gaußfunktion (Normalverteilungsfunktion) der Form $y = G$ (aktueller Wert, Mittelwert, Standardabweichung)
$h(t)$	(momentane) Ausfallrate = $f(t) / (1-F(t))$
$j$	Stromdichte
$j(\mathbf{r})$	lokale elektrische Stromdichte
$j_c$	Stromdichte, ab der die Leitbahn zu schmelzen beginnt

$k$	Anzahl der Defekte auf einem Chip
$K(d)$	Wahrscheinlichkeit, mit der ein Defekt mit dem Durchmesser $d$ das Schaltungslayout beschädigt, Kernelfunktion des jeweiligen Layouts
$k_B$	Boltzmann-Konstante
$K_u(d)$	Kernel der unveränderten Layoutdaten
KV	Kantenverschiebung
L	Layoutskalierungsfaktor
L (Index)	globaler Leitbahnbereich
$m$	Anzahl der Zellen, die zum Betrieb des Bauelements notwendig sind
M	Gesamtanzahl der Defekte
MTTF	Mean Time To Failure (mittlere Zeit bis zum Ausfall)
$n$	Anzahl der kurzgeschlossenen Leitbahnen
$n$	Anzahl gleichartiger Zellen im Modul
$n$	Anzahl der Zuverlässigkeitsdefekte
$n$	Stromdichteexponent der Blackschen Gleichung
N	Anzahl der Chips
p (Index)	steht für "Produkt"
P	Wahrscheinlichkeit
Q	Leistungsdichte / Energiedichte
Q	elektrostatische Ladung
$\mathbf{r}$	Ortsvektor
$r$	Defektradius
r (Index)	steht für "Referenz"
R	von extrinsischen Defekten freier Teil der Produkte
R (Index)	steht für "Reliability" (Zuverlässigkeit)
$R(p r)$	Skalierungsfunktion zwischen Referenz und Produkt
$s$	Abstand zwischen den Leitbahnen, Spaltbreite
S (Index)	lokale Störstelle der Leitbahn
$S(d)$	Defektgrößenwahrscheinlichkeitsverteilung / Defektgrößenverteilung
$S(t)$	Überlebensfunktion
$S(x)$	original festgestellte Defektgrößenverteilung (ohne Defektgrößenschwankung)
$s_{LB}$	regulärer Leitbahnabstand
$S_{\text{korr}}(d)$	Defektgrößenverteilung der mittleren Defektdurchmesser unter Berücksichtigung der Defektgrößenvariation

$S_p(t)$	Überlebensfunktion des Produktes
$s_i(t)$	Überlebensfunktion eines einzelnen Zuverlässigkeitsdefektes
$S_r(t)$	Überlebensfunktion des Referenzchips
$t$	Zeit
$T$	Temperatur
$t_{50}$	Zeit bis zum Ausfall von 50% aller Proben
TCR	Temperaturkoeffizient
TTF	Time To Failure (Zeit bis zum Ausfall)
$TTF_{rel}$	relative Ausfallzeit (im Vergleich zur nicht eingegengten Leitbahn)
$T_u$	Umgebungstemperatur
$U$	elektrische Spannung
$Var(x)$	Varianz der Größe $x$
$w$	Leitbahnabstand bzw. Leitbahnbreite
$X_{BE}$	Anzahl der Möglichkeiten, $M$ Defekte auf $N$ Chips zu verteilen (nach Bose-Einstein)
$Y$	Ausbeute (allgemein)
$Y_{BE}$	Ausbeute nach Bose-Einstein-Statistik
$Y_{MB}$	Ausbeute nach Maxwell-Boltzmann-Statistik
$Y_{Modul}$	Ausbeute des gesamten Moduls
$Y_s$	durch systematische Fehler begrenzte Ausbeute
$Y_z$	durch zufällig verteilte Defekte begrenzte Ausbeute
$Y_{Zelle-n}$	Ausbeute des Reparaturmechanismus (nicht redundant)
$Y_{Zelle-r}$	Ausbeute einer einzelnen Zelle
$t_{1,2}$	Ausfallzeiten bei den Temperaturen $T_1$ bzw. $T_2$
$x_{1,2}$	Punkte einer Strecke, zwischen denen die elektrische Spannung bestimmt wird



# 1 Einleitung

Für den Erfolg eines Halbleiterunternehmens ist es erforderlich, Produkte in hoher Qualität und Zuverlässigkeit und unter Einsatz minimaler Kosten herzustellen. In die Herstellungskosten geht die Ausbeute der Waferfertigung unmittelbar ein. Man versteht darunter das Verhältnis aus der Anzahl der nach Spezifikation funktionsfähigen Chips und der Gesamtzahl der Chips, die auf den Halbleiterwafern vollständig angelegt wurden. Die Fähigkeit, die erreichbare Ausbeute für ein Produkt und eine Fertigungslinie zu modellieren, hilft bei der Beantwortung von Fragestellungen

- nach der Wirtschaftlichkeit der Aufnahme eines neuen Produktes in die Fertigung
- oder nach den Aussichten, noch eine vertretbare Ausbeute nach Ablauf aller Fertigungsschritte zu erzielen, obwohl schon im Verlauf der ersten Prozeßschritte Abweichungen von den idealen Herstellungsbedingungen eingetreten waren.

Darüber hinaus kann man mit Hilfe guter Ausbeutemodelle ableiten, welche Möglichkeiten durch die Optimierung des Schaltkreisentwurfes bzw. des Herstellungsprozesses bestehen, die Ausbeute zu steigern. Diese kann durch systematische Fehler beeinträchtigt sein, die sich häufig aus Parameterabweichungen der Strukturelemente, aus denen sich der Gesamtschaltkreis zusammensetzt, ergeben. Beispiele hierfür sind:

- Abweichungen von der spezifizierten Transistorcharakteristik,
- Wafergebiete, in denen Kontakte nicht ausgeprägt wurden oder
- großflächige Lithographiefehler.

Typischerweise sind von systematischen Ausbeuteverlusten in sich geschlossene Wafergebiete betroffen, während für die durch Defekteinfluß verursachten Ausbeuteverluste eine zufällige Verteilung von defekten und intakten Chips charakteristisch ist. Die Waferausbeute  $Y$  ist also das Produkt aus der Ausbeute  $Y_s$ , begrenzt durch systematische Fehler und der Ausbeute  $Y_z$ , begrenzt durch zufällig auftretende Defekte.

Nachdem die Einführungsphase einer neuen Technologie abgeschlossen ist, geht man davon aus, daß die verbleibenden Ausbeuteverluste durch zufällig auftretende Defekte dominiert werden. Die vorliegende Arbeit konzentriert sich deshalb auf die Modellierung von Ausbeuteverlusten und Zuverlässigkeitsrisiken, die aus der Wechselwirkung von stochastisch verteilten Defekten und dem Layout der Schaltkreise resultieren. Damit ergibt sich erstens die Notwendigkeit, den Defektbefall, dem die Wafer im Verlauf der Fertigung ausgesetzt sind, zu messen und zu beschreiben und zweitens muß deren Wechselwirkung mit den Strukturen der verschiedenen Ebenen der Schaltkreise modelliert werden.



Die folgende Abbildung zeigt einen Überblick der untersuchten Teilgebiete und Teilaufgaben und stellt deren Beziehungen zueinander dar:

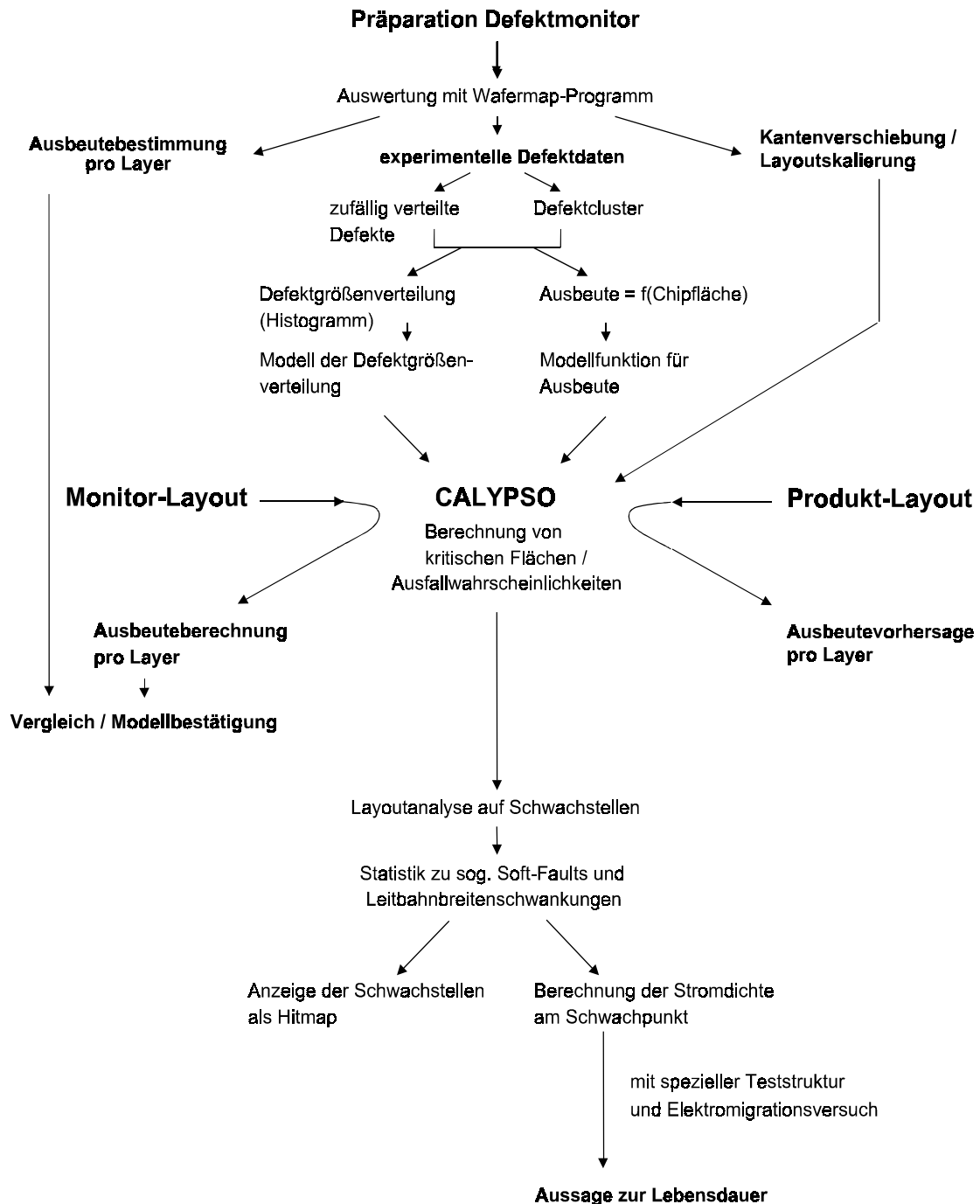


Abbildung 1: Übersicht zur Beziehung der einzelnen Aufgabengebiete zueinander

In der vorliegenden Arbeit wird zunächst dargestellt, was unter dem Begriff "Defekt" im Laufe der weiteren Abhandlungen verstanden werden soll. Anschließend werden Techniken zur Bestimmung von Defektdichten vorgestellt. Dabei wird insbesondere ein Verfahren zur Berücksichtigung von Defektclustern beschrieben. Nachdem die Definitionen für wesentliche Grundbegriffe wie "Kernfunktion" und "kritische Fläche" genannt wurden, werden Methoden zur Extraktion der Defektgrößenwahrscheinlichkeitsverteilung beschrieben. Es werden dabei sowohl elektrische als auch optische Messungen ausgewertet und miteinander verglichen.

Im weiteren Verlauf wird dargestellt, wie sich Layoutskalierungen und Maßübertragungsschwankungen auf die zu erwartende Ausbeute eines Produktes auswirken. Es wird dabei erstmals auch ein Prinzip zur Berücksichtigung der realen Defektform bei der Ausbeuteberechnung beschrieben.

Weiterhin wird ein neu entwickeltes Verfahren erläutert, mit dem ein Produktdesign auf das Vorhandensein "eingebauter Schwachstellen" überprüft werden kann. Erstmals wird auch ein Auswerteverfahren für sogenannte Zuverlässigkeits- oder latente Defekte ("Soft-Faults") angegeben, mit dem es möglich ist, besonders gefährdete Layoutsegmente hervorzuheben.

Im Anschluß wird ein Simulationsprogramm vorgestellt, das im Rahmen dieser Arbeit entwickelt wurde. Es kann einerseits zur Ausbeuteprognose für ein beliebiges Produkt eingesetzt werden und ermöglicht es andererseits, auch die Wirkung von latenten Defekten und "eingebauten Schwachstellen" mittels neuartiger Modellansätze zu analysieren.

Nach einer Beschreibung der einzelnen Module des Simulationsprogramms wird dieses in der Praxis getestet und das Zusammenspiel mit den Verfahren zur Bestimmung der Defektdichte und der Defektgrößenverteilung gezeigt. Dazu wird von einem Defektmonitor, dessen Ausbeute in einem Versuch bestimmt wird, die theoretische Ausbeute berechnet und mit dem praktisch erreichten Wert verglichen. Anschließend werden die aus dem Versuch gewonnenen Daten zur Prozeßcharakterisierung und ein Beispieldesign an das Simulationsprogramm übergeben. Anhand dieses Layouts können die Auswirkungen auf die Ausbeute, die durch gezielte Änderungen der Prozeß- und Layoutparameter hervorgerufen wurden, diskutiert werden.

In einem letzten Schritt wird das Beispieldesign auf Schwachstellen und die Auswirkung von Zuverlässigkeitsdefekten untersucht. In Abhängigkeit vom erhaltenen Ergebnis können abschließend Empfehlungen zur Überarbeitung des Designs gegeben werden.